

數位與類比 IC 實驗

序 言

目前學電子或電機同學似乎常會遇到兩種問題：一是如何選購合用的電子材料，一是如何設計一個較簡單的電路以獲得較多的功能。這兩方面的問題，自從積體電路（IC）問世以後即予逐漸的迎刃而解，特別是電路設計方面的困難度已逐次減少了。正如眾所週知的多用途，價格低廉的 741 線性運算放大器，與 74 系列的 TTL 數位電路，即使您原來對電子電路不熟悉，也可很快的瞭解並將其組成許多有用的電路。今天由於 IC 的功能大增，且價格低廉（一個 SN7400 約台幣 10 元），我們已不需從許多分立式元件中去設計電路——我們已可用 IC 來取代它了。

本書所包含的實習項目，即針對大學與工專電子科系在積體電路上的基礎訓練，假如課程排得緊湊的話，一個學期即可上完，假如間插其他實用電路，則可上兩個學期。其中每一項目的選擇與安排，均以「能讓學生熟習 IC，且能利用 IC 達成預期目標」為原則。學者從本書的各項實驗，即可看出本書所重視的乃是「實用性」。因此，在踏入本書的各項實驗之前，希望能對各種常用電子元件的特性有一基本認識。教師若能在每次實習前，把有關的零件特性和所使用的儀器、設備介紹給學生，則對本書各項實驗的進行不啻是一個極大的幫助。若是學者想把本書當作自學手冊，則需閱讀有關的器材特性手冊及參考書，久而久之，自然熟能生巧。既然目前 IC 已充斥在市場上，且幾乎每一位受過正規教育的人都想知道如何使用它。因此，本書的實用性可以擴展到任何想在他的工作領域中應用 IC 的人。

由於本書所介紹的 IC 為最普遍化的 IC，包括 TTL 族與 CMOS 族，因此學者若能自備此兩類元件的特性資料手冊，將有助於各項實驗的進行。

在順序的編排上，係根據由簡及繁，由淺入深的原則，學者若能按步就班，循序漸進的學習，至終必能獲得設計 IC 電路的基本技能。倘若您想在一個學期中學得主要設計的要領，則我們建議您將下列實驗列入：A1，A2，A4，A6，A12，D1，D2，D3，D4，D7，D9，D13，和 P2，P12 等各項。

在學校工場中進行實驗時，最好兩個人一組，不要太多人一組，如此可以互相研討，器材的使用也能較普遍。實驗時，各組應具備下列儀器、設備：

- (1) 雙跡示波器一台
- (2) 函數波產生器一台
- (3) 雙電源供應器一台（能輸出 +5V，±15V 可微調的直流電壓，最好能輸出 ±30V）
- (4) 數位電表一台
- (5) 免鉗電路板二塊

此外，如需用到特殊儀器設備，均標明在各項實驗中，學者可參考而應用之。

由於本書係以 L. W. SHACKLETTE & H. A. ASHWORTH 所編的 USING DIGITAL AND ANALOG INTEGRATED CIRCUITS 為主要翻譯藍本，該書係經實際教學試驗，證明適合大學與專科學校電子電機之基礎教學。所以譯者亦經將近一年的試驗，將其用在師大工教系電子工場的技术教學中，證明其理論與實驗的一致性，並且酌量加入一些必要的說明，以使本書更具條理性。因此，本該在去年春天就可與諸位見面，而延誤至今。同時，由於譯者才疏學淺，雖經多次修正仍恐有所遺誤，尚請各位賢達不吝指正！

編譯者 識於師大工教系電子工場

第一部分

數位電路驗實

引 言

本書中之實驗凡以 D 編號的，均屬於數位電路（Digital Circuit）的實驗，因此它只工作在高電位（High）與低電位（Low）兩種情況下。所用的 IC，絕大多數為電晶體－電晶體邏輯電路（即 TTL），與互補對稱式金屬氧化物半導體積體電路（即 COS/MOS 或簡稱 CMOS），其主要工作特性概述於下，希望能牢記在心裏：

- (1) 所有 TTL 元件都有一腳接 +5V 電源（ V_{CC} ），一腳接地（GND），而 CMOS 元件的電源端通常標明 V_{DD} 和 V_{SS} ，其 $V_{DD}-V_{SS}$ 的範圍通常自 +3V 至 +15V，其值亦可為負。一般所加電壓為 $V_{DD}=5V$ ， $V_{SS}=0V$ ； $V_{DD}=10V$ ， $V_{SS}=0V$ ； $V_{DD}=+5V$ ， $V_{SS}=-5V$ 等三種，其電源電壓範圍較 TTL 為廣。至於 V_{CC} 或 V_{DD} 與接地端的位置，一般排列如圖 1，圖 2，圖 3 所示：學者拿到 IC 後需先判斷第 1 腳的位置及接腳的順序，然後將其插入免銲電路板中。
- (2) 所有 TTL IC 的輸入端若為空腳，則最好接至高電位，以免產生輸出不明確的狀態。至於何為高電位（High）和低電位（Low），將在實驗 D1 中詳細說明。
- (3) CMOS IC 的輸入端若有空接情形，最好串接一個大電阻，如 $100k\Omega$ ，然後才按線路情況接至電源或接地，以免空接的輸入端因靜電所造成的電位浮動，而有錯誤的輸出。目前，除非您能確知所用的 CMOS 已有內部保護電路，否則上述的處理是必須的。此外也請學者注意，千萬不要在電源接通期間變換 IC 的接腳，CMOS IC 不用時，最好用錫箔包裹，以免靜電損壞。
- (4) 所加的輸入信號不可超過額定的電源電壓。TTL 電路只希望有 0~5V 之間的輸入信號，其誤差的容許值為 10% 以下。例如，您想加一對地為 $2V_{rms}$ （即 $5.6V_{p-p}$ ）的信號給 TTL 閘，則 IC 將極有可能被破壞（Self-destruct）。對於 CMOS 電路而言，雖能接受 +、－電源而工作在零點的上下兩端，但仍須注意，不使訊號本身大於額定的電源電壓（不論正端或負端均不得超過）。

- (5) 要明瞭 IC 編號前、後代碼的意義。

我們很容易從 IC 的統一編號來識別它，例如 7400 是一個具有四組雙輸入反與閘（NAND）的典型 IC。但是大多數的 IC 編號在統一編號的前面、中間或後面都有加註一些說明。學者對這些說明若能完全明瞭，則對 IC 的使用將甚有幫助。今簡單說明如下：

- ① 前述詞：表示該 IC 的製造廠商，例如：

SN7400：SN 表示由德州儀器公司（Texas Instruments）所製造的。

$\mu A741$ ： μA 表示由飛捷公司（Fairchild Semiconductor）所製造。

N7400：N 表示由 Signetics 公司所製造。

此外 CA 表示由 RCA 公司所製，MC 表示由 MOTOROLA 公司所製，HA 表示日立製作所所製，LM 表示由國際半導體公司所製（National Semiconductor）……學者可參閱特性手冊而知。

- ② 中間詞：表示動作特性（延遲時間×消耗功率）表 1 所列。因此，如果我們拿到 74H00 的 IC，便可知道它是高功率的 IC，而 74L00 則為低功率 IC，其傳送速度亦可略知梗概。
- ③ 後述詞：指加註在統一編號之後的文字，一般是表示包裝型式，也有加上溫度範圍的表示。根據特性手冊，大致上 A，B，C，P，N 等均表示塑膠包裝的雙排並列型式，而 D，E，F，J 則表示陶質包裝的雙排並列型式。T 表示金屬包裝的平型封裝，J，Q，R，Y 則表示陶質包裝的平型封裝。S，H 則表示金屬包裝的圓形封裝。目前由於全世界 IC 規格尚未統一，上列資料僅供參考之用。至於溫度範圍的表示，有的是以數字加註在統一編號前、

數位與類比 IC 實驗 3

後，如 MC[15/14]94L，其中 15 表示溫度範圍自 -55°C 至 $+125^{\circ}\text{C}$ ，14 表示自 0°C 至 $+70^{\circ}\text{C}$ 。DM[7/8]093N 中 7 表示溫度自 -55°C 至 125°C ，8 表示溫度自 0°C 至 70°C 。又如 U7B9310[15/59]X 中 51 表示自 -55°C 至 125°C ，59 表示自 0°C 至 75°C 。目前多數廠商表示溫度的代碼通常緊接在封裝型式之後。例如 $\mu\text{A}741\text{H}[\text{M}/\text{C}]$ ，其中 M 表示自 -55°C 至 $+125^{\circ}\text{C}$ ，而 C 表示自 0°C 至 $+75^{\circ}\text{C}$ 。當然，一個 IC，不可能同時有兩種溫度範圍的表示。

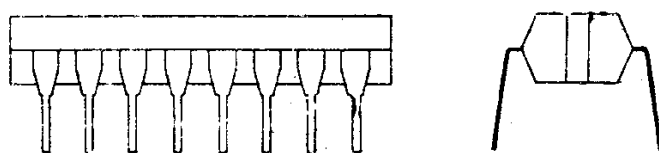
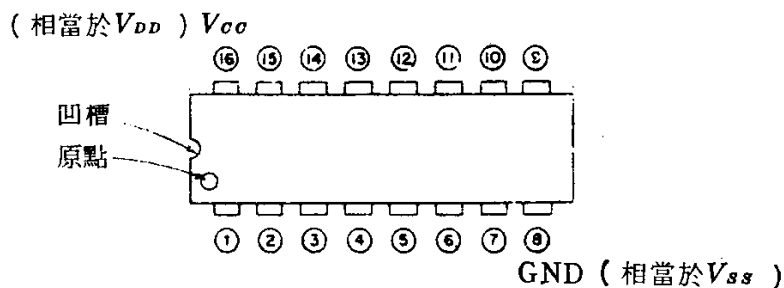


圖 1 雙排直線型包裝的接腳

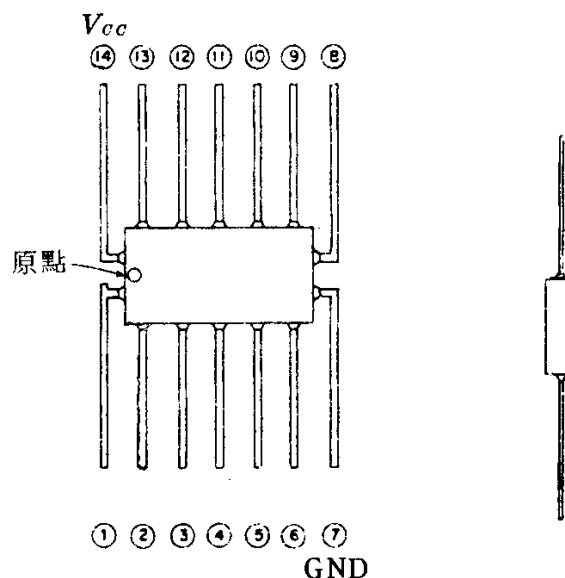


圖 2 平型包裝接腳圖

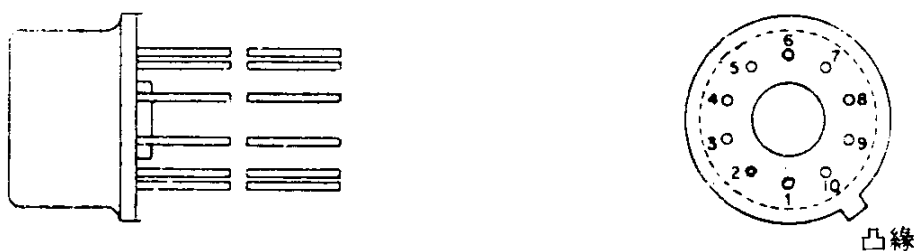


圖 3

TO-100 型圓形金屬包裝接腳圖（本型之接腳，一般以凸緣之對稱位置為接地端，或 $-V_{CC}$ 端，至於 $+V_{CC}$ 則需查特性手冊，才能確定，由於沒有統一規格，學者必須查清始可應用。

表 1 IC 編號中間詞之意義

54/74 族 典 型 動 作 特 性

	閘 (GATES) 的特性			正 反 器
	速度x功率之積	傳送延遲時間	消耗功率	輸入鐘脈衝 頻率範圍
54LS/74LS	19pJ	95nS	2mW	dc~45MHz
54L/74L	33pJ	33nS	1mW	dc~3MHz
54S/74S	57pJ	3nS	19mW	dc~125MHz
54/74	100pJ	10nS	10mW	dc~35MHz
54H/74H	132pJ	6nS	22mW	dc~50MHz

學者在使用 IC 時，如在一般狀況下並不需特意去注意代碼的含意，只要統一號碼相同即可使用。

至於 CMOS IC 則略有不同，一個 4001B 的 IC 將比（或 4001AE）有更大的輸出電流。同時 B 字尾的型式能忍受的電源電壓為 18V，而 A 字尾的僅為 15V，根據此點，您可選擇合適的 IC 來使用。

(6) 任何事，只要 TTL 能做的，CMOS 都能做的更好。這話可能引起爭辯，但若仔細分析它的優劣點，就可作取舍了。今比較如下：

- ① CMOS 使用較少的功率，約為同功能 TTL 的 1/1000。
- ② CMOS 的輸入阻抗極高，容易推動。扇出數約在 50 以上。
- ③ 由於 CMOS 的輸出電位在高態時接近電源電位，在低態時接近地電位，輸出揮動於電源電壓之範圍內，對雜音的容忍度較大。
- ④ CMOS 工作時不會有瞬間大電流，因此電路上不會產生雜音。
- ⑤ 與 TTL 中 74/54 系列相同編號的 CMOS 74C/54C 均可用來代替 TTL 使用，但需注意其工作速度與扇出容量是否相同。
- ⑥ CMOS 除了可作邏輯電路以外，尚可作線性放大器，功能較多。
- ⑦ CMOS 較佔劣勢的為其傳送速度較慢，其延遲時間約為 30nSec，而 TTL 為 10nSec，在高速電路的應用上略遜一籌。
- ⑧ 價格方面，目前已甚為接近。

總之，TTL 是有良好根基的標準工業產品，而 CMOS 則為後起之秀，其發展無可限量。本書為求實用上的普遍化，兩者並用。學者可在實驗中發現其優點而應用之。

實驗 D1：各種邏輯閘的介紹

相關知識

最早期的數位計算機是使用繼電器和開關去進行二進位運算和邏輯分析。因為開關的 "開" (Closed) 與 "關" (Open) 兩種狀態，相當於 1 與 0，正好適用於二進位的運算。也適用於邏輯分析中的 "真" (TRUE) 與 "假" (FALSE)。

所謂邏輯閘 (Logic gate) 是指具有兩個或更多的 "邏輯" (Logic) 輸入和一個輸出的電路。在電子元件中，由於二極體和電晶體具有 "導通" (ON) 與 "斷路" (OFF) 的特性，甚適合於閘控電路 (Gating Circuit) 的使用。

從邏輯閘的演進過程，我們知道最早用來解釋邏輯閘的工作，是藉下列所示的電路 (圖 D1-1)。(a)圖，我們看出，假如輸入 V_1, V_2 均為 0V，則二極體均導通，其兩端約有 0.6 伏特的電壓降，則輸出 V 將接近於 0。假如 V_1, V_2 二者中有一為 5V，一為 0V，則因有一二極體導通而使輸出接近 0V。只有當 $V_1 = V_2 = 5V$ 時，輸出才會上升到 5V。假如我們設定 0.6V 以下的電壓為 0，而大於 3V 以上的電壓為 1，則其輸出—輸入特性將如圖 D1-1(a) 的真值表所示。若您想用理則學的表示法，則您可將所有的 1 以 "真" (True) 代之，所有的 0 以 "假" (False) 代之，則您可得到與閘 (AND) 的真值表。換句話說，表 D1-1(a) 的意思是 "假如 V_1 和 V_2 均為高電位 ($>3V$)，則輸出即為高電位，否則輸出即為低電位"。

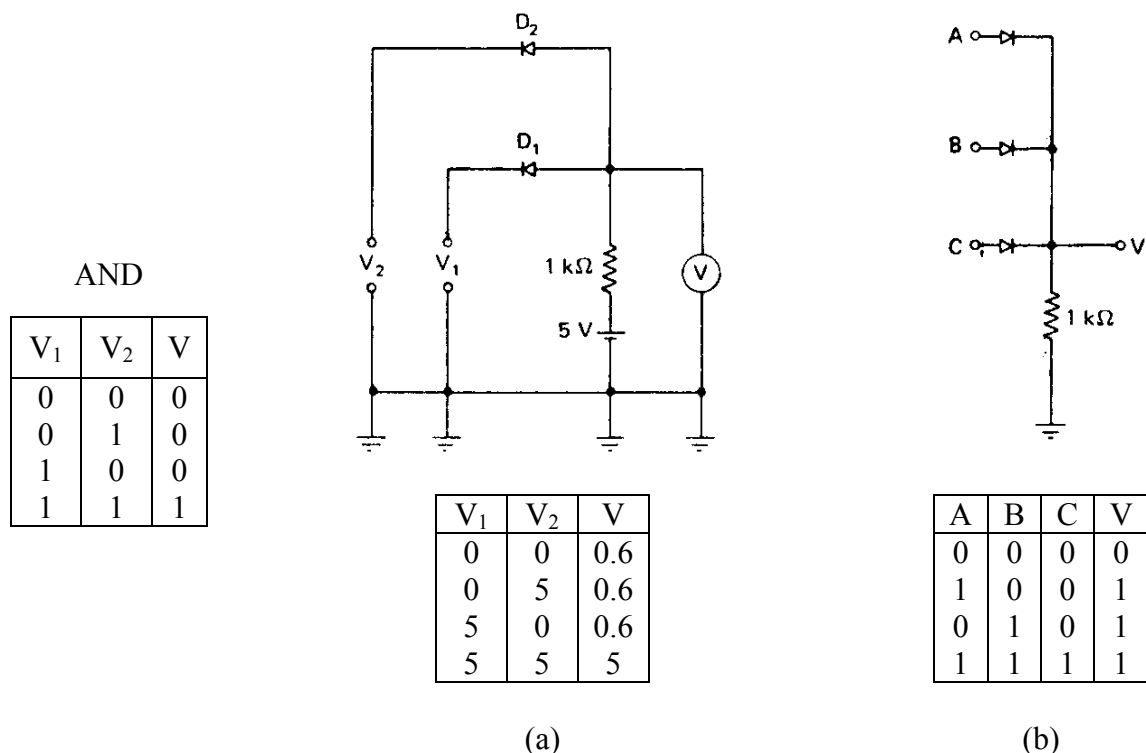


圖 D1-1 (a) 用二極體組成的與閘邏輯電路；(b) 用二極體組成的三輸入或閘電路。

同理，我們可以敘述圖 D1-1(b) 所示的邏輯閘為 "假如有一輸入為高電位 (或真)，則其輸出必為高電位 (或真)"。這就是或閘 (OR) 的狀況。但 A, B, C 三者之正電壓必需相同，且甚接近，否則輸出將不確定。

其他如反閘 (NOT) 的邏輯可敘述為 "若 A 為 1，則反 A 為 0，若 A 為 0 則反 A 為 1"。我們以 \bar{A} 表反 A，則您可看出 \bar{A} 是 A 的補數，但 \bar{A} 並非表示 $-A$ 伏特。

圖 D1-2 列出各種基本邏輯閘的符號和真值表。雖然用前三種邏輯閘（AND，OR，NOT）已可進行大部分的數位操作，但若加上後兩種（NAND 和 NOR），則可組成更多類的邏輯電路。反與閘（NAND）即為與閘加上一個反閘，反或閘（NOR）即為或閘加上一個反閘，學者很快可以發現其符號的不同。凡在邏輯符號前加一小圓圈者，其意即為圓圈前之邏輯閘再加上一個反閘。NAND 閘的動作可敘述為 "當輸入 A，B 均為高電位時，輸出 C 就是低電位，否則 C 都是高電位"，學者可自行推斷出 NOR 閘的邏輯敘述。

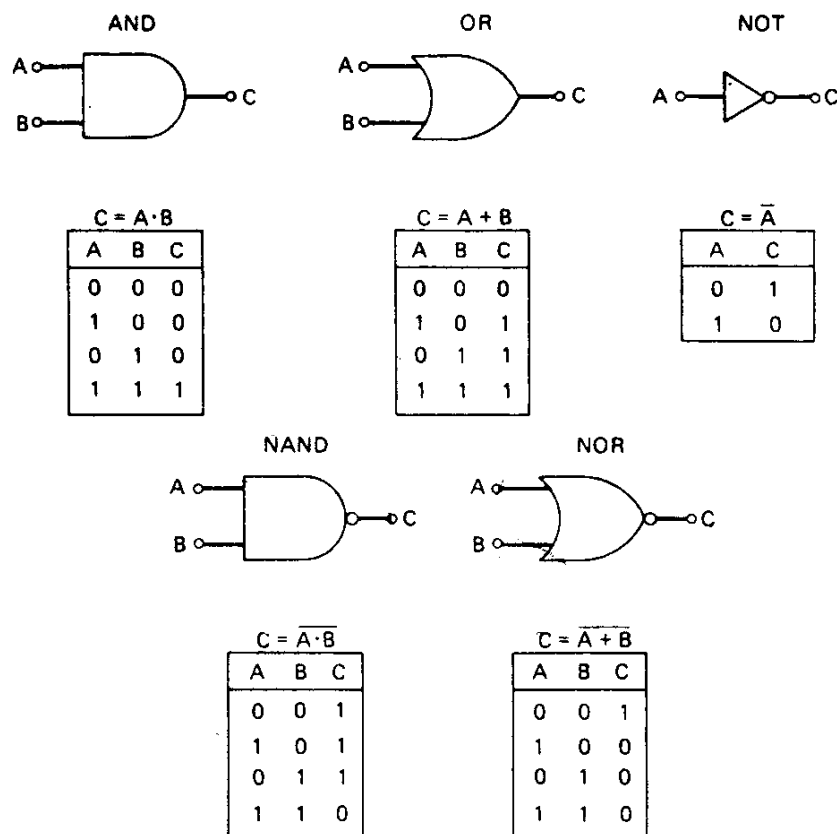


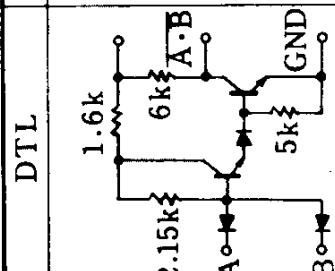
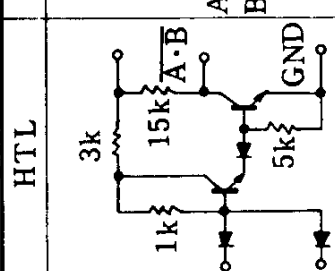
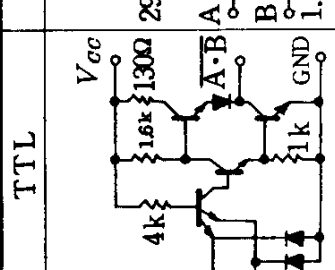
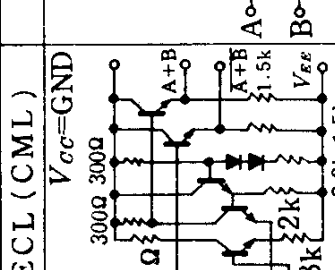
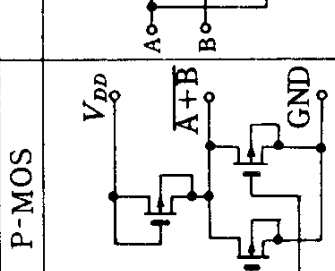
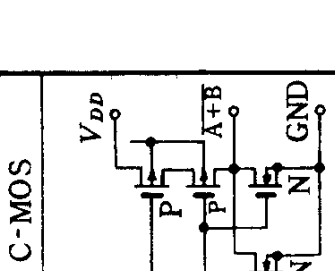
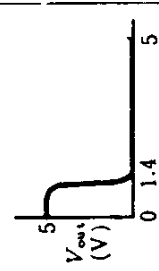
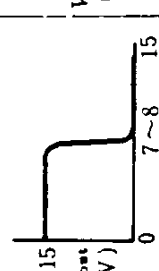
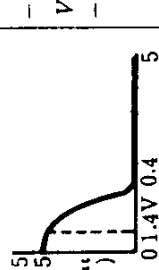
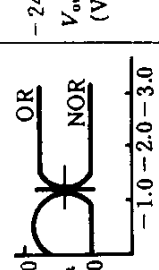
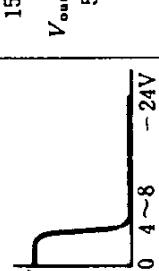
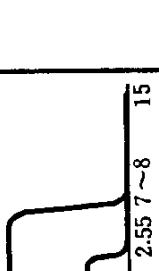
圖 D1-2 邏輯符號及其真值表

為證明上列真值表，您可分別用繼電器，二極體或電晶體，甚至 IC 來試驗。無論用何種元件試驗，其結果應該都相同。至於其使用上的差別，則有電源電壓的不同，邏輯 1 與邏輯 0 位準的不同，及扇出、扇入閘數的不同，學者可由圖 D1-3 看出各類型電路的差異點。

未列出的尚有 DL，RTL 等電路，目前均已成博物館的陳列品了。而圖中較常用的乃是 TTL 與 CMOS，為本書所採用的主要實驗元件。

使用器材

- 積體電路：7400，7402 各一只
- 二極體：1N914（或同等品）三個
- 電阻器：5kΩ 三只
- 電源供給器：0~5V 可調，且有預置 $5 \pm 0.25V$ 的控制
- 儀器：單跡（或雙跡）示波器一台
- 函數波產生器一台
- 三用電表一個

DTL	HTL	TTL	ECL (CML)	P-MOS	C-MOS
 <p>(NAND)</p>	 <p>(GAND)</p>	 <p>(NAND)</p>	 <p>(OR/NOR)</p>	 <p>(NOR) 負邏輯</p>	 <p>(NOR)</p>
$V_{cc} = 5V \pm 10\%$ $8mW$ or $12mW$ 8	$V_{cc} = 15V \pm 1V (12V \pm 10\%)$ $55mW$ 10	$V_{cc} = 5V \pm 10\%$ $10mW$ 10	$V_{ee} = -5.2V \pm 20\%$ $40 \sim 55mW$ $10 \sim 25$	$V_{dd} = -24V \pm 10\%$ $0.2 \sim 10mW$ 20	$V_{dd} = 3 \sim 16V$ $10 \mu W$ 以上 50 以上
					
30nS	90nS	10nS	1 ~ 4nS	300nS	70nS
0.4V	$\approx 3V$	0.4V	$\pm 0.2V$	$\approx 1 \sim 2V$	$\approx 0.3 \times V_{dd}$
中	中	中、高	低	中	中、低中
6kΩ or 2kΩ	15kΩ	70Ω	6 ~ 15Ω	2kΩ	500Ω ~ 3kΩ
$R(sat)$	$R(sat)$	$R(sat)$	6 ~ 15Ω	25kΩ	500Ω ~ 3kΩ
5 ~ 20MHz	~4MHz	~30MHz	~500MHz	~2MHz	~5MHz

1. 使用電源電壓
2. 消耗功率
3. 扇出容量
4. 轉換特性
5. 傳達延遲時間
6. 雜音容忍度
7. 雜音產生情況
8. 高態輸出阻抗
9. 低態輸出阻抗
10. 正反器可工作之最高頻率

圖 D1 - 3 各種邏輯系統特性的比較

實驗步驟

1 驗證與閘（AND）的真值表

- ① 利用二極體和電阻器接成如圖 D1-1(a) 的電路。
- ② 將 V_1 ， V_2 分別接至地和 5V，觀察輸出電壓的改變。
- ③ 將所最電壓值記入真值表中，即可明瞭 AND 閘的動作情形。

2 驗證反與閘（NAND）的真值表

- ① 利用 7400 的任何一組 NAND 閘，將第 7 腳接地，第 14 腳接 +5V，如下圖所示。而將 1，2 腳順次接至 5V 與地，則可從三用電表上看出其輸出值。將此電壓值記錄之。

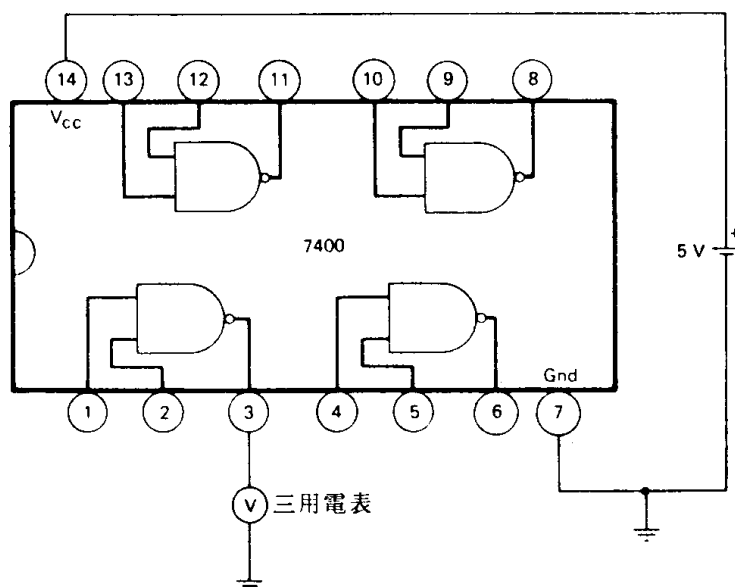


圖 D1-4 反與閘的實驗圖

- ② 核對真值表，看是否一致。通常 TTL 的邏輯 1 為大於 2.4V 的電壓，邏輯 0 為小於 0.4V 的電壓。

3 驗證反閘（NOT）的真值表

- ① 利用 7402，將 5，6 腳並接作為輸入端，第 4 腳作為輸出，第 7 腳接地，第 14 腳接 +5V，如下圖所示。

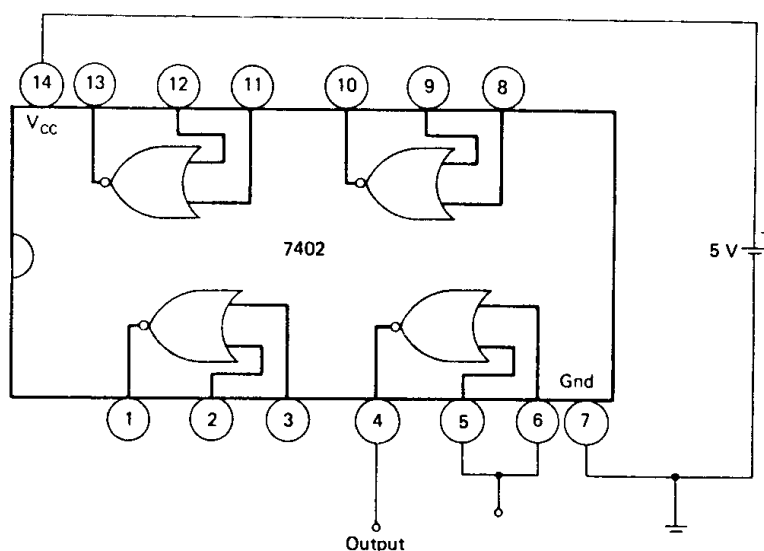


圖 D1-5 NOT 閘的實驗圖

- ② 將輸入端接至 +5V 或接地，則立刻用三用表量出輸出端電壓，而完成真值表。
- ③ 將 1, 2, 3 腳接成如 4, 5, 6 腳，證明其結果是否相同。
- ④ 本項亦可利用 7400 或直接利用 7404 作成。

4 記錄 TTL 特性

以下實驗將以數據表示 NAND 閘和 NOR 閘的特性，您可藉此獲悉 TTL 的實用特性。

① 電源電壓

在特性手冊上所標的電源電壓，一般均為 $5V \pm 5\%$ ，即為 $4.75V \sim 5.25V$ 之間，若超出此範圍則電路工作不正確，且極易損壞 IC。為計算所需電源電流，估計每一閘路約消耗 $10mW$ 的功率，因此可估計每一閘路約消耗 $2mA$ 電流，一個 7400 將需要 $10mA$ 左右的電源電流供應。

② 輸入電壓 (V_{in})

$V_{in(1)}$ 或 V_{IH} 表示邏輯 1 的輸入電壓，對 TTL 來講，若 V_{in} 超過 $2V$ 即可視為邏輯 1。同樣， $V_{in(0)}$ 或 V_{IL} 表示當輸入電壓低於 $0.8V$ 時，就可看作邏輯 0。

③ 輸出電壓 (V_{out})

$V_{out(1)}$ 或 V_{OH} 表示邏輯 1 的輸出電壓，一般約為 $3.3V$ ，至少不得低於 $2.4V$ 。 $V_{out(0)}$ 或 V_{OL} 則表示輸出低於 $0.4V$ 的邏輯 0 輸出電壓。

學者可將 $5V$ 的直流電壓加在 7400 的第 2 腳，同時加一可調的直流電壓在第 1 腳，然後將其調整在 $0, 0.5, 1, 1.5, 2, 2.5$ 等六段，找出第 3 腳輸出為 $0.4V \sim 2.4V$ 之間的第 1 腳對應電壓，即可知輸入電壓的適當範圍。看是否與 7400 的 $V_{in(1)}$ 特性符合。

5 輸入—輸出特性曲線

首先學者應知道輸入端電壓若小於 $-1.2V$ ，則 TTL 將被破壞。因此進行本項實驗時，切忌有不合適的電壓加入。

- ① 先以示波器校準函數波產生器的輸出，使函數波產生器的抵補電壓為 $+2V$ ，輸出電壓為 $4V_{p-p}$ ，頻率為 $200Hz$ 。
- ② 按圖 D1-6 所示接線。
- ③ 將 $4V_{p-p}$ 的正弦波或三角波加入 V_1 端 (V_1 必須大於 0)，您就可從示波器上看出輸入—輸出的電壓關係，而可算出 $V_{in(1)}$ ， $V_{in(0)}$ ， $V_{out(1)}$ ， $V_{out(0)}$ 的數值來。

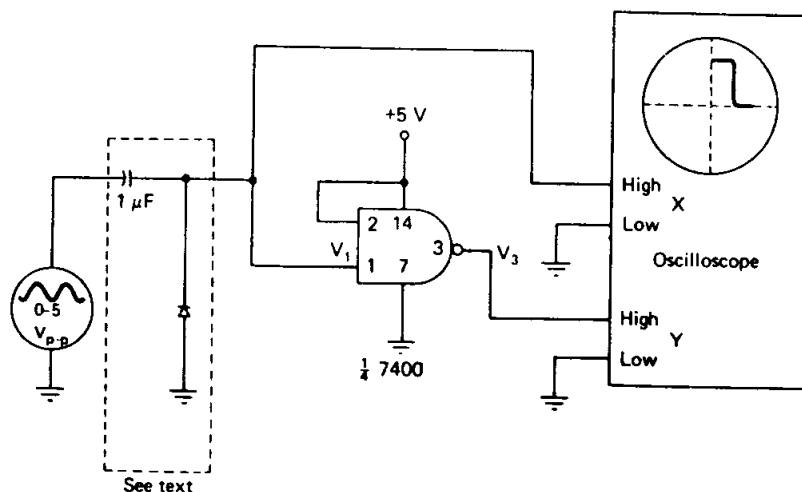


圖 D1-6 NAND 閘輸入—輸出特性曲線描繪法，圖中 $1\mu F$ 與二極體箝位電路，係為防止輸入訊號出現負值時用，如此可保護 NAND 閘

6 輸入電流

當 TTL 工作在邏輯 1 時，其流過的電流約在 $40\mu A$ 到 $1mA$ 之間。這可按下列步驟測得。

數位與類比 IC 實驗 10

- ① 將第 2 腳 (7400) 接至 +5V，而在第 1 腳和 +5V 之間串接一個 $5k\Omega$ 電阻器。
- ② 用三用電表量出電阻兩端的電壓降。
- ③ 以此電壓降除以電阻即得流過的電流值。

當 TTL 的輸入為邏輯 0 時，電流係從該閘流經輸入的電源而通地。其最大流出電流約為 1.6mA。其測法如下：

- ① 將第 2 腳仍接至 +5V，而在第 1 腳和地之間串接一個 $10k\Omega$ 電位器（或更大）。
- ② 逐漸增加電阻值，直到輸出端獲得邏輯 1 (2.4V) 為止。
- ③ 量出第 1 腳的電壓，即可計算出輸入電流值。

故障檢修參考：

- 1 一般初學者最易犯的毛病，乃是將 IC 接腳弄錯。因此如有故障，請先核對一下 IC 的接腳。
- 2 假如 IC 發燙，那可能是①+，- 電源反接。②輸出端接地。③電源電壓太高。
- 3 任一 TTL 的輸入腳，若不是接到 +5V，或接地，則其值約為 1.6V，可視為邏輯 1 狀態。
- 4 不要期望邏輯 0 的電壓為 0.00V，或邏輯 1 的電壓為 5.0V。它只要在額定誤差範圍內即可。

實驗 C1：CMOS 邏輯閘的認識

相關知識

從實驗 D1 我們已對 TTL 邏輯閘的特性有了基本的認識，現在我們接著介紹 CMOS 邏輯閘的特性。

CMOS 和 TTL 最大的不同乃在於邏輯 1 和邏輯 0 的輸入電壓位準的差別，同時其輸入、輸出阻抗也不相同。我們可從下表看出二者輸入特性的不同。

表 C1-1 TTL 與 CMOS 輸入特性比較

特 性	TTL 值	CMOS 值 (當 $V_{DD}=5V$, $V_{SS}=0$ 時)
V_{IH}	2.0V	1.5~3.5V
V_{IL}	< 0.8V	< 0.7V
I_{IH}	< 40 μ A	+ 10pA (典型值)
I_{IL}	< -1.6mA	- 10pA (典型值)

由於 CMOS 內部結構各個不同，所以邏輯 1 的輸入電壓位準從 1.5V 到 3.5V 之間變化。臨限電壓 (THRESHOLD VOLTAGE) 簡寫為 V_{tr} 或 V_{TH} ，即由 "H" 變為 "L" 的轉換點電壓，係隨著電源電壓 $V_{DD}-V_{SS}$ 而變化，其值之測量係以較低的電源值 V_{SS} 為準而測得。假如某一 CMOS 的臨限電壓為 3V，其意即為任何大於 V_{SS} 3V 以上的輸入均視為輸入高電位。一般計算 V_{tr} 與 $V_{DD}-V_{SS}$ 的比值係用下式：

$$\gamma = V_{tr} / (V_{DD} - V_{SS})$$

γ 值的範圍係自 0.3 至 0.7。若一閘路的輸入電壓低於 0.3 ($V_{DD}-V_{SS}$) 則可肯定其為輸入低電位。同理，若其輸入電壓大於 0.7 ($V_{DD}-V_{SS}$) 則可保證其為邏輯 1 輸入 (即輸入高電位)。

推動一個 CMOS 閘路的典型電流值為 10pA；而要使一個 TTL 產生高電位的輸入則需 40 μ A 的信號供應電流，產生低電位輸入則需 1.6mA 的吸收電流。例如，在實驗 D1 的第 6 步驟中，我們發現如果將 TTL 輸入端所串接的電阻器 (2k Ω) 接地，即無法造成低態輸入。然而在 CMOS 閘路中，即使所串接的電阻為 1M Ω 或更大，都能造成高態輸入 (串接至 V_{DD}) 或低態輸入 (串接至 V_{SS})。根據歐姆定律，10pA 的輸入電流通過 1M Ω 的電阻器會產生 1mV 的電壓降。因此，假如我們把輸入端串接至 5V V_{DD} ，則在輸入電阻上所產生的 1mV 電壓降，仍能使輸入電壓大於 3.5V，而使輸入保持在高態。

使用器材

- 積體電路： 4001 一只
4011 二只 (一為 4011A，一為 4011AE 或不同編號)
- 電阻器： 1M Ω 一只，1k Ω 三只。
- 二極體： 1N914 三只 (或同等品)
- 儀器： 數位電壓表 (DVM) 一台
函數波產生器一台
雙跡示波器一台

設備：雙電源供給器 $\pm 30V$ ，2A，可調整，有+5V 定值電壓輸出

實驗步驟

- 1 假如您沒有做過實驗 D1，則請先做 D1 的第一步驟，以證明圖 D1-1(a) 的真值表。
- 2 NAND 閘（反與閘）基本特性認識
4011 是一個具有 4 組雙輸入 NAND 閘的 CMOS IC，為比較 CMOS 與 TTL 的不同點，請依下列步驟進行：
 - ① 按圖 C1-1(a) 接線，將第 14 腳接至+5V，將第 7 腳接地。

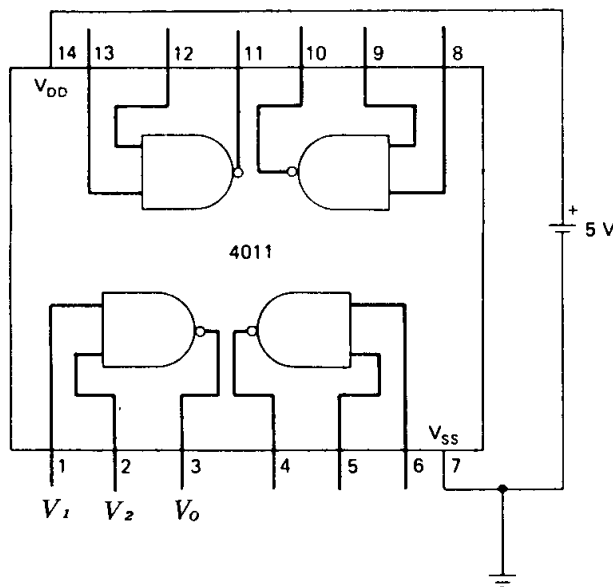


圖 C1-1(a) CMOS NAND 閘特性測試

- ② 將第 1 腳與第 2 腳分別接至高電位（+5V）或低電位（接地），以數位電錶量出其輸出電壓，記錄此值，而完成 NAND 的輸出輸入電壓情況表。

V_1	V_2	V_0
0	0	
0	5	
5	0	
5	5	

- ③ 將第 1 腳接至 V_{DD} ，而將第 2 腳的電壓從 0 至 5V 逐漸調整，注意觀察第 3 腳的輸出電壓，當其從 High 轉變為 Low 時，記錄此時 V_2 的輸入電壓值並計算 γ 值。
- ④ 換另一枚 4011（如 4011AE）測試，看其臨限電壓 V_{tr} 是否相同。
- 3 NOT 閘特性認識
 - ① 用一只 4001，如下圖之接線（或可用 4049）
 - ② 將 5、6 腳並接成為輸入端，而加+5V 或接地於此端，量出第 4 腳的輸出電壓值，而記錄之。
 - ③ 將 1、2 腳並接作輸入端，而將第 3 腳接至 5、6 腳，量出第 4 腳的輸出電壓，看是否與②所得結果相同，為何？

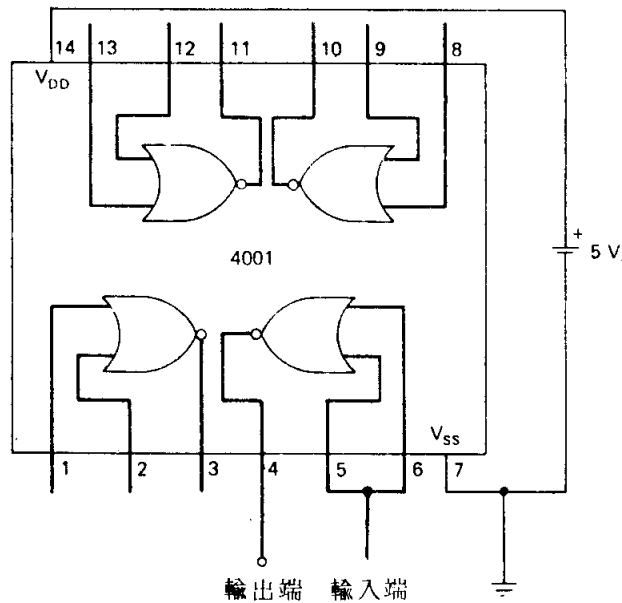


圖 C1-1(b) CMOS NOT 閘特性實驗

4 CMOS 的特性測試

① 電源電壓範圍（自特性表中查知）

通常 CMOS 的電源電壓 $V_{DD}-V_{SS}$ 可自 3V 到 15V。其中 V_{DD} 可為 +7.5V，而 V_{SS} 為 -7.5V。最常用的電壓值為 $V_{DD}=5V$ ， $V_{SS}=0$ ，正如 TTL 一樣。也有用 $V_{DD}=9V$ ，10V，而 $V_{SS}=0$ 的。就如 "簡介" 中所說，CMOS 所消耗的功率甚小，通常低於 $1\mu W$ （對每一只 IC 而言）。

② 輸入電流

- 利用 4011 作成反相器，將 1，2 腳並接，然後串聯一個 $1M\Omega$ 電阻器至 +5V 作為輸入端。
- 以數字電壓表 DVM 測出電阻器兩端的電壓降。
- 將此電壓降除以電阻值，即得輸入高態的電流值 I_{IH} 。
- 請問此閘的有效輸入阻抗 V_{DD}/I_{IH} 為多少？

③ 輸出電流

- 如輸入電流之接線，但對 $1M\Omega$ 電阻接地，使反相器之輸出為高態。
- 將反相器之輸出端串聯 $100k\Omega$ 電位器而接地。
- 分別調整電位器至 $100k\Omega$ ， $1k\Omega$ ，與 100Ω ，用 DVM 量出其電壓降，記錄之。
- 計算出對應的高態輸出電流值 I_{OH} 。
- 將 I_{OH} 與 R_L 的對應值繪成座標圖。

5 輸入－輸出特性曲線

- 如圖 C1-2 之接線，其中電容器及二極體為箝位器，用來限制輸入訊號，使不得為負值。
- 由函數波產生器輸入 200Hz 的正弦波，峰對峰值為 0~5V。
- 從示波器上可讀出 V_{IL} ， V_{IH} ， V_{OL} 及 V_{OH} 分別記錄之。
- 改變電源電壓為 10V 及 15V，測出其臨限電壓值。
- 繪出輸入－輸出特性曲線圖。

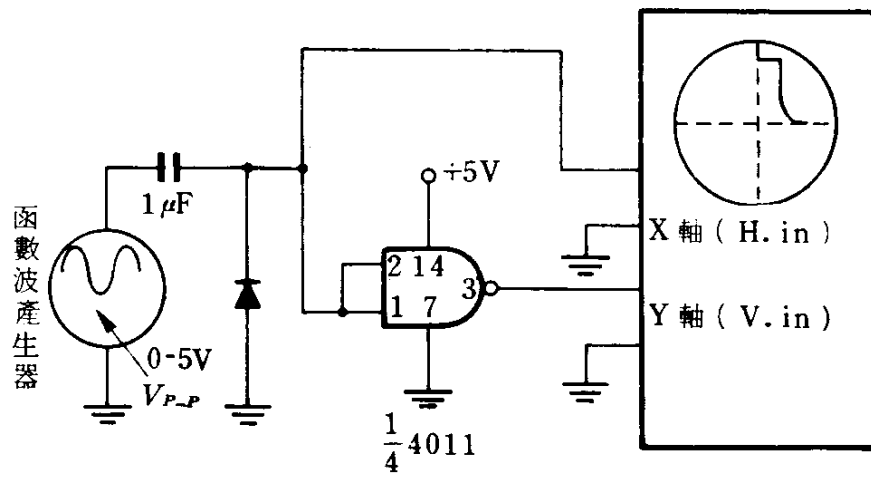


圖 C1-2 4011 之輸入—輸出特性曲線測試圖如用妥跡示波器，
則可以 CH1 代替 Y 軸，CH2 代替 X 軸

實驗 D2：布氏代數演算（利用 TTL 做）

相關知識

藉著前兩次的實驗，我們已能瞭解 AND，OR，NAND，NOR 和 NOT 閘的真值表。假如我們把邏輯 1 的高態用布氏代數的 1 來代替，把邏輯 0 的低態用布氏代數的 0 來代替，則我們可用布氏代數來表示各種邏輯閘的動作，並可藉此分析複雜的邏輯電路。

雖然布氏代數只有 0 和 1 兩值，但增加上運算符號時，就可表示出各種不同的邏輯電路的結果。其符號的基本定義如下：

- 表示與閘（或叫和閘，及閘）
- + 表示或閘
- \oplus 表示排斥或閘
- 表示反閘

寫成公式如下：

$$Y = A \cdot B$$

$$Y = A + B$$

$$Y = A \oplus B$$

$$Y = \overline{A}$$

因此反與閘可寫成：

$$Y = \overline{A \cdot B}$$

反或閘可寫成：

$$Y = \overline{A + B}$$

其基本定律如下所示：

第一組： $0 + 0 = 0, 1 + 0 = 1, 0 + 1 = 1, 1 + 1 = 1$

第二組： $0 \cdot 0 = 0, 0 \cdot 1 = 0, 1 \cdot 0 = 0, 1 \cdot 1 = 1$

上列兩組可用圖 D1-2 獲得證明。學者請特別注意， $1 + 1 = 1$ 讀成：1 或 1 為邏輯 1，並非二進位計算中的 $1 + 1 = 10$ 。

第三組： $1 = 0, 0 = 1$

凡是在 $\overline{\quad}$ 號底下的，均指其補數。反 1 即為 0，反 0 即為 1。

除了以上三組基本定律以外，在應用時，我們可以 A 或 B，C.....等表示邏輯閘的 1 個輸入訊號，因此我們獲得下列九種基本恆等式：

$$A + 0 = A \quad A + 1 = 1 \quad A + A = A \quad A + \overline{A} = 1 \quad A \cdot 0 = 0 \quad A \cdot 1 = A$$

$$A \cdot A = A \quad A \cdot \overline{A} = 0 \quad \overline{\overline{A}} = A$$

最後一式讀成反反 A，即 A 的補數的補數為其原值。

其次我們將其推廣，而獲得更複雜的應用定律。

交換律： $A + B = B + A, A \cdot B = B \cdot A$

結合律： $A + (B + C) = (A + B) + C \quad A \cdot (B \cdot C) = (A \cdot B) \cdot C$

分配律： $A + (B \cdot C) = (A + B) \cdot (A + C) \quad A \cdot (B + C) = (A \cdot B) + (A \cdot C)$

吸收律： $A + A \cdot B = A \quad A \cdot (A + B) = A$

請注意，運算時先做括號（）內的處理，後做其他的處理。

最後，學者必須知道化簡複雜電路最有效的摩根定理（De Morgan's Theorems）：

(1) $\overline{A + B} = \overline{A} \cdot \overline{B}$ 讀成和的補數等於補數之積

(2) $\overline{A \cdot B} = \overline{A} + \overline{B}$ 讀成積的補數等於補數之和

此定理更可推廣到三個以上的變數：

$$(1) \overline{A+B+C+\dots} = \overline{A} \cdot \overline{B} \cdot \overline{C} \dots$$

$$(2) \overline{A \cdot B \cdot C \dots} = \overline{A} + \overline{B} + \overline{C} + \dots$$

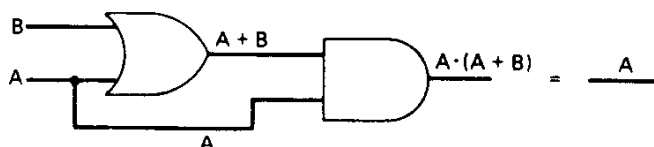
由於 74 系列的 TTL IC 大多由 NAND 閘和 NOR 閘組成，正好與摩根定理的 $\overline{A \cdot B}$ （即 NAND）， $\overline{A+B}$ （即 NOR）相配合，因此學者不妨試著以此二閘組成 AND，OR，NOT 等閘，您也可證明出 $\overline{A+B} \neq \overline{A} + \overline{B}$ ， $\overline{A \cdot B} \neq \overline{A} \cdot \overline{B}$ 。

例 1：請以布氏代數證明此電路系統；在有兩個輸入開關 A 與 B 的迴路中，當 A 或 B 是通路（邏輯 1）且 A 也是通路時，則輸出必為通路。

解：根據題意，寫成布氏代數式為 $(A+B) \cdot A$ ，我們可化簡為

$$(A+B) \cdot A = (A \cdot A) + (B \cdot A) = A + (B \cdot A) = A \cdot (1+B) = A$$

以邏輯圖表示如下：



可見 A 的狀態為控制此系統輸出狀態的唯一因素。

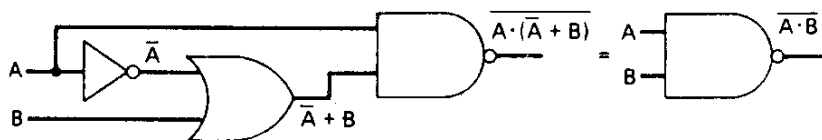
例 2：試證明 $(A+B) \cdot (A+C) = A + B \cdot C$

$$\begin{aligned} \text{解：} (A+B) \cdot (A+C) &= A \cdot A + B \cdot A + A \cdot C + B \cdot C = A + B \cdot A + C \cdot A + B \cdot C \\ &= A(1+B+C) + B \cdot C = A + B \cdot C \quad \because 1+B+C=1 \end{aligned}$$

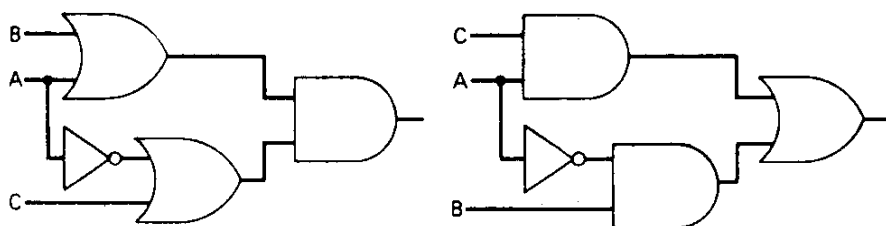
例 3：試化簡 $\overline{A \cdot (A+B)}$

$$\text{解：} \overline{A \cdot (A+B)} = \overline{A \cdot A + A \cdot B} = \overline{0 + A \cdot B} = \overline{A \cdot B}$$

若以邏輯圖表示，則如下



此外，學者亦可自行證明 $(A+B) \cdot (\overline{A} + C) = A \cdot C + \overline{A} \cdot B$ 正如下圖所示，為兩個等值電路。



當我們要將一組邏輯狀況化簡時，最簡便的方法為 "積之和" 的方法（或叫 "或化法" OR-ing）。其要點為將所有邏輯輸出為 1 的積相加，而獲得布氏代數式，然後再應用公式將其化簡。例如，某一輸入－輸出真值表為：

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

則可獲得 $Y = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C + A \cdot \overline{B} \cdot C + A \cdot B \cdot C$ 然後您可簡化為 $Y = \overline{A} \cdot \overline{B} + A \cdot C$ 。

學者亦可利用卡諾圖（Karnaugh mapping）化簡上式。在此不贅述。

爲了以下的實驗，請您將下列兩種情況的積之和寫成布氏代數式，以便證明。

- (1) 當輸入 $A=1$ ， $B=0$ 或 $A=0$ ， $B=1$ 時輸出 $S=1$
- (2) 當輸入 A 與 B 均爲 0 或均爲 1 時輸出 $S=0$ 。

使用器材

積體電路：7400 二只 7402 一只 7486 一只

LED：紅色，10~20mA 三只

電阻器：270Ω 三只

電源供給器：有 +5V DC 電壓即可

儀器：數位電壓表一只

實驗步驟

- 1 將 7400 與 7402 的第 14 腳接 +5V，第 7 腳接地。
- 2 將每個 LED 串接一個 270Ω 電阻、後接地，並如下圖之接法。（註：一般 LED 之電壓降約 1~3V 之間，當它接至 TTL IC 時，必須串接一降壓電阻，以免 LED 損壞，且 LED 的極性必須正確，否則將無法顯示。）

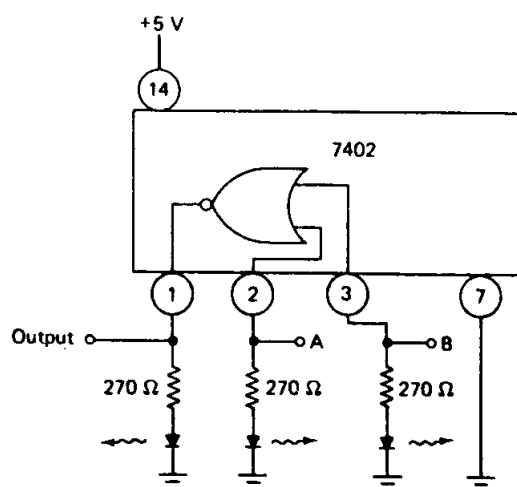


圖 D2-1 利用 LED 驗證 NOR 真值表

- 3 順次將 A ， B 接地或接 +5V，當 LED 亮時即表示爲邏輯 1，不亮時表示邏輯 0。然後將輸出

端 LED 的狀態記錄之，以驗證 NOR 之真值表。

A	B	輸出
0	0	1
0	1	0
1	0	0
1	1	0

4 利用 7402 證明布氏代數式 $A + \bar{A} = 1$ 。

① 將 7402 之各腳接線如下圖：(學者請注意 G3 係作為 NOT 閘之用。)

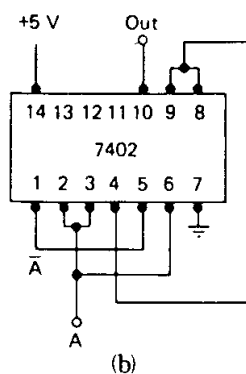
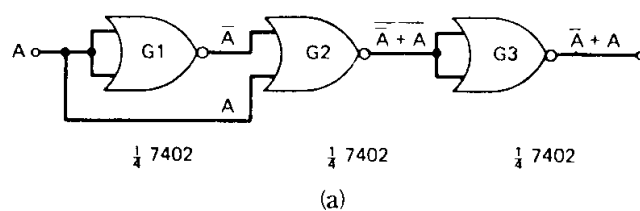


圖 D2-2 $\frac{1}{4}$ 7402 表示利用四組雙輸入 NOR 閘之一，本圖為證明 $A + \bar{A} = 1$ 之用，(a) 為邏輯圖，(b) 為實際接線圖

② 將 LED 與串接的電阻接至第 2 腳 (即 A 點)，另一組接至第 1 腳 (即 \bar{A} 點)，又一組接至第 10 腳作為輸出用，接法請參考圖 D2-1。切忌將 LED 與電阻器接至 G1 的輸出端，否則由於 LED 將消耗部分電流而使前一邏輯閘無法推動下一邏輯閘。這個原則也適用於 CMOS 電路。

③ 將 A 接至 +5V 或接地，觀察第 10 腳之 LED 是否均為 "亮"。

5 利用一個 7400 與一個 7402 證明 $A + (A \cdot B) = A$ 。

① 利用 2 組 $\frac{1}{4}$ 7402，如下圖之接線。

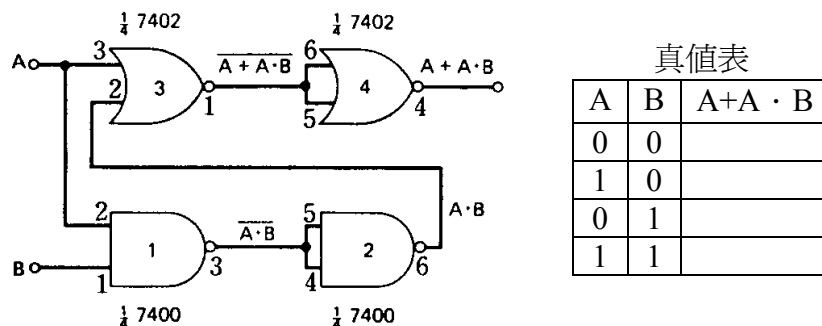


圖 D2-3 證明 $A + (A \cdot B) = A$ 的接線圖

- ② 同樣將三組 LED 與串接電阻接在 A，B 及 $A + A \cdot B$ 端，記錄其真值表，如圖 D2-3 所示。
- ③ 學者可僅用 NAND 閘完成上式的證明。請在實驗報告中寫出。
- 6 利用一個 7400 與一個 7402 證明摩根定理之一。
- ① 如圖 D2-4 所示，請寫出 Z 與 Y 之邏輯式。

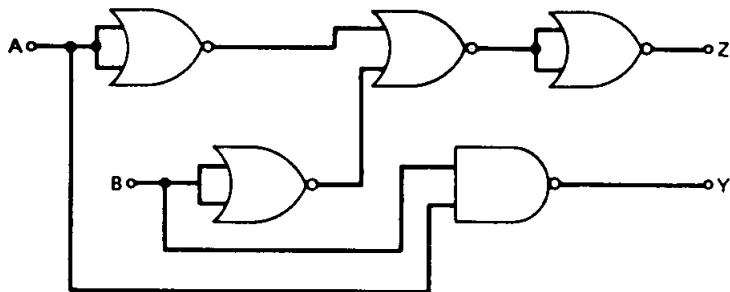


圖 D2-4 摩根定理之證明

- ② 同上個實驗，將 LED 與電阻器接至 A，B 與 Z 端，然後再將 Z 端的 LED 與電阻器移至 Y 端，分別記錄其真值表。
- ③ 證明 $Y=Z$ ，不論 A，B 為 0 或 1。
- 7 排斥或閘 (Exclusive-OR) 的真值表證明。
- ① 根據排斥或閘的定義為：只要有一輸入為 1 (非同時為 1) 則輸出為 1。因此請先根據定義將此種邏輯式： $A \oplus B = (\bar{A} \cdot B) + (A \cdot \bar{B})$ 以 7400 與 7402 完成其接線圖，並繳出其設計圖。
- ② 如下圖所示，利用 7486 之一組雙輸入排斥或閘，證明其真值表為正確。(同樣用 LED 證明之)

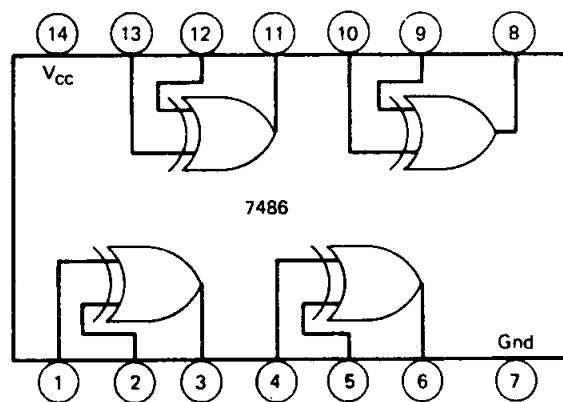
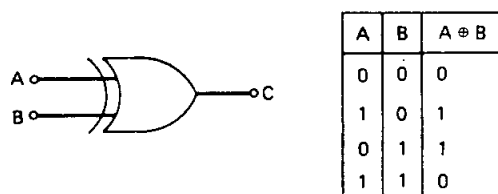


圖 D2-5 排斥或閘之證明

實驗 C2：利用 CMOS 證明布爾代數

相關知識

CMOS IC 4001 相當於 TTL IC 的 7402，均具有四組雙輸入的 NOR 閘。而 4011 則相當於 7400，具有四組雙輸入的 NAND 閘。因此，在實驗 D2 所證明的布爾代數，均可改用 CMOS 來證明，只是其接腳略有不同而已。

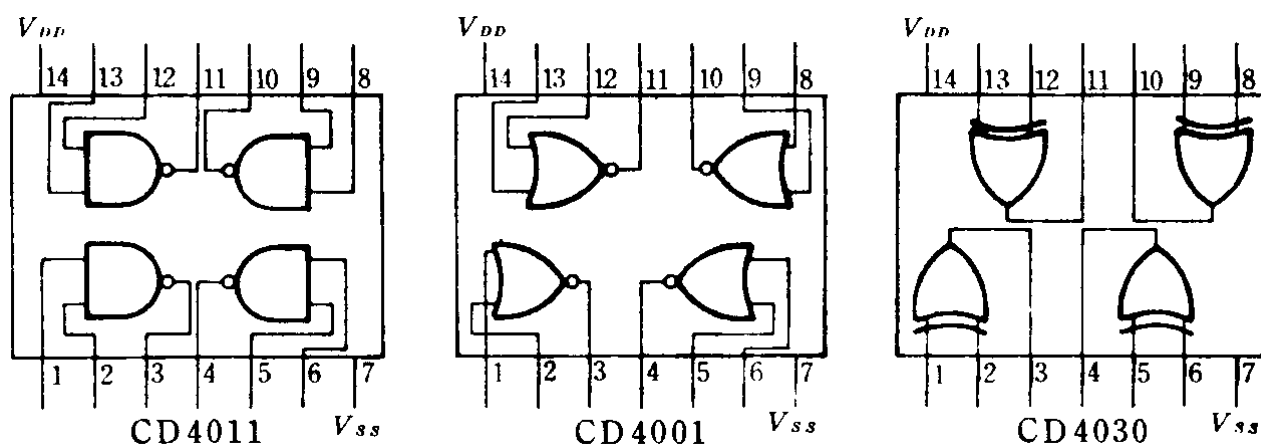


圖 C2-1 4001，4011 與 4030 之接腳圖

使用器材

IC： 4001，4011，4030 各一
LED： 三只
限流電阻：220Ω 三只
儀器設備與實驗 D2 同。

實驗步驟

- 如下圖接線，證明 NOR 閘的真值表。

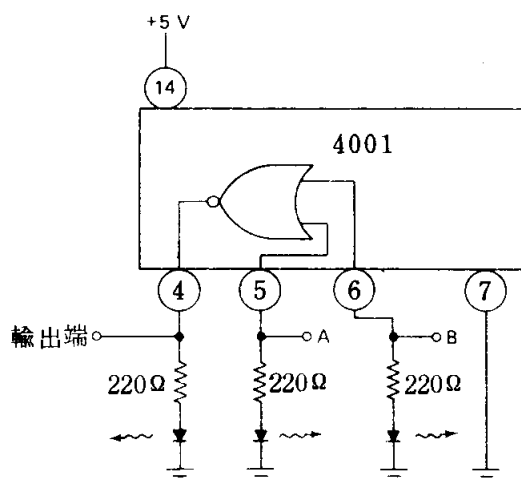


圖 C2-2 NOR 閘真值表實驗圖

按正邏輯觀念完成真值表：

A	B	輸出
0	0	
0	1	
1	0	
1	1	

- 按圖 C2-3 接線，如實驗 D2 之第 2 步，證明 $A + \bar{A} = 1$ 。
- 與實驗 D2 之第 3、4 兩步相同之接線證明 $A + (A \cdot B) = A$ 及摩根定理 $\bar{A} + \bar{B} = A \cdot B$ 。
- 利用 CD4030 完成排斥或閘之真值表。

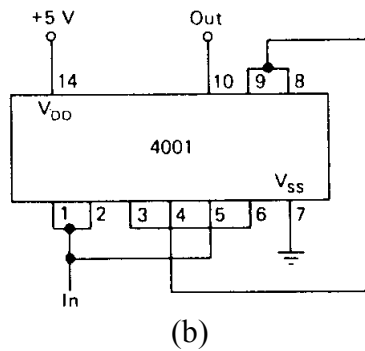
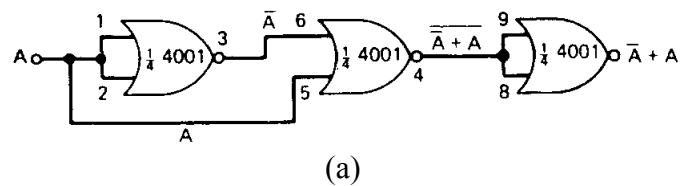


圖 C2-3 以 4001 證明 $A + \bar{A} = 1$ 之接線圖

真值表

A	B	$A \oplus B$
0	0	
0	1	
1	0	
1	1	

檢 討

實驗中若以 LED 作輸出顯示時，確記不要再作為下一級的輸入，以免推動電流不足。

實驗 D3：TTL 緩衝器

相關知識

通常我們要將兩個電路組合時，常會有不能匹配的情形出現。例如，我們要利用 5V 的 TTL 電路去推動 24V 的繼電器，或者要將一個以 TTL 做成的計頻器輸出，接到一個以 RTL 作輸入的讀出電路，其界面間就需要 "緩衝器" 將前後兩個電路結合為一可用的整體電路。

緩衝器可用來改變電路的輸入特性。當我們要將一個高阻抗的信號源接到一個低阻抗的邏輯電路時，就需要緩衝器的配合。同樣，當我們要利用 TTL 電路去推動電傳打字機或白熾燈時，就需要輸出緩衝器。而大多數的 TTL 緩衝器是用來作為輸出裝置的。那麼，到底何時我們使用 TTL 緩衝器呢？這需要我們深入瞭解 TTL 電路的輸出特性。

如圖 D3-1 所示的電路是 7400 內的一組 NAND 閘，電晶體 Q_3 和 Q_4 是作為輸出的圖騰柱結構，而每一個晶體的工作狀態正如表 D3-1 所示，其中 "ON" 表示該電晶體導通或飽和，此時 C-E 極間的電阻甚低。反之，當電晶體 "OFF" 時，其 C-E 間電阻甚高。所謂高態輸出，即指 Q_3 飽和而 Q_4 截止的情況。既然 Q_4 是串接在 Q_3 的射極，則此時電路的工作就相當於射極隨耦器，其增益 ≈ 1 ，具有低輸出電阻特性。其輸出電壓相當於 V_{B3} (Q_3 基極電壓)，而 V_{B3} 接近 +5V，因為 Q_2 處在斷路狀態中。若仔細計算，則輸出電壓應為 $V_{B3} - V_{BE(3)} - V_{D3}$ ，其中 $V_{BE(3)}$ 與 V_{D3} 以 0.6V 計，則高態輸出電壓大約為 3.8V。當 Q_3 截止， Q_4 導通時，輸出就轉為低態，其輸出電壓約為 Q_3 的飽和電壓，一般 $V_{CE(sat)} \approx 0.1V$ ，此時輸出電阻為 Q_4 導通時的內阻 ($< 20\Omega$)。由於圖騰柱的電路結構，不論輸出為高態或低態，其輸出阻抗均小於 100Ω ，此種低輸出阻抗電路許可接上數個 TTL 電路。所謂扇出 (Fanout) 數即指一個閘的輸出可以推動的閘數，大多數 TTL 閘可推動 10 個 TTL 閘。同時，若輸出端具有分佈電容或負載電容時，則可因低輸出阻抗而增加其傳送速度。

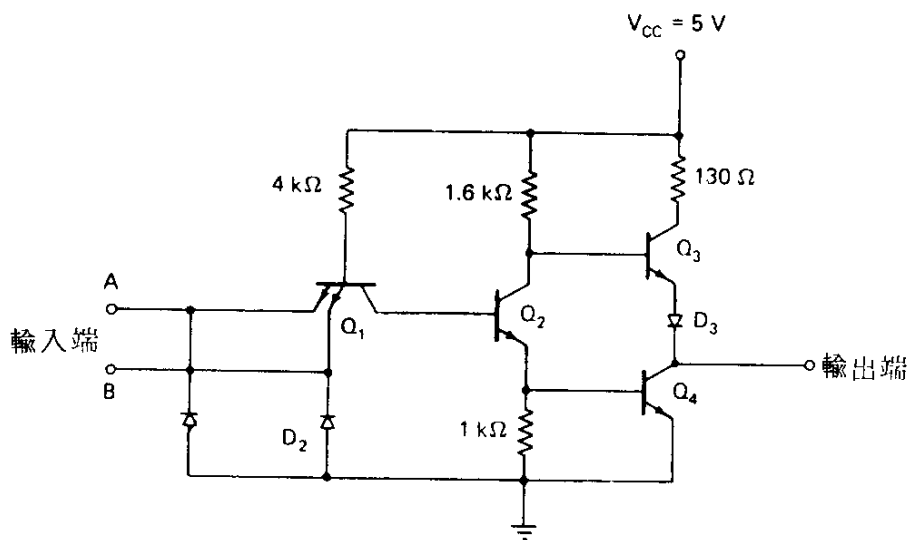


圖 D3-1 7400 中一組 NAND 閘的內部電路

表 D3-1 電晶體動作狀態

	Q1	Q2	Q3	Q4	輸出
A 或 B 為低態	On	Off	On	Off	高態
A 和 B 均為高態	Off	On	Off	On	低態

「集極開路」(Open-Collector) 輸出的配置是 TTL 電路中常用的電路之一。圖 D3-2 顯示 7401

或 7403 NAND 閘的內部接線，即為集極開路的狀況。

其輸出狀態為對地高阻抗或低阻抗兩種。而為了獲得輸出電壓，必須在集極接上「提升電阻」(Pull-Up Resistor)。此種電路的優點為可將同類型電路以 AND 方式並接在一起 (Wire-AND_{ED})，如圖 D3-3 所示。這種方式的電路可以省去利用數個 NAND 閘作成 AND 閘的麻煩，即可節省經費與時間，同時只需一個提升電阻即可。在高態輸出時，輸出阻抗由集極電阻 R_C 所決定 (因為共射極接線方式)，為了保護輸出晶體 Q_3 ， R_C 至少須在 330Ω 以上。

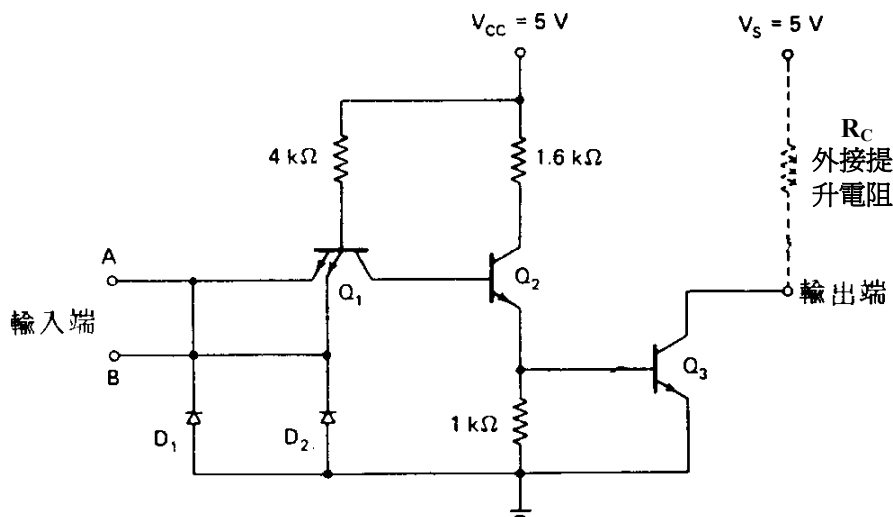


圖 D3-2 7401 或 7403 雙輸入正邏輯 NAND 閘集極開路輸出電路

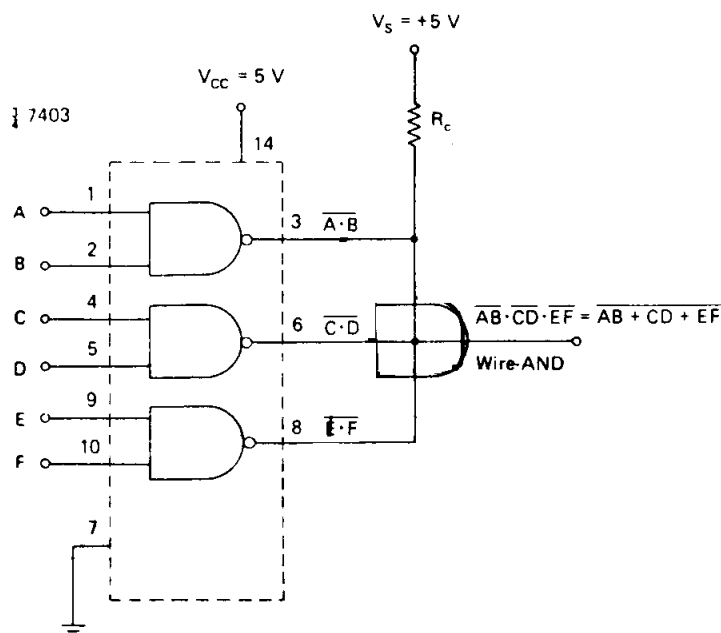


圖 D3-3 集極開路的共接 AND 閘，其中 AND 符號僅表示有 AND 功能，而非有此閘存在

「大負荷電流的緩衝器」，例如 7438 或 7439，其輸出晶體能承受較大的集極電流 $I_{OL} = 48\text{mA}$ ，比同類型的集極開路 NAND 閘大很多，如 7403 的 $I_{OL} = 16\text{mA}$ 。以一般 TTL 的低態輸入電流 $I_{IL} = -1.6\text{mA}$ 計算，7438 或 7439 能承受 30 個 TTL 負載，其扇出數 $N = I_{OL} / I_{IL} = 30$ 。至於以圖騰柱方式輸出的 7437 NAND 閘緩衝器亦可扇出 30 閘。一般緩衝器對 TTL 閘的扇出數均為 3 的倍數。而為了供應 30 個 TTL 閘的高態電流，其 I_{OH} 至少要 1.2mA ，因 $I_{OH} = N \times I_{IH} = 30 \times 40\mu\text{A} = 1.2\text{mA}$ 。但由於 7437，7438，與 7439 的最大高態輸出高壓 V_{OH} 為 5.5V ，所以此等 IC 不能用來產生高於 5V 的輸出電壓。

「具有高輸出電壓的緩衝器」，在 74 系列的 IC 中有些能用來作為高輸出電壓的緩衝器。例如 7406，7416 是集極開路輸出的反相緩衝驅動器，7407，7417 是集極開路輸出的緩衝驅動器。這些 IC 都能用來作為高電壓 TTL 電路與（或）大電流負載如燈泡、繼電器、MOS IC 等的介面電路。其電壓、電流特性略如下表所示。

表 D3-2 高輸出電壓緩衝器電氣特性

	V_{OH} (max., V)	I_{OL} (max., mA)	I_{OH} (max., μA)
7406	30	40	250
7416	15	40	250
7407	30	40	250
7417	15	40	250

表中 I_{OH} 係當輸出電壓為高態時，即 V_{OH} 時，流過輸出電晶體（斷路狀態）的最大電流，其值 $250 \mu A$ 是 7400 系列開路輸出的典型值，此值限制了提升電阻 R_C 的數值。例如，為了保證高態輸出電壓在外加電源電壓的 $2.5V$ 以內，則 R_C 最大應為 $2.5V/250 \mu A$ ，即 $10k\Omega$ 。至於 R_C 的最小值，係當 $V_S \leq V_{OH}$ 時，以下式計算而得 $R_C = V_S / I_{OL}$ 。例如在 7417 的情況下，由表 D3-2 知 $V_{OH} = 15V$ ，而 $I_{OL} = 40mA$ 時 $R_C = 15V/40mA = 375\Omega$ ，求出上、下限後，即可在其範圍內，根據負載的特性而選擇一合適的 R_C 值。如圖 D3-3 所示。

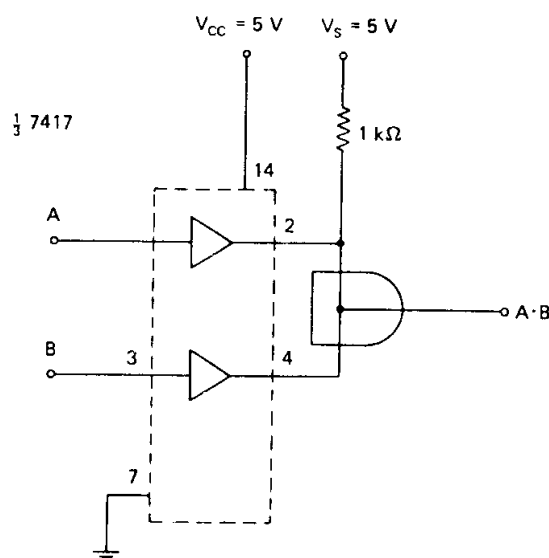


圖 D3-3 利用 7417 中兩組非反相器作成的接線與閘（Wire-AND）

若將 R_C 換成負載，則負載電阻必須在 R_C 值的上下限之間，且 V_S 值必須在 V_{OH} 以下。（若用 7407， V_S 須在 $30V$ 以下，若用 7417 則須在 $15V$ 以下）。如圖 D3-4 所示，係將 R_C 換成繼電器的線圈。

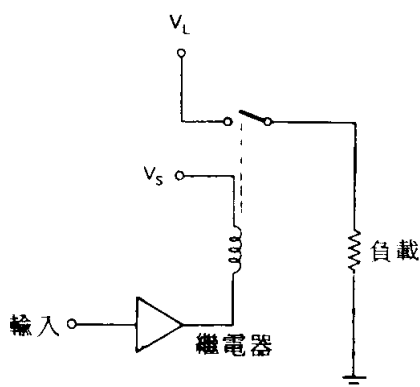


圖 D3-4 利用 7417 推動繼電器，須注意繼電器導通時的最大電流值

使用器材

IC：7400，7403（或 7401），7417（或 7407），7437 各一只。

電阻器：1k Ω ，150 Ω 各二

繼電器：DC15V 以下，如用 7407 則為 DC30V 以下，且線圈電流小於 40mA，一個。

LED：紅色二個

儀器：雙跡示波器一台

衰減器一台（若無此設備，亦可用電位器）

數位三用表一台

實驗步驟

- 1
 - ① 利用 7403 的一組反與閘，將其輸出端接至衰減器的一端，而將衰減器的另一端接至 5V 電源，使衰減器的電阻當作提升電阻用，先調整至 1k Ω 。
 - ② 在輸入端 A，B 兩點分別加入 5V，使輸出為低態，用數位三用表量出其輸出電壓，記錄之。
 - ③ 將任一輸入端接地，則可使輸出為高態，用數位三用表量出其輸出電壓，即 V_{OH} 記錄之。

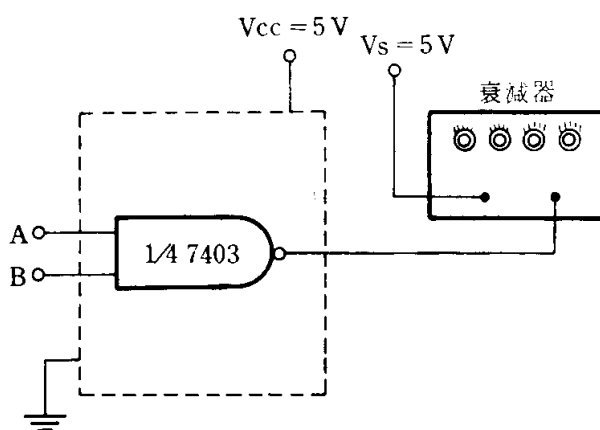


圖 D3-5 R_C 值的測定接線圖

- ④ 在 V_{OH} 狀態下，改變衰減器之電阻值，直到輸出電壓比 $R_C = 1k\Omega$ 時降低 0.2V 為止。記錄此時之電阻值。
 - ⑤ 以數位三用表量出衰減器兩端之電壓降，而計算出 I_{OH} 值。
 - ⑥ 核對 I_{OH} 值是否低於 250 μA ？
 - ⑦ 記錄 R_C 之上下限。
- 2 如圖 D3-3 接線，在輸入端分別加入 +5V 或接地，測出輸出電壓的變化，而證明出 AND 閘的真值表。

A	B	$A \cdot B$
0	0	0
1	0	0
0	1	0
1	1	1

- 3
 - ① 利用 7417 推動繼電器，如圖 D3-4 之接線。注意 V_S 須等於繼電器的耐壓數值，同時使 $V_L = 5V$ 。

- ② 當繼電器導通時，量度其電流，應不超過 40mA。
 - ③ 將繼電器改換成 LED 與 150Ω 串接的負載。倘若以 "燈亮為高態，燈熄為低態"，請問此電路是否為一反相緩衝器？
- 4 比較 7400 NAND 閘與 7437 NAND 閘的輸出特性，雖然二者均是圖騰柱的輸出方式，但 7437 作為緩衝器，其扇出數為 30，而 7400 扇出數為 10。學者試比較此二者最大負載電流的差別。其步驟如下：
- ① 利用衰減器作為 7400 一組 NAND 閘的負載。
 - ② 將一輸入端接地，使輸出為高態。
 - ③ 減少負載電阻 R_L ，直到輸出電壓降為 2.4V。
 - ④ 記錄 R_L 值，並計算流過 R_L 的電流，即 I_{OH} 。
 - ⑤ 將 7400 換成 7437，重複①～④步驟。
 - ⑥ 比較二者 I_{OH} 的差異。
 - ⑦ 以 $I_{OH} \div I_{IH}$ 計算二者在邏輯 1 時的扇出數。
 - ⑧ 量度 I_{OL} 與 I_{IL} ，而計算二者在邏輯 0 時的扇出數目。
 - ⑨ 將所計算之數值與特性表比較。

檢 討（編者註）

- 1 邏輯閘扇出數，係以邏輯 0 與邏輯 1 扇出數相較而以數目較少者為其扇出數。
- 2 假如扇出數太多，則作為扇出之輸出電壓改變，代表 1 之高電壓下降，而代表 0 之低電壓上升，故對直流雜訊的免除性就降低，如負載再增大，則將使輸出之高電壓低於容許之最低電壓，而其低電壓高於最高低電壓，則此電路已失去其邏輯特性而無法使用，故其扇出數應有一定的限制。

實驗 C3：CMOS 緩衝器

相關知識

CMOS 電路的主要優點乃在其動作所需電流極少，因此它不像電路受扇出數的限制。其輸入阻抗主要為電容性，每一開的輸入電容約為 5pF，因此輸出的源流（Source Current 或叫供應電流）和流向電路的匯流（Sink Current 或叫吸收電流）並非決定扇出數的主要因素，而負載電容將限制其頻率響應。一般對於 20 個 CMOS 負載，即負載電容為 100pF 時，其典型過渡時間（Transition time）約為 300ns（從高態降到低態）。因此，其扇出數通常由信號傳遞時間來決定。假如不考慮速度的話，其扇出數將可很大（>50）。

一個典型的 A 系列 CMOS，其電源為 +5V，其最小源流為 -0.3mA，最小匯流為 +0.3mA（註：這是製造商所保證的最小數值）。這樣低的輸出電流表示 CMOS 電路不能單獨用來推動 LED 或繼電器。（附錄 D 列舉各種狀況）。尤有甚者，CMOS IC 不能直接連於一般 TTL 電路，因為每一 TTL 電路的匯流容量為 1.6mA。（註：B 系列的 CMOS 具有較高的輸出源流（ I_{bP} ）和匯流（ I_{bN} ）；在 5V 電源下其源流為 -1.6mA，匯流為 0.4mA，因此仍不足以推動一個 TTL。若要推動仍需加上其他零件）。至於低功耗的 TTL（如 74L00，與 74LS00）則可直接與 CMOS 相匹配。為了使 CMOS 與 TTL 能交互使用，我們必須使用 CMOS 緩衝器；第一類為反相型，如 4009A 或 4049A；第二類為非反相型，如 4010A 或 4050A。這些緩衝器的源流至少為 -1.25mA，匯流至少 3mA，同時，它們都能作電位移動之用。一般 CMOS 電路工作在 $V_{DD}=10V$ ， $V_{SS}=0$ 的情況下，而上列緩衝器能將 10V 變為 5V，而與 TTL 電路相配合。例如 4049A 或 4050A 若接有 15V 的輸入信號，其輸出卻可由 V_{CC} 來控制，如下圖所示，係由 5V 來決定其輸出信號。

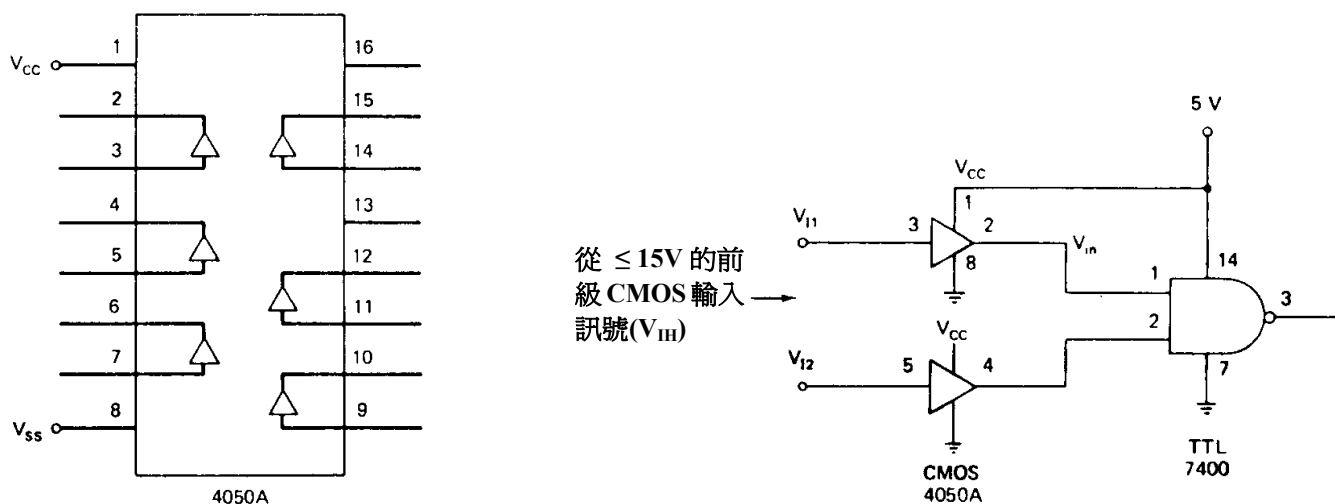


圖 C3-1 圖左係 4050A 的邏輯接線圖，圖右表示輸入信號 V_{IH} 可在 $V_{CC} \leq V_{IH} \leq 15V$ 變化，而其輸出高電位 V_{OH} 正好等於 V_{CC}

CMOS IC 並無集極開路的輸出方式，亦不許有接線或（Wire-OR）的接法。如要將兩個輸出接在一起，必須使用多工器（Multiplexer）。下圖表示利用 4016 所組成的類比開關。當控制電壓 $V_C = V_{DD}$ 時，開關 ON（即低電阻狀態），而當 $V_C = V_{SS}$ 時，開關 OFF。倘若我們將兩組開關的輸出接在一起，而其輸入的控制訊號係從 CMOS 電路進來，則請確記，這兩組開關不能同時 ON，即不能使 $V_{C1} = V_{C2} = 1$ 。

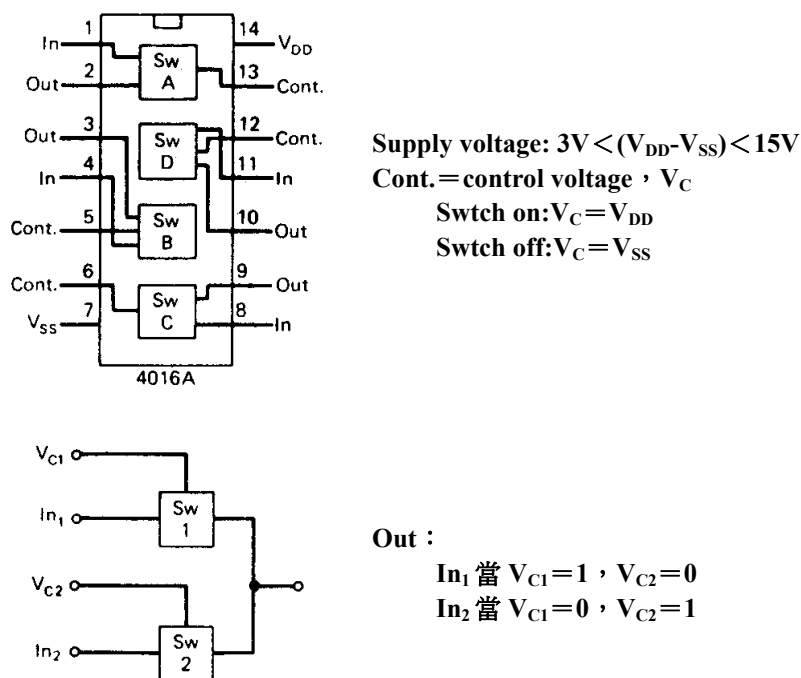


圖 C3-2 4016A 並排式開關電路，當 $V_{DD} - V_{SS} = 15V$ 時導通 (ON) 電阻為 300Ω 其輸入信號 V_I 必須在 $V_{SS} \leq V_I \leq V_{DD}$ 之間。

使用器材

IC：4016，4050，7400 各一
 電晶體：2N3053（或同等品 $I_f \geq 50mA$ ）一只
 繼電器：線圈電壓 $< 15V$ ，電流 $< 50mA$ 一個
 LED：紅色一只
 電阻器： 150Ω 一只
 電源供給器： $\pm 30V$ ，具有 $5V$ 定電壓， $2A$ 一台
 儀器：數位三用表，精確度至小數點後第 2 位
 實驗板：使用免銲電路板

實驗步驟

- 找出 4050 緩衝器的轉換電位
 - 如圖 C3-1 接線，將 V_{CC} 接 $+5V$ ， $V_{SS}=0$ 。
 - 將 4050 的兩組非反相緩衝器之輸入接在一起，而接至電源供給器的輸出端。（即將 V_{I1} 與 V_{I2} 接至電源供給器的輸出端）。
 - 將電源開關 ON，使輸出電壓 V_I 分別為 0 、 2 、 3 、 5 、 10 、 $15V$ ，同時用數位三用表量度 V_{IN} （TTL 輸入電壓）。
 - 觀察 V_{in} 在 $V_I = \underline{\hspace{2cm}}$ V 時改變其邏輯狀態。
- 證明 4050 的輸出輸入特性
 - 如圖 C3-3 接線。
 - 將 V_S 接至 $10V$ 電源供給器（ V_S 需配合繼電器耐壓值），將 V_L 接至 $+5V$ 。
 - 將一只 LED 與 150Ω 電阻串接作負載，並定義 LED 亮時為高電位，熄滅時為低電位。

- ④ 將 V_I 輸入電壓調整在 $\leq 15V$ 之間，觀察繼電器的動作，及 LED 的反應。
- ⑤ 請問此 4050A 的緩衝器是反相型或非反相型？

3 量度 4016 開關特性

- ① 將 4016 的一組開關間接上電源 $V_{DD}=5V$ ， $V_{SS}=0$ 。
- ② 在電源 ON 之前先量度輸入與輸出端之間的電阻值。
- ③ 將控制電壓 V_C 加上，但其值須在 $V_{SS} \leq V_C \leq V_{DD}$ 之間。
- ④ 當 V_C 變化時，量度其 Out 與 In 之間的電阻，記錄其變化情形。
- ⑤ 記錄此種開關的最大和最小電阻值。

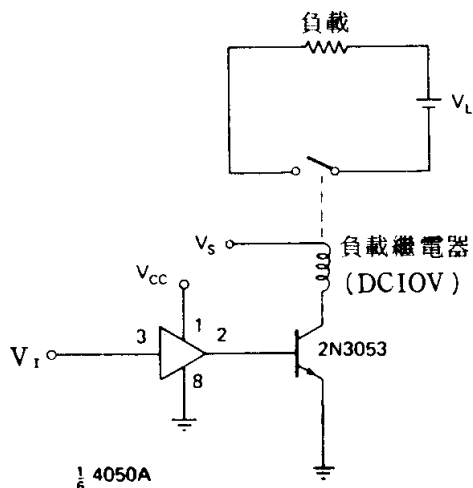


圖 C3-3 利用 4050 緩衝器與 2N3053 推動繼電器

實驗 C4：以 CMOS 組成不穩態 多諧振盪器和樞密特觸發器

實驗步驟

所謂多諧振盪器係具有邏輯 1 和邏輯 0 兩種輸出狀態的電路。一般將其分為三類：①雙穩態（又叫正反器）②單穩態（又叫單擊電路 ONE-SHOT）③不穩態。

不穩態（Astable）多諧振盪器工作在兩個電位之間，基本上極類似方波產生器。其頻率和波寬是由外加的 RC 時間常數電路所決定。圖 C4-1 顯示利用 4001 CMOS 的 NOR 閘作成 NOT 閘，而與 RC 電路組成不穩態多諧振盪器。

本電路之工作原理說明如下：

1. 假設 3 點先為 "高電位"，2 點為 "低電位"，則 1 點必為 "高電位"，因此電流流經 R。
2. 假定沒有任何微量電流流入或流出反相器的輸入端，則流經 R 的電流必來自電容 C 的充電電流。因此我們可以把 G2 反相器看成一個電壓源，其高壓端在 3。
3. 待 C 充滿電後，流經 R 的電流即停止。因此 1 點電位變成低電位，G1 即轉態，使 2 點變成高電位。
4. 既然 2 為高電位，3 即變為低電位。
5. 很明顯的，當 1 點電位低於 G1 的臨限電壓（Threshold Voltage）時，兩個反相器同時轉態。
6. 當 3 低電位，1 也是低電位時，C 進行反向充電，而使 1 點電位逐漸升高，直到反相器轉態為止。

上述動作週而復始的進行，其動作週期係由時間常數電路 RC 所決定。其值約為

$$RC \ln[\gamma(1-\gamma)] \quad \text{其中 } \gamma = \frac{\text{臨限電壓}}{\text{電源電壓}}$$

可見 γ 隨著電源電壓而變動，因此振盪頻率也受電源變動的影響。

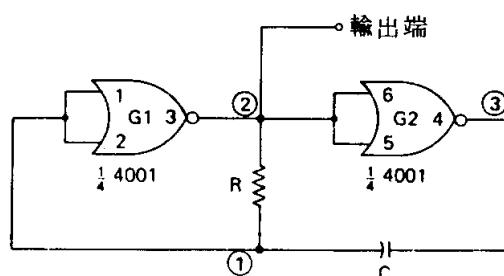


圖 C4-1 利用 4001 作成不穩態多諧振盪器示波器測試棒接在第②點和第 7 腳

從實驗 D1 我們知道 TTL 電路沒有高的輸入阻抗，同時在轉態的過渡期中波形變化顯得很尖銳。然而 CMOS 電路具有很高的輸入阻抗，同時在轉態時產生渡越現象（Transition），但其值（渡越的電壓值）甚難精確地量度出來。

由於 CMOS 具有上述特性，而適合於用來作樞密特觸發器與鑑別器。樞密特觸發器的特性是當輸入信號大於觸發位準 V_i^+ 時，輸出即為高態，直到輸入信號低於另一位準 V_i^- 時，輸出即為低態。因此其輸出信號變化於 V_i^+ 與 V_i^- 之間，稱為滯留區，此種情形將在實驗 A7 中詳述。

圖 C4-2 顯示一個簡單的樞密特觸發器電路，其觸發位準與滯留區均可由 R_i 調整之。當 $V_i > V_{tr}(R_i + R_f)/R_f$ 時輸出從低態變成高態，但不立刻回降，直到輸入電壓低於 $V_{tr}(R_i + R_f)/R_f - V_{OH}(R_i/R_f)$ 時才降回低態。式中 V_{tr} 係該邏輯閘的臨限電壓，而 V_{OH} 係指輸出高電壓。此種分析法並不適用於 TTL 電路，因其輸入阻抗太低。

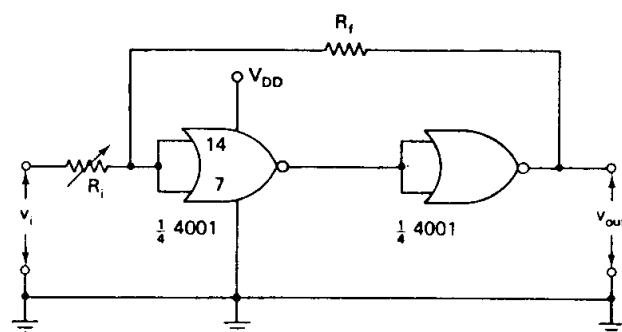


圖 C4-2 利用 4001 作樞密特觸發器其觸發電位為可調

本實驗所列舉的電路係屬於 "電位觸發" (Level Triggered)，意即其輸出受輸入電位的影響。其他的數位電路，例如單穩態多諧振盪器、正反器和計數器，係屬於 "波緣觸發" (Edge Triggered)，其觸發的發生係因輸入電位快速的轉態而造成。一個具有緩慢上升時間的正弦波或方波即無法用來作數位電路的觸發信號，因為數位電路需要陡峭的脈波邊緣。而樞密特觸發器的特點即在於它能產生陡峭的雙態波形，不論輸入信號變化多慢，或具有雜音，它都能工作。

一般將不穩態多諧振盪器所產生的陡峭脈波作為數位電路的時序波 (Clock)，其變化週期即該電路動作的時間基數 (Time Base)，因此能使各部分依序工作。其餘用來產生時序波的 IC 尚有 555 (參閱 P2 作業)、566 (參閱實驗 A13) 等均可與 TTL 和 CMOS 邏輯電路相配合。下列實驗 1 中所做的不穩態多諧振盪器，並不適於作為複雜的數位系統中的心臟，但其製作簡單且可靠性高。

使用器材

IC：4001 一只，4047 一只

電阻器：100kΩ (或衰減器一台)

電容器：0.1 μF，0.01 μF，10 μF，47 μF，100 μF 各一

儀器：雙跡示波器一台

實驗步驟

1 不穩態多諧振盪器頻率測試

- ① 利用 4001 與 C、R 接成圖 C4-1 的電路，使 $V_{DD}=5V$ ， $V_{SS}=0$ (接地)。
- ② 當 $C=0.1 \mu F$ ， $R=1k\Omega$ ， $10k\Omega$ ， $100k\Omega$ 時依次計算時間常數 $T=RC \ln[\gamma(1-\gamma)]$ (臨限電壓一般以 $V_{DD}/2$ 計算)
- ③ 將 V_{DD} 改為 10V，C、R 數值如上所述，再計算時間常數，並以示波器測量，證明是否一致。
- ④ 將 C 改為 10 μF，R 用 100kΩ 代之，使成長時間常數電路，並以 LED 接在輸出端當作負載，以觀察信號變化的情形。(建議學者利用 4001 的一組不用的閘當作緩衝器，接在第 2 點和 LED 之間)。

2 樞密特觸發器電壓測試

- ① 按照圖 C4-2 接線，為防止輸入信號低於 -0.5V，可自行加一二極體並聯於輸入端作為箝位器用。(如圖 D1-5 所示)
- ② R_i 用 50kΩ， $R_f=100k\Omega$ ，加入 1KHz，5V_{p-p} 正弦波。
- ③ 用雙跡示波器觀察輸出波形，對照輸入波形，看在多少伏特處波形由高態變成低態，和低態變成高態。
- ④ 將實際觀察數值與 $V_{OH}(R_i/R_f)$ 比較，是否相同？

- ⑤ 將 R_i 改變成 1k, 10k, 和 100k Ω 時, R_f 仍用 100k Ω , 觀察其觸發位準是否因 R_i 的改變而受影響, 其影響情形如何? 請記錄之。
- ⑥ 若使 V_{OH} (R_i/R_f) 值不變, 有無可能改變其觸發位準?

3 不穩態——單穩態多諧振盪器 4047 的特性

- ① 參閱下表所示 4077 的一般接腳方式。

表 C4-1

功 能	接到 VDD (14 腳) 的接腳	接到 VSS (7 腳) 的接腳	閘脈衝輸入端	輸 出 端
自激振盪	4, 5, 6, 14	7, 8, 9, 12	—	10, 11, 13
閘控振盪	4, 6, 14	7, 8, 9, 12	5	10, 11, 13

〔註〕 時間常數電阻 R 係接在第 2, 3 腳之間,
時間常數電容 C 係接在第 1, 3 腳之間。

- ② 選擇 $R=10k\Omega$, $C=0.01\mu F$, 按圖 C4-3 接線。
- ③ 將第 5 腳加上 +5V 後, 以示波器觀察第 10 腳的頻率是否為 $1/4.4 RC$ 。
- ④ 以雙跡示波器之第二波道觀察第 13 腳的輸出波是否為第 10 腳的二次諧波。
- ⑤ 同時觀察第 10 腳與第 11 腳的輸出波, 是否為互補波形。
- ⑥ 請設計一應用電路, 充分使用 V_{gate} , 及第 10, 11, 13 腳的輸出信號。

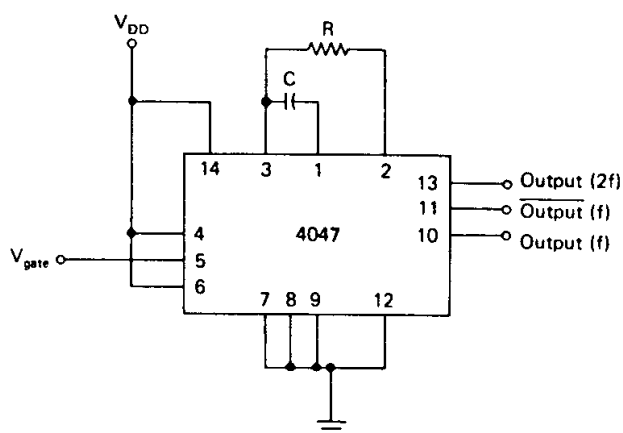


圖 C4-3 閘控不穩態多諧振盪器

實驗 D5：單穩態多諧振盪器（TTL）

相關知識

74121 是一具有互補輸出 Q 與 \bar{Q} 的單穩態多諧振盪器（又叫單擊振盪器 One-Shot），其穩定狀態為 $Q=0$ ， $\bar{Q}=1$ ，而當一外加信號觸發它時，就立刻轉態，但不久（約自 40nS 至 40S）又回復到穩定狀態。其轉態時間的長短係由時間常數電路所控制。因此 74121 可用來作為 "延長"、"縮短"，延遲或整形電路之用。

當 74121 的第 5 腳接到 +5V 時，其觸發輸入端 3，4 兩腳均可被負緣信號所觸發（或低電位）。第 5 腳亦可作為樞密特觸發器的輸入端，而自 Q 點（第 6 腳）取出輸出脈波。其波形如圖 D5-1 所示。

當 74121 被觸發之後，其輸出波形的週期部由外加的時間常數電容與電阻所決定。在觸發期間，任何輸入信號均無法改變其輸出狀態，直到 Q 降回 0 時始能再觸發。其外加時間常數元件的接法，詳述於本實驗之附註部分，但 74121 本身也具有 30nS 週期的內部時間常數電路，甚適合於作為時序波或計數器之用。

此外，74121 亦可配合防止彈跳開關（Bounce-free Switch）之用。因為一般機械式開關閉合時，均有彈回現象。倘若用此種開關來觸發一個邏輯電路，則每一次閉合時均產生許多脈波，因為每一次此種機械開關的彈回均能產生一個擬似脈波。從本實驗之第二步您將可瞭解，如何以單刀單擲（SPST）開關作為樞密特觸發器的輸入信號源，而使輸出獲得一脈波。在實驗 D7，您更可看到利用單刀雙擲（SPDT）開關與防止彈跳電路來產生邏輯脈波。

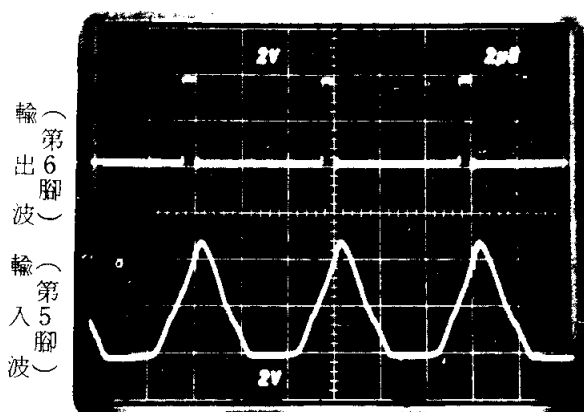


圖 D5-1 74121 作為樞密特觸發器時之輸入與輸出波形

使用器材

IC：74121 x2

電阻器：10k Ω ，47k Ω x2 電位器 100kVR

電容器：0.01 μ ，1 μ ，50 μ F（耐壓 5VDC 以上）

開關：單刀單擲開關一只

電路負載：以 270 Ω 電阻與一 LED 串接而成

電源供應器：具有 5V 穩壓定值輸出，且有 0~20V 可調直流電壓輸出

示波器：雙跡示波器 0~10MHz

實驗步驟

1 負緣型單穩態多諧振盪器

- ① 如圖 D5-2 之接線，利用 $2k\Omega$ 內阻作為時間常數電阻。
- ② 在 V_{in} 與地間輸入 $1KHz$ 脈波或方波。（注意輸入方波時，必先作零位調整，以免出現負值。）同時，在輸出端接一 $0.01\mu F$ 電容至示波器輸入端，則可顯示 $15\mu S$ 脈波寬度的輸出波。
- ③ 將輸入信號與輸出信號同時顯示在雙跡示波器上，請問 74121 是否在負緣觸發。
- ④ 將第 9 腳與 14 腳間的短路線挪去，並將電阻器 $2k\Omega$ ， $4k\Omega$ ， $10k\Omega$ ， $20k\Omega$ ， $100k\Omega$ 依次接在 11 腳和 14 腳之間，從示波器上記錄脈波寬度，並與公式：脈寬 $= RC \ln 2 = 0.693 RC$ 計算值相比，證明其是否一致？
（註：若第 9 腳和 14 腳之間短路，同時 11 腳和 14 腳間斷路，則由內阻 $2k\Omega$ 可獲得約 $30nS$ 的脈波。）
- ⑤ 學者可將信號產生器頻率任意提高，以驗證上述結果，是否相同？

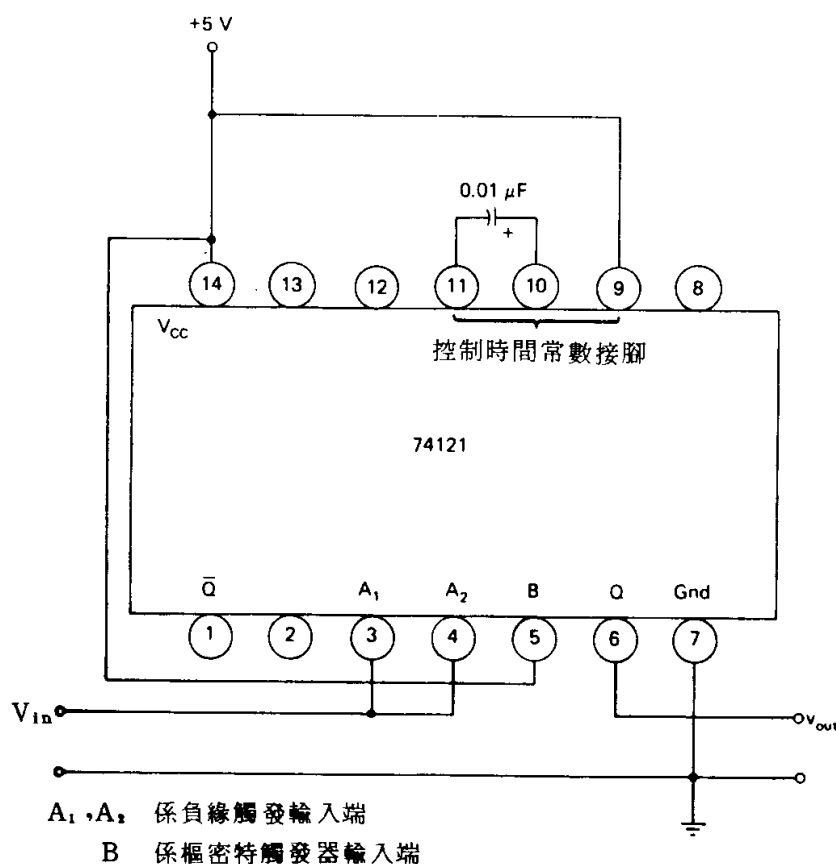


圖 D5-2 利用 74121 作負緣觸發單穩態多諧振盪器

2 脈波延遲試驗

- ① 如圖 D5-3 接線，利用第 5 腳的開關作為觸發信號源，當開關 ON 再 OFF 時，信號源從低態（Low）轉為高態（High）時，觸發了 74121。
- ② 將示波器的輸入端接至 M2 的第 6 腳，則可看出輸出脈波（由於頻率甚低，約為 0.8Hz，因此可從 LED 的閃爍情形看出動作特性）。
- ③ 當開關從 OFF 轉為 ON 後，觀察示波器上頭示的波形，看脈波寬度為多少。請問改變哪個零件數值，可以改變脈波寬度？
- ④ 當改變 RC 數值後，學者可以發現最大的脈波寬度為多少？將此 R 值與 C 值記錄下來。
R = C = 。

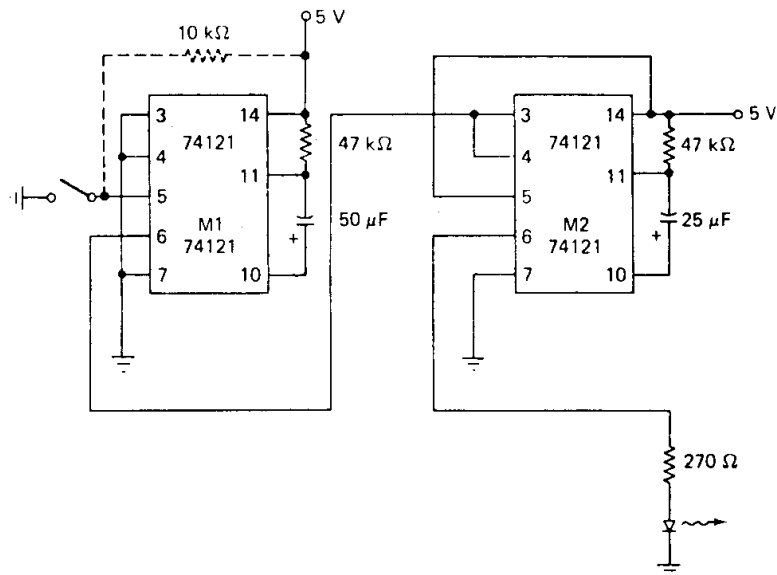
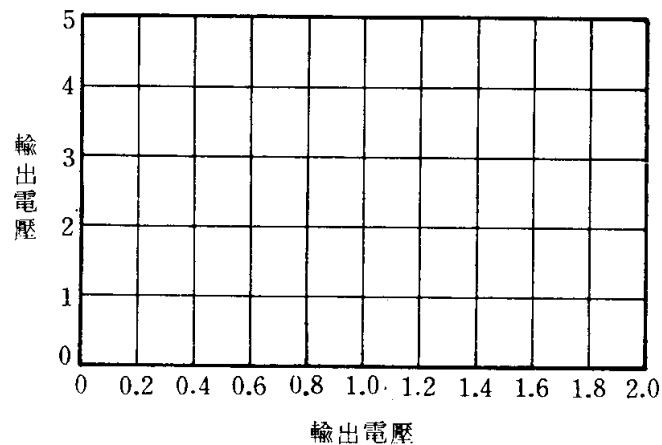


圖 D5-3 脈波延遲電路，圖中 M1 係作位準觸發用，M2 作負緣觸發用，若將虛線所示的 $10\text{k}\Omega$ 接上則動作將更穩定，因可保證開關 OFF 時第 5 腳電位一定為 High

3 樞密特觸發器

- ① 將圖 D5-3 中的 M2 第 3 腳輸入線拔除，同時將一 $0\sim 5\text{V}$ 的變動 DC 電壓加到 M1 第 5 腳。
- ② 用 DVM 測量第 6 腳電壓，找出 74121 的點火電壓。
- ③ 若 74121 已觸發了（即點火），請將輸入電壓降至 0.2V 左右。
- ④ 重複上述步驟兩次後，記錄本觸發器的特性曲線如下：



4 脈波消除

- ① 加一 DC 0V 以上的 100KHz 正弦波於 M1 之第 5 腳。
- ② 時間常數電路使用 $R=10\text{k}\Omega$ ， $C=0.01\mu\text{F}$ 。
- ③ 用雙跡示波器觀察輸入波與輸出波，可以發現，輸出波一週期中，輸入波約有 4，5 週，請問這是什麼原因？

5 示波器觸發延遲實驗

- ① 如下圖所示接線。

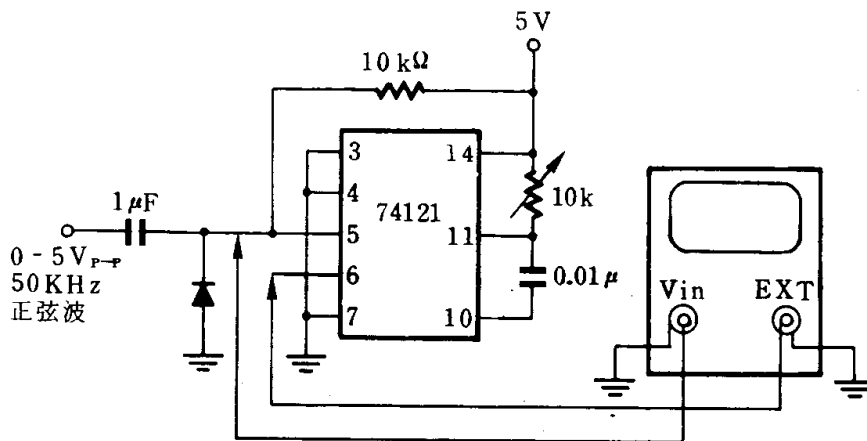


圖 D5-4 示波器觸發器延遲時間測量

- ② 將示波器的觸發位準撥至負端。(註：一般同步示波器均設有 Trigger Level 和 Trig Slope 旋鈕，同時又有 Ext Trig 輸入端，此處意即將輸出信號加至 Ext Trig 輸入端，而將 Trig Slope 轉至一端即—INT 端)。
- ③ 調整 10kΩ 電位器，學者可發現輸出信號與輸入信號的相位差，而知其落後週期。請說明，為何有此現象？

〔附 註〕

- 1 74121 的 A₁，A₂ 兩腳是負緣觸發的輸入端，當 B 腳在邏輯 1 時，只要 A₁，A₂ 有一個輸入（或兩者均）為邏輯 0 時，就能觸發出單穩態波形。
- 2 B 腳是樞密特觸發器的正極性輸入端，它可作為遲緩波形或電壓的檢試用，當 B 腳在邏輯 1 且 A₁，A₂ 有一為邏輯 0 時，就能產生單穩態的觸發波。
- 3 外接的時間常數電容，正極接在第 10 腳，負極接在第 11 腳。若不接此電容，則可輸出脈衝寬為 30ns 的波形。
- 4 若將第 9 腳和第 14 腳短路，則有 2kΩ 的內電阻作為時間常數電阻用。
- 5 為了改變輸出脈衝寬度，可在第 9 腳和 14 腳之間接一電位器，其流過的電流不受限制。
- 6 為了獲得準確的脈衝寬度，可將一電阻器接在第 11 腳和 14 腳之間，而將第 9 腳開路。
- 7 在常溫和正常 V_{CC} 範圍中，只要時間常數零件選擇合適，即可維持防止翻滾的動作（Jitter-free Operation）。其中電容的範圍有 10pF 至 10μF，電阻範圍自 2kΩ 至 40kΩ，在此範圍內的時間常數均可由下式計算之： $t_p = C_T R_T \log_e 2$ 。
- 8 有關 74121 的一般特性，可由下表略知梗概：

特 性	最小值	最大值	單位
電源電壓 V _{CC}	4.75	5.25	V
每一輸出端的扇出數 N		10	
輸入脈衝起降時間：			
1 樞密特輸入端 (B)		1	V/sec
2 邏輯輸入端 (A ₁ ，A ₂)		1	V/sec
輸入脈衝寬度	50		nS
外加時間常數電阻器（接在 11 腳和 14 腳之間，而將第 9 腳開路）	1.4	40	k
時間常數電容	0	1000	μF
輸出脈衝寬度		40	nS
工作週		67%	
RT=2k 時			
RT=40k 時 (N74121)		90%	

實驗 C5：單穩態多諧振盪器（CMOS）

相關知識

在 CMOS 系列中目前尚未有 74121 的同等品，但 4098B 的特性極類似 74123，二者均具有兩組單穩態電路，且更重要的，每一單穩態電路均有重複觸發的特性（Retriggerable）。當然，4098B 也可用在非重複觸發的情況下。而所謂非重複觸發（Nonretriggerable）即指當輸入端有一觸發脈衝進來時，輸出端即產生一高電位，此高電位持續到時間常數過了才降下，在時間常數期間，不論加多少觸發波進來，均不影響其輸出的狀態。反之，重複觸發係指在時間常數期間，若繼續有觸發脈衝進來，則以最後一次觸發的時間常數為其最後轉態時間，我們可由下圖分辨兩者的不同點。

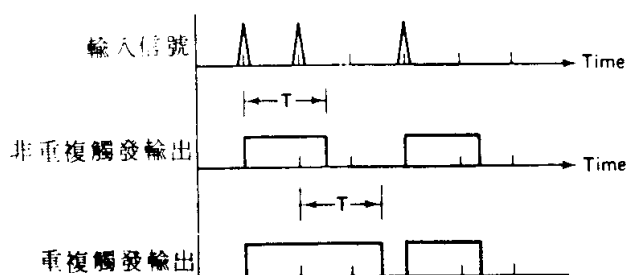


圖 C5-1 重複觸發與非重複觸發的不同點

CMOS 單穩態電路在使用上較 TTL 74121 不方便之處為：需外接 R，C 時間常數零件，不像實驗 D5 所說的可用內部 R，C 特性。4098B 的輸出脈衝寬度部由 $T=RC$ 決定。下圖顯示 4098B 的各腳接線情形。

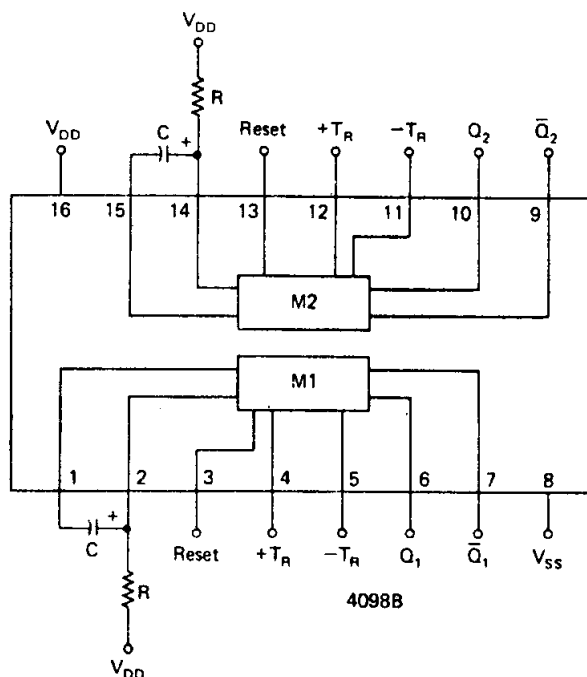


圖 C5-2 4098B 的兩組單穩態電路接線情況

使用器材

IC：4098B

電位器：0~1M Ω

電容器：0.1 μ F，10 μ F，50 μ F

儀器：雙跡示波器一台，函數波產生器一台

實驗步驟

1 負緣觸發單穩態電路 (Nonretriggerable)

- ① 將 4，6 兩腳短路，第 3 腳接至 V_{DD} (+5V)。
- ② 電位器調到 $R=10k\Omega$ ，且選擇 $C=0.1\mu F$ 。
- ③ 輸入 100Hz，5V 的脈波至第 5 腳。(注意 $V_{SS}<V_{in}<V_{DD}$)
- ④ 將第 5 腳與第 6 腳的波形輸入雙跡示波器，觀察其觸發情形。
- ⑤ 慢慢調整電位器，找出其無法輸出脈衝時的最小值。
- ⑥ 當電位器調至 250k Ω 時，將第 6 腳與第 5 腳的波形作一比較。因輸入信號週期為 0.01Sec，而單穩態振盪週期為 $250k\Omega \times 0.1\mu F = 0.025\text{Sec}$ ，請問這是什麼原因？

2 重複觸發單穩態電路

- ① 將第 3 腳接 V_{DD} ，而第 4 腳接 V_{SS} 。
- ② 將 100Hz，5V 脈波加入第 5 腳。
- ③ 選取 $R=10k\Omega$ ， $C=0.1\mu F$ ，利用示波器觀察輸出與輸入波形。
- ④ 慢慢增加 R 值，使 $T=RC$ 超過輸入信號週期，則可看出重複觸發的波形。

3 脈波延遲試驗

- ① 選取 $R=1M\Omega$ ， $C=50\mu F$ ，且將 LED 與一降壓電阻 270 Ω 串接，而接在第 6 腳上。
- ② 將第 5 腳接至 V_{DD} 後回到 V_{SS} (可用開關連接)。
- ③ 可能有跳動波形 (bounce) 產生，但因輸出脈波很寬而可忽略。
- ④ 算出輸出脈衝寬度。
- ⑤ 若你繼續以開關作為觸發信號源而繼續觸發，則有何種現象發生。
- ⑥ 請問如果使用此種電路去偵測時序波中的遺失波形 (Missing Pulse)，是否可能？
- ⑦ 利用 4098 的第二組電路作為負緣觸發的單穩電路。
- ⑧ 選擇 $R=100k\Omega$ ， $C=10\mu F$ ，則 $T=1\text{Sec}$ 。
- ⑨ 將 LED 接至 M2 的第 11 腳，則可看出其輸出波形的變化。
- ⑩ 將第 5 腳接高電位後接地，請解釋脈波延遲的來源何在？
- ⑪ 倘若 M2 接成正緣觸發電路，則其輸出將作何種改變？

實驗 D6：正反器 I（TTL）

相關知識

所謂正反器（FF）即雙穩態多諧振盪器之另一名稱，它有兩種穩定的輸出狀態，0（OFF）和 1（ON），在固定時間內保持不變。其轉態的發生須由外加信號或觸發器輸入信號而產生。它是計數與記憶的基本單位，可以當作除以 2 的計數器或 1 位元（bit）的記憶單位，在數位電路中具有相當重要的地位。

一個基本的正反器，如圖 D6-1 所示，係由 NAND 閘所組成。

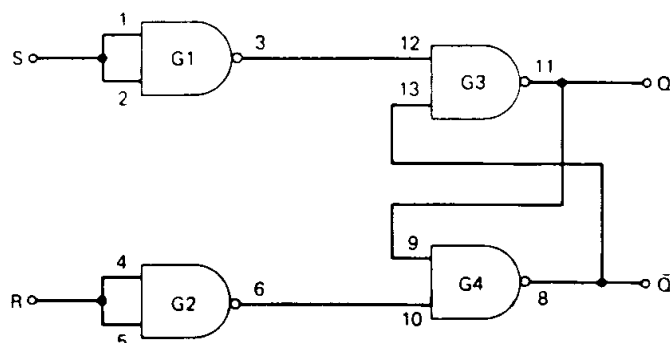


圖 D6-1 利用 7400 作成 RS 正反器

其中兩個輸入端，一為 S（Set），一為 R（Reset），通常希望兩者有不同的輸入，以獲得互補的輸出。當輸出端在 $Q=1$ ， $\bar{Q}=0$ 時定義為 1 狀態（或 ON 狀態），即置定（Set）的情況。反之，當輸入 $S=0$ ， $R=1$ 時，輸出即為 $Q=0$ ， $\bar{Q}=1$ ，稱為復置（Reset）的情況，即 0（或 OFF）狀態。其真值表如下表所示：

表 D6-1 RS 正反器之真值表

S	R	Q	\bar{Q}	
0	0	不變		
1	0	1	0	(Set 狀態)
0	1	0	1	(Reset 狀態)
1	1	不確定		

當 $S=0$ ， $R=0$ 時，輸出不變，即保持原有狀態。學者可由圖 D6-1 知當 $SR=00$ 時 G3，G4 的輸入為 $SR=11$ ，因此 G4 的輸出為 $Q \cdot \bar{R} = Q \cdot 1 = \bar{Q}$ ，G3 的輸出為 $\bar{Q} \cdot \bar{S} = \bar{Q} \cdot 1 = Q$ ，即為原來狀態。至於 S，R 同時為 1 時，正反器的輸出可能為 1 狀態，也可能為 0 狀態，端視 S，R 二者何者先為 1 而定，因此叫做不穩定，或不明確狀態，這是應該避免的情況。

圖 D6-2 顯示一個時序波控制的 RS 正反器。當時序波輸入端（CK）為低電位時，輸出保持不變；而當時序波為高電位時，正反器即處於啟動狀態（Enabled），準備好接受信號。若將 G3，G4 當作 "記憶" 電路，則唯有當 $CK=1$ 時，才能有新的資料輸入。若 $CK=0$ ，則此記憶電路即可將 1 位元的字（0 或 1）記住（remembering）。

若將觸發信號加入 RS 正反器，則只有當原始狀態 $Q\bar{Q}$ 不同時，輸出才能轉態，因此此種正反器不適用於作單獨的計數器，它最好作 1 位元的記憶器。

為了使正反器能作轉態的控制，我們在 RS 正反器前加一導引電路，而完成如圖 D6-3 所示的

JK 正反器。

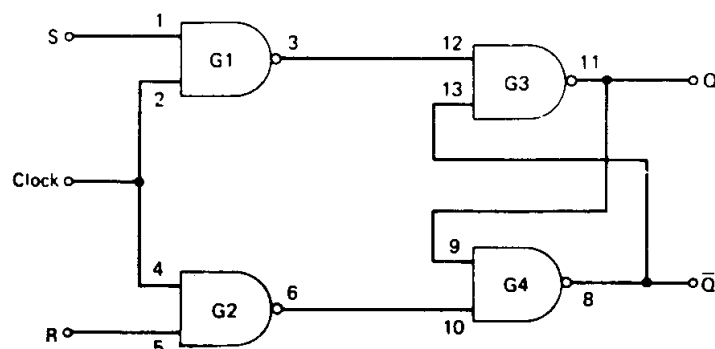


圖 D6-2 利用 7400 作可控制 RS 正反器

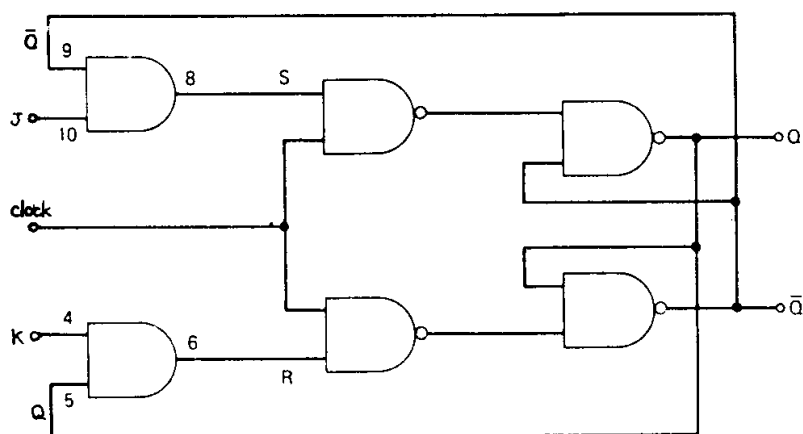


圖 D6-3 利用 7400 與 7408 作成 JK 正反器

當 J, K 輸入端均為 1 時, CK 觸發信號每加入一個脈衝即產生一次轉態 (Toggle), 其真值表如下所示:

J	K	Q_{n+1} (在第 n 個時序波之後)
0	0	Q_n 不變
1	0	1 (Set)
0	1	0 (Reset)
1	1	\bar{Q}_n (轉態)

其轉態的波形, 如圖 D6-4 所示, 所加的時序波為尖銳的脈波。

標準的 TTL JK 正反器 IC, 如 7470, 7472, 7473, 7476, 均為波緣觸發 (Edge-triggered) 裝置。其中 7470 為正緣觸發, 而 7472, 7473, 7476 均為負緣觸發型。圖 D6-3 所示的電路係簡單的電位觸發 (Level-triggered) 裝置。當 CK 在高電位時, 就不斷地有訊號輸出。這種特性, 當 $J=K=1$ 且時序波的高電位時間長於正反器的傳播延遲時間時 (即一輸入信號經過正反器產生輸出的時間), 就會產生競跑現象 (Racing), 因此這種電路如要正常工作, 所加的時序波應為尖銳脈衝 ($< 100\text{nS}$)。而 74121 單擊電路正可產生滿意的尖銳脈衝, 圖 D6-5 即為此種脈波產生器, 其輸出可作為 JK 正反器的輸入。

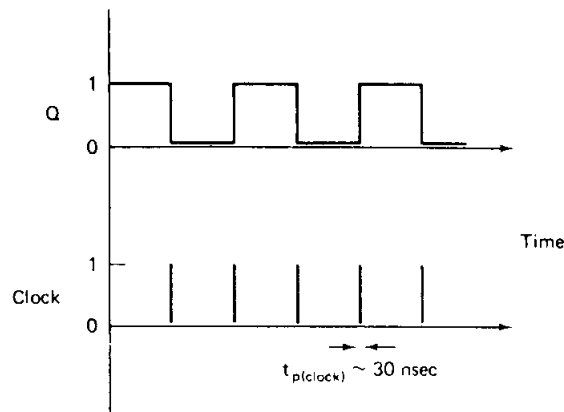
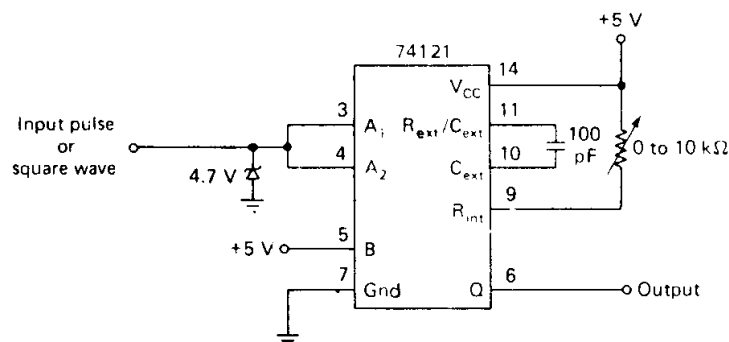
圖 D6-4 當 $J=K=1$ 時 JK 正反器的 Q 輸出波形變化

圖 D6-5 利用 74121 單穩態振盪電路產生尖銳脈波其輸出作為 JK 正反器的時序波

使用器材

IC：7400，7408，74121 各一

電阻器：10kVR

電容器：100pF

雙跡示波器：10MHz 一台

實驗步驟

- 1
 - ① 利用 7400 的四個 NAND 閘接線如圖 D6-1。
 - ② 輸入 $SR=10$ 及 $SR=01$ ，記錄輸出狀況。
 - ③ 使 $SR=00$ ，觀察在各種情況下，輸出不變。
 - ④ 使 $SR=11$ ，量度 Q ， \bar{Q} 之電壓值，完成真值表。
 - ⑤ 討論當 $SR=11$ 時，電路的輸出狀態。
- 2
 - ① 如圖 D6-2 之接線，完成時序波 RS 正反器。
 - ② 證明當 $CK=0$ 時，訊號被鎖定在記憶部分。
 - ③ 當 $CK=1$ 時，訊號為可控制情況。
 - ④ 說明為何有兩種時序波狀態。
- 3
 - ① 利用 7400 與 7408 完成如圖 D6-3 的接線。
 - ② 使 $CK=0$ ，而在 J ， K 端加入不同信號，觀察其輸出，記錄其情況。
 - ③ 觀察當 $CK=1$ 時，輸入信號轉移到輸出的情形。
 - ④ 證明 JK 正反器真值表的正確。

- 4
- ① 利用 74121 接線如圖 D6-5 所示，將其輸出接到 JK 正反器。
 - ② 將 100KHz 的方波輸入，觀察輸出 Q 的情形（最好利用雙跡示波器）。
 - ③ 調整電位器，使輸出波形為尖銳脈波，如圖 D6-4 所示。
 - ④ 證明 JK 正反器的真值表為正確。
 - ⑤ 算出時序波的脈寬時間。

實驗 D7：正反器 II（TTL）

相關知識

從實驗 D6，我們知道 RS 正反器可作一位元的記憶器（或栓鎖器），同時也可用來組成電位觸發 JK 正反器，其計數工作僅在有尖銳時序波進來時才動作，否則將產生競跑現象。關於競跑現象的原因，學者必已思索過。即當時序波的高電位階段太長時，在 $J=K=1$ 狀況下，由 \bar{Q} 回授至 S，因此 Q 變成 \bar{Q} ， \bar{Q} 變成 Q，如此循環不已而造成競跑。為消除此種現象，一般用波緣觸發方式來解決，如 7470 係正緣觸發方式，7472，7473 均為負緣觸發方式。

為了使 JK 正反器有正常的動作，我們需要一個能產生尖銳脈波的電路（其脈波升起時間小於 150ns）。最簡單的構想是將一開關接到 5V 電源上，然後不斷地開、關，以產生 5V 的時序波，但因開關的接點易生彈跳情形，所以需以栓鎖電路來製作 "防止彈跳" (bounce-free) 開關，如圖 D7-1 所示，即可避免亂跳情形。其動作原理說明如下：當開關在 L 位置時，輸出為低電位（ $\because D=0, B=1, A=1, C=CK=0$ ）。若開關懸空，不接觸 H，也不接觸 L，則輸出保持在低電位（ $\because D=1$ ，而 $C=CK=0, B=1$ ）。但當開關接觸 H 時，輸出 Q 即為高電位。即當 H 為地電位時，B 也呈現地電位，則輸出 CK 為高電位，此時不論開關在 H 處彈跳多少次，輸出仍保持在高電位，直到 L 接地時才轉態。時序波即由開關接觸 L、H、L……而產生。

為了獲得高頻的時序波，我們就需利用振盪器來產生脈波。您手頭若無方波振盪器，即可利用 74121 產生尖銳時序波。圖 D7-2 顯示由 74121 產生的脈波序列。其時序波週期 t_p 為可調。而所謂第 n 位元的時間，即在第 n 個脈波之前的時間，即 t_n ，同理，第 n+1 位元所佔的時間，即為 t_{n+1} ，我們將此種情形比照 JK 正反器的真值表，可知在 t_n 時的輸出為 Q_n ，而在 t_{n+1} 時的輸出為 Q_{n+1} 。若 $Q_{n+1}=\bar{Q}_n$ ，即表示在第 n+1 個鐘脈波時產生轉態。

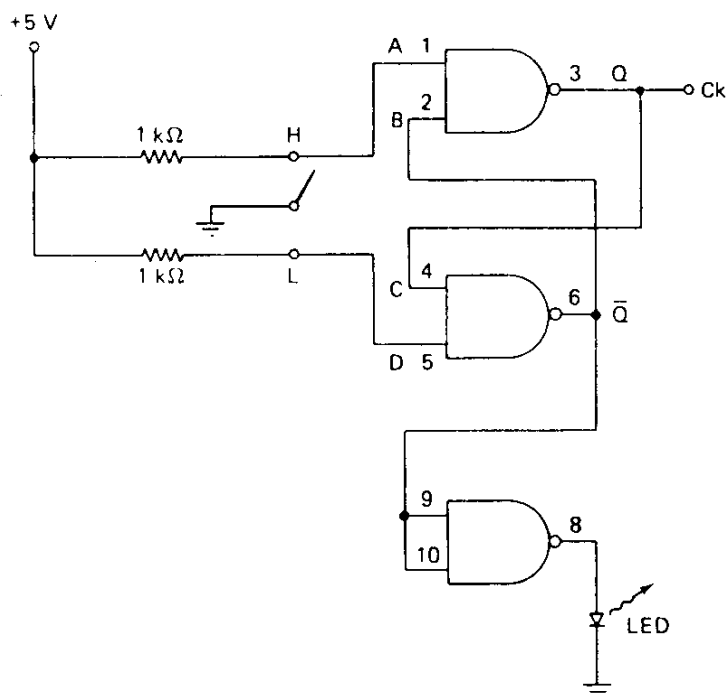


圖 D7-1 利用 7400 作防止彈跳開關

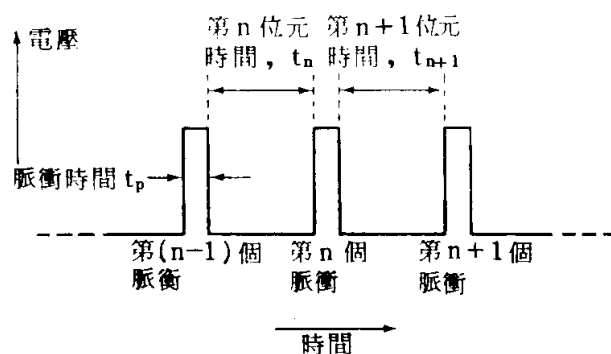
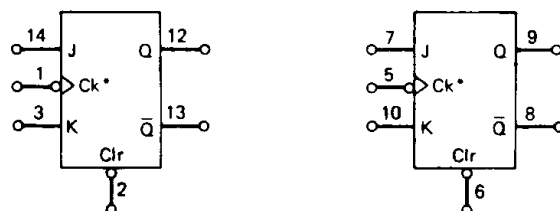
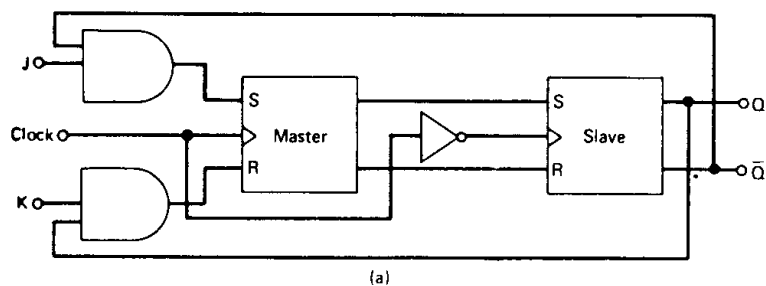


圖 D7-2 時序波序列

表 D7-1 JK 正反器的真值表

t_n		t_{n+1}
J	K	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	\overline{Q}_n

由於正反器是數位電路的基本電路，從本節的實驗中您將瞭解一個普通的同步計數器，其輸出 Q_n ，係當第 n 個時序波到達前所要傳遞至下一級的輸出信號，而第 n 個時序波過後，就使輸出改變成 Q_{n+1} ，因此，計數器的讀出必須在新的輸入信號能改變原有狀態之前。這就造成極大的困擾。其解決之道乃在利用不同的正反器，使輸出維持不變，直到第 n 個脈波過後才使時序波變成 Low。圖 D7-3 即為此種改良過的正反器，名為主僕式 JK 正反器 (Master-Slave)，其外加信號的讀入係當時序波在正緣觸發情況下儲存於主正反器，然後當負緣觸發信號抵達僕正反器 (Slave) 後，才將信號傳送至輸出端。因此，當時序波在高電位時，並無不明確的情況發生，同時您也可推斷出沒有競跑現象。



Power supply: V_{CC} (4); Gnd (11)

7473

(b)

圖 D7-3 (a) 主僕式正反器

(b) 具有清除 (Clear) 的雙租負緣觸發正反器 7473

在 TTL IC 中較常用的主僕式正反器為 7472，7473 與 7476。

第三種正反器，即 D 型正反器（或叫雙穩態柙鎖器）；係由 JK 正反器加上一簡單反相器改進而來，如圖 D7-4 所示。其目的係為產生一位元時間的延遲（Delay），使在 t_n 時間進來的輸入信號，延遲至 t_{n+1} 時間才出現在輸出端。此種 D 型正反器，在控制顯示（display）方面特別有用。它能將前一位元時間所得的結果暫時保存在顯示器上，而繼續進行運算、計數……等工作。

我們由 D 型正反器的真值表可以看出 $Q_{n+1} = D_n$ 。而在 7474 中因具有兩組正緣觸發的 D 型正反器，所以它可作為 2 位數的一位元時間延遲，也可以串接方式作成 1 位數的二位元時間（2-bit-time）延遲。

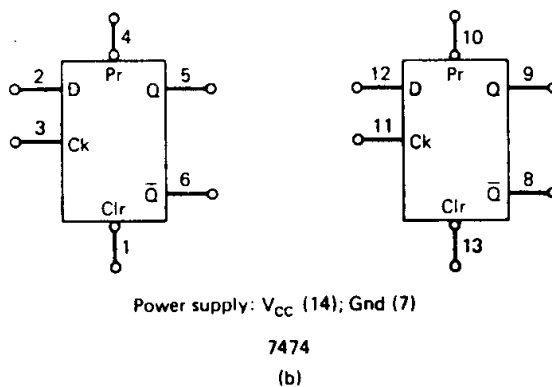
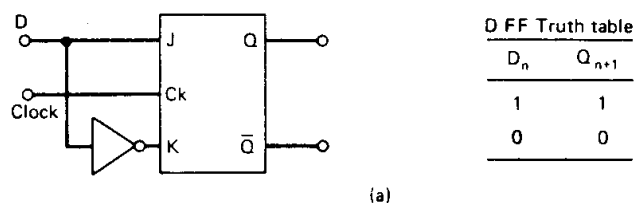


圖 D7-4 (a) D 型正反器（Delay）及其真值表
(b) 7474 所具有的雙組正緣觸發 D 型正反器

使用器材

IC：7400，7473，7474
LED：紅×1
電阻器：1kΩ×2，270Ω×1
開關：SPDT（單刀雙擲）×1
示波器：雙跡，10MHz

實驗步驟

- 防止彈跳開關（bounce-free）實驗
 - ① 利用 7400，單刀雙擲開關，及 LED，組成圖 D7-1 之線路，將其插在免銲電路板上。
 - ② 將開關撥在 H、空接、L 三點，以示波器觀察 CK 的輸出情形。
 - ③ 將示波器的顯示結果與 LED 的結果比較，二者應為一致。
- 主僕式正反器輸出與時序波的關係實驗
 - ① 將防止彈跳開關的輸出作為主僕式正反器的時序波輸入，接於圖 D7-3(a) 的 Clock 處。

- ② 由於 7473 的 2, 6 兩腳為清除輸入端，所以此二腳的電位必須接於高電位（即設定為 1），JK 正反器才能計數，否則 Q 必為 0。
- ③ 將 J, K 輸入端分別接成 00, 01, 10, 11 四種輸入狀態，而在每一狀態中將 L—H—L—H 的時序波輸入，記錄其輸出情況，以驗證表 D7-1 的真值表。
- ④ 請問在時序波的正緣或負緣能使輸入信號出現在 Q 輸出端？（註：利用雙跡示波器觀察）
- ⑤ 當 $J=K=1$ 時，輸出的脈波數佔輸入脈波的比率為多少？

3. 主僕式正反器特性分析

- ① 設定輸入 $JK=10$ ，當時序波為低電位時。
- ② 清除輸出端，使 $Q=0$ （即使 $Clear=0$ ）。
- ③ 使時序波變成高電位，並繼續保持在高電位。
- ④ 將輸入改為 $JK=00$ ，請問原來的 $JK=10$ 是消失了呢？或出現在輸出端？
- ⑤ 請解釋所發生的現象。（註：3、4 兩步不得對調）

4. D 型正反器動作測試

- ① 將 D 型正反器 7474 插入免銲電路板上。
- ② 將所有預置端（Preset）與清除端（Clear）均接到 +5V。
- ③ 將 D 輸入端接 +5V 與地，觀察輸出情形，以證明 D 型正反器的真值表。
- ④ 請問在時序波的正緣或負緣，信號被傳至輸出端？
- ⑤ 將第 1 個 D 型正反器的輸出 Q（即第 5 腳）接至第 2 個 D 型正反器的 D 輸入端（即第 12 腳）。
- ⑥ 將兩個正反器的時序波輸入端（即 3, 11 兩腳）接在一起。
- ⑦ 將清除（Clear）端瞬間接地，使兩個正反器的輸出均變為 0，然後又接回 +5V。
- ⑧ 將 D 輸入端接到 +5V，同時開始將時序波輸入。
- ⑨ 請問經過多少時序波（即位元時間）後，輸入端的信號，從輸入端傳送到輸出端？（註：此種電路相當於 2 位元的暫存器）

實驗 C7：正反器（CMOS）

相關知識

用 CMOS 做的主僕式正反器與 D 型正反器，其動作情形與應用，均與 TTL 做的相似。CMOS 的主僕式 JK 正反器如 4027，主僕式 D 型正反器如 4013，均為正緣觸發方式，其功能正好對應於 7473 與 7474。

使用器材

IC：4011，4013，4027 各一

電阻器： $1\text{M}\Omega \times 2$

LED：低電流 LED $\times 1$

示波器：雙跡 10MHz

實驗步驟

1. 防止彈跳開關特性試驗

- ① 利用 4011 三組 NAND 閘和兩個 $1\text{M}\Omega$ 電阻接成如圖 D7-1 的防止彈跳開關電路。
- ② 由於 CMOS 輸出電流甚小，無法直接推動 LED，因此要利用 4011 一組未用的 NAND 閘作為緩衝放大器，將 \bar{Q} 接至此 NAND 閘的雙輸入端，而將其輸出接至 LED。（接線與圖 D7-1 完全相同）
- ③ 加上電源，使 $V_{DD}=5\text{V}$ ， $V_{SS}=0$ 。
- ④ 用雙跡示波器觀察 Q 和 \bar{Q} 的輸出情況，開關在 H，L 間來回動作。
- ⑤ Q 和 \bar{Q} 輸出端可作為其他 CMOS 電路的輸入，但接有 LED 的輸出端無法有效地再去觸發其他電路。
（編者註：由於 CMOS 的高態輸入電流 I_i 僅約 10pA ，比 TTL 的 $40\mu\text{A}$ 小很多，因此要用 $1\text{M}\Omega$ 的限流電阻。）

2. 主僕式 JK 正反器特性試驗

- ① 將 4027 插於免銲電路板上。
- ② 將 FF1 的 Clock 與 JK 輸入端空接，將信號加入 SR 而記錄下來：

S	R	Q	\bar{Q}
1	0		
0	1		
1	1		

- ③ 將 S，R 接地，即 $SR=00$ ，並將防止彈跳開關的輸出接到 Clock 輸入端。

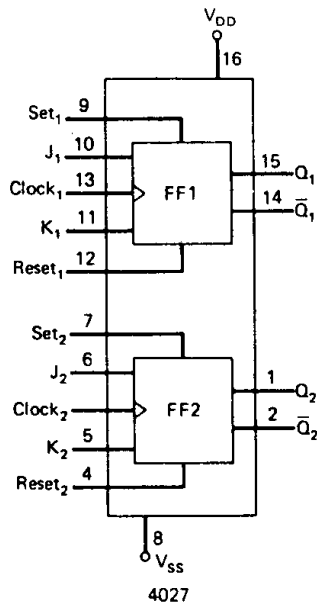


圖 C7-1 主僕式 JK 正反器 4027 接腳圖

- ④ 依次證明下列真值表，其中 X 表 Don't Care。

t_{n-1} 輸入					t_n 輸出	
Clock	J	K	S	R	Q	\bar{Q}
\nearrow	1	X	0	0	0	1
\nearrow	X	0	0	0	1	1
\nearrow	0	X	0	0	0	0
\nearrow	X	1	0	0	1	0
\searrow	X	X	0	0	X	無變化

- ⑤ 當 $J=K=1$ 時，時序波數與輸出脈波數之此為多少？
 ⑥ 請問此種正反器的轉態是正緣式或負緣式？

3. 正反器特性觀測

- ① 將 4013 接於免銲電路板上，加上 5V 電源。(如圖 C7-2)
- ② 將兩組 Set 與 Reset 端均接至 V_{SS} ，即接地。
- ③ 將 FF1 的輸出 Q_1 接至 FF2 的輸入 D_2 ，同時將 D_2 接至 V_{DD} (+5V)。
- ④ 將防止彈跳開關的找出接到 FF1 與 FF2 的 Clock 輸入端，然後將開關變動於 H, L 之間，使輸出時序波。
- ⑤ 請問 Q_2 與 D_1 有何關係？
- ⑥ 將 D_1 改接至 V_{SS} ，再撥動防止彈跳開關，請問 Q_2 變化如何？
- ⑦ 請問一個數位信號從 D_1 傳送到 Q_2 ，延遲了多少位元時間？
- ⑧ 將 Q_1 接至 D_2 ，同時將 D_1 接至 V_{DD} ，又將正反器歸零後加入時序波，則其 Q_2 的輸出為何？(註：本實驗須參閱電路資料手冊，徹底了解電路結構後，就很容易明白其特性了。)

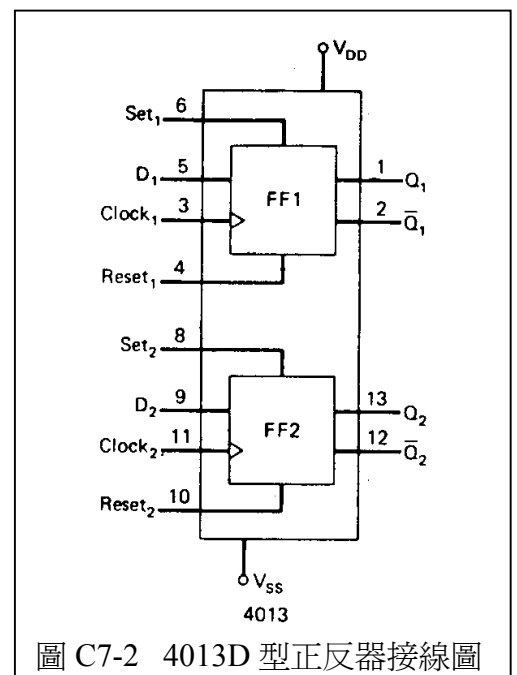


圖 C7-2 4013D 型正反器接線圖

實驗 D8：解碼器與數字顯示器（TTL）

相關知識

所有正反器及邏輯閘的輸出均以 1 位元的二進位數顯示，即 0 或 1。若將各種正反器和邏輯閘混合接線成為計數器或運算器，則其輸出仍為二進位形態。這種將一位元的數字組合成較大數字的方法為數不少，而最常用的有超 3 碼（Excess-3）、格雷碼（Excess-3 Gray）和 BCD 碼。其中最重要的是 BCD 碼，它是 Binary-Coded Decimal 的簡寫，此系統能將每一個十進位數以二進位表示。若將十進位的基數自 0 至 9 以二進位表示，則最大使用的位元為 4 位元。例如將十進位數 87 寫成 BCD 碼，即為 1000 0111，因此 BCD 碼又叫 8421 碼。

爲了要將 8421 碼解成十進數顯示出來，必須應用數字顯示器，最早使用的數字管（Nixie Tube），目前已被 LED 和 LCD 取代了。

圖 D8-1 顯示一個七節顯示器 MAN-4，它能將 0 到 9 任一數字顯示出來。例如要顯示 6 時，只要能使 b 節斷路，而其餘各節通路，即可顯示出來。其顯字的真值表，如表 D8-1 所示。TTL IC 中的 7448 即是將 BCD 碼轉換成十進碼的解碼驅動器（Decoder-Driver），它能輸出 2mA 的電流給各節以推動其顯示數字。此種電流已足以點亮小功率的 LED 顯字器如 MAN-3，若要使用較大功率的顯字器如 MAN-4 則需加上緩衝放大器。（註：MAN-3 與 MAN-4 均為 Monsanto 公司產品）

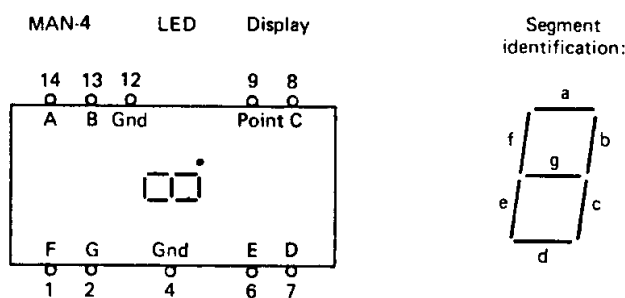


圖 D8-1 MAN-4 LED 數字顯示器接腳圖

表 D8-1 BCD 解碼器真值表

BCD Inputs				Outputs						
D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	0	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1

圖 D8-2 表示兩種緩衝放大器的接法，其所推動的顯示器為共陰型。第一種係利用 7417 非反相緩衝器，其輸出為集極開路方式，因此需加一提升電阻。當輸入為高電位時，輸出晶體（圖上所示係最後一級輸出晶體）截止，而使 7mA 的電流流經 LED，當輸入為低電位時，7mA 即流經電晶體。

第二種方法稍為容易些，只需將集極接在一起，而將各節 LED 顯示器接在射極作為輸出，如圖 D8-3 所示係利用 CA3082 來推動 LED。當 7448 輸出為高電位時，電晶體導通，射極電壓約為 4V，因此能使 LED 點亮。

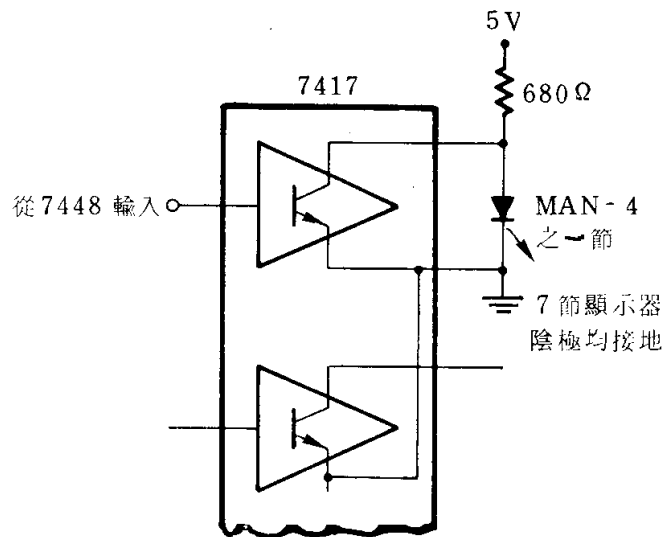


圖 D8-2 利用 7417 作緩衝級以推動 MAN-4

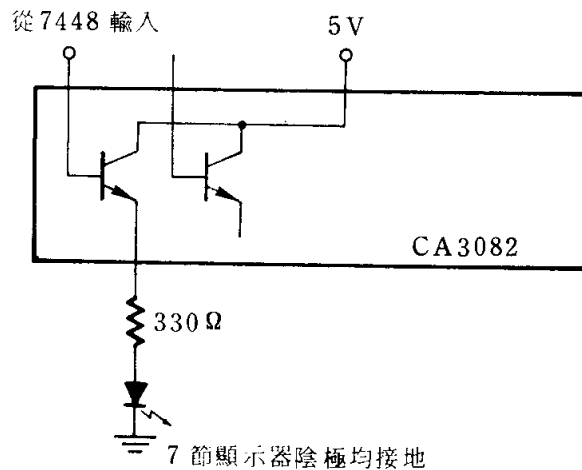


圖 D8-3 利用 CA3082 推動共陰顯示器

假如一個解碼器驅動器和顯示器直接接到計數器或運算電路，則其顯示將呈現混亂及快速變化的情形，因此需要加上 "栓鎖" 電路，以使 BCD 輸入保持在 "目前位準"，直到下一組位準預備進入。如下圖所示，係利用 7475 的四組雙穩態栓鎖電路，當 Clock 是高電位時，輸出 Q_1 到 Q_4 全等於輸入 D_1 到 D_4 ，而當 Clock 為低電位時，輸出 Q_1 到 Q_4 仍保持原有狀態。一般計數電路在計數期間的末了，都包含一個短的脈衝，以告訴栓鎖電路使其輸出 Q_1 到 Q_4 保持在最近的一次計數結果。等到下一個低電位時序波來臨時，才作下一次的計數。一般數位電壓表的顯示約可鎖定 1/2 秒到 1 秒之久。

圖 D8-4 所顯示的方塊圖，係以 7475 做栓鎖電路，7448 做解碼驅動器，CA3082 做緩衝放大器以推動 MAN-4 七節共陰顯示器。學者當記得，可以用 7407 或 7417 代替 CA3082。(如圖 D8-2 所示)

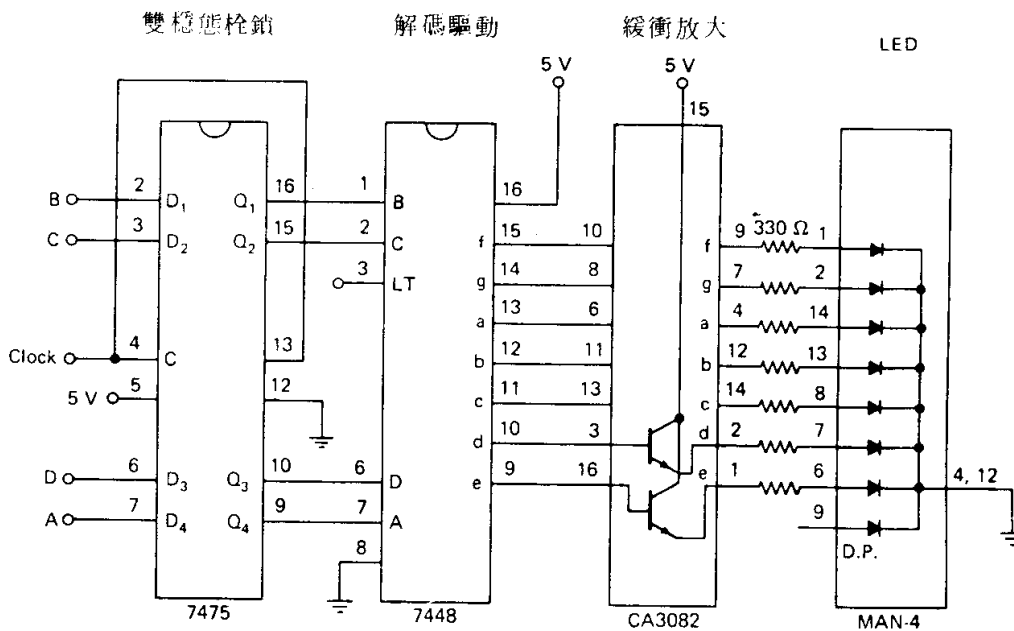


圖 D8-4 利用雙穩態柃鎖電路，消除計數過程中的混亂顯示情形，若要求不高，則可省去 7475，CA3082 及 330Ω 電阻，而將 7448 直接接到 7 節顯示器

使用器材

IC：7475，7448，CA3082（或7417x2），MAN-3（或MAN-4）或其他同等共陰極顯示器

電阻器：330Ω×7（或 680Ω×7）

示波器：雙跡 10MHz

實驗步驟

1. 將 7475 雙穩態栓鎖器插在免錫電路板上，其各腳接線如圖 D8-4 所示，將第 5 腳接 +5V，12 腳接地。
2. 將高電位 Clock 輸入，然後用雙跡示波器觀察 $D_1 \sim D_4$ 與 $Q_1 \sim Q_4$ ，是否對應相同，證明栓鎖器的功能正常。
3. 將電源移去，接上解碼器 7448 如圖 D8-4。
4. 將顯示器測試腳 (lamp test) 第 3 腳接地，第 4，5 兩腳空接，然後接上電源，可以觀察到 7448 的各輸出腳均為高電位。
5. 將 CA3082 與限流電阻 330Ω ，共陰顯示器均接上，然後一節一節測試，對照圖 D8-1，看 a，b，c，d，e，f，g 各節是否無誤，最後應顯示 8 字形才對。
6. 將顯示器測試腳接到 +5V，將 BCD 輸入加到 7475 的輸入端，MAN-4 即能將 0 到 9 顯示出來，而證明表 D8-1 的真值表為真。
7. 若將 CA3082 拿走，則可發現顯示器亮度不足，為什麼？
8. 若用共陽顯示器如 MAN-1 接上，則其緩衝級用 CA3081 推動，效果是否一樣？

(編者註) ① 緩衝器亦可用 7407 與 7417，其接線可參考圖 D8-2。

② 一般顯示器分爲類比顯示器和數位顯示器，二者各有其優點，但數位顯示器功能已逐漸擴大，爲了配合計算機的使用，許多指數型、對數型計器已逐漸數位化了。

實驗 C8：BCD 七節解碼驅動器

相關知識

在圖 D8-4 所示的 TTL 電路，如果用 CMOS 來做，則只需一個 IC 即可。經濟實用的 CD4511，如圖 C8-1 所示，包含一個栓鎖電路，一個 BCD 解碼器，及一個驅動器。其驅動器部分係由 NPN 晶體所組成，它能對每一節顯示器提供 25mA 的電流以推動 LED，因此不需再加緩衝放大器如 CA3082 等。其栓鎖器部分相當於 TTL 的 7475，當栓鎖器觸發端（LE）在低電位時，輸入 DCBA 即依序傳送至輸出 abcdefg 各點。而當 LE 變成高電位時，顯示器即將輸入信號保存住，直到 LE 變成低電位。

遮沒端（ \overline{BL} ）和顯示器測試點（LT）在 4511 中是互相配合的。當 \overline{BL} 為低電位時，顯示器即被遮沒，其遮沒的特性係將數值中前面的零（如 0081 中的 00）遮沒使其不顯示。而當 LT 為低電位時，顯示器的各節均被點亮，因此可知顯示器一般的操作係當 \overline{BL} 和 LT 均為 V_{DD} （即高電位）的情況下。其動作之真值表如表 C8-1 所列。

許多七節顯示器每一節所需的最大電流低於 25mA，因此需要外加一降壓電阻 R_d ，其數值保守的估計為 V_{DD}/I_D ，其中 I_D 為驅動電流，一般為 25mA。

此外，切忌將 4511 和七節液晶顯示器配合使用，如果您一定要用液晶顯示器，則最好用 4055 或 4056 來驅動。

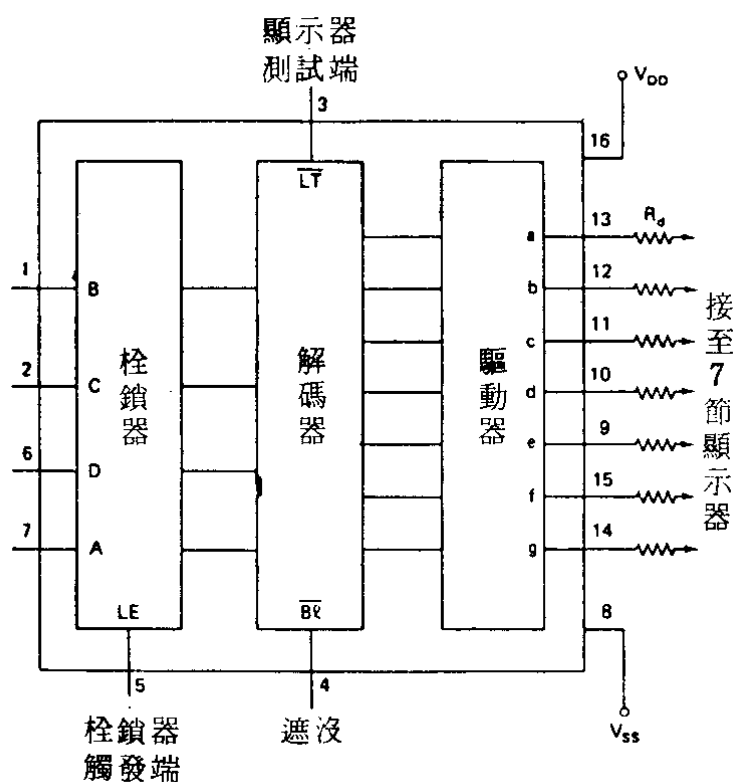


圖 C8-1 CD4511BCD 栓鎖，解碼，驅動器內部接線圖

表 C8-1 4511 之真值表，其中 X 表示 Don't Care (0 或 1 均可)

輸入							輸出							
LE	$\overline{\text{BL}}$	$\overline{\text{LT}}$	D	C	B	A	a	b	c	d	e	f	g	顯字
X	X	0	X	X	X	X	1	1	1	1	1	1	1	8
X	0	1	X	X	X	X	0	0	0	0	0	0	0	
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	
0	1	1	1	0	1	1	0	0	0	0	0	0	0	
0	1	1	1	1	0	0	0	0	0	0	0	0	0	
0	1	1	1	1	0	1	0	0	0	0	0	0	0	
0	1	1	1	1	1	0	0	0	0	0	0	0	0	
0	1	1	1	1	1	1	0	0	0	0	0	0	0	
1	1	1	X	X	X	X								

使用器材

IC：4511×1

電阻器：680Ω×7

顯示器：MAN-4（或同等品）

示波器：雙跡 10MHz 一台

實驗步驟

1. 照圖 C8-1 接線，將 V_{DD} 接至 5V 電源， $\overline{\text{BL}}$ 接至 V_{DD} ， R_d 用 680Ω。
2. 暫時將 $\overline{\text{LT}}$ （第 3 腳）接至地（ V_{SS} ），證明每一個輸出均為高電位。
3. 將共陰顯示器 MAAN-4（或同等品）接上，逐一證明七節顯示器的接線為正確。
4. 將 $\overline{\text{LT}}$ 接至 V_{DD} ，輸入 BCD 碼，證明表 D8-1 之真值表為真。
5. 若將 $\overline{\text{BL}}$ （Blanking）接地，則顯示器作何顯示？
6. 若將 LE(LATCH ENABLE)接 V_{DD} 則顯示器作何顯示？想想看 LE 從 High 變 Low 再變為 High，輸出變化如何？

實驗 D9：二進位計數器（TTL）

相關知識

計數器可說是應用最廣的數位電路，由於它能計算短暫時序波的反應，因此可用來計時，而成為電子鐘與計頻器的主要電路。此外，亦可用來製作數位電壓表（DVM），輻射計量器與多頻道分析器（Multichannel Analyzers）等。

所有數位計數器均由正反器構成，而這些計數器的接法主要分為兩種，其一為漣波計數器（Ripple Counter），另一為同步計數器（Synchronous Counter）。漣波計數器的接法係將前一個正反器的輸出接到第二個正反器的時序波輸入端，依次連接下去。輸入信號從第一個正反器依序傳遞下去。如圖 D9-1 所示，係利用主僕式 JK 正反器 7473 構成八模計數器，其輸出的轉態係當時序波轉成負緣時，因此在 CK 前面加上一小圓圈以表示為負緣觸發器。輸出的三個二進位位元 CBA 之最大值為 111，即十進位的 7，意即當第八個時序波過後輸出歸零，所以這是一個個除以 8 的二進位計數器，即八模計數器（Modulo-8）。

要觀察此種漣波計數器的動作，最好從第八個時序波的進出看出其變化。當第七個時序波過後，CBA = 111，接著第八個時序波的負緣使 $Q_1 = 0$ ，然後 Q_1 輸出信號的負緣觸使 $Q_2 = 0$ ，依次類推而使 $Q_3 = 0$ 。由此可知，當輸入信號傳送至最後一個正反器後，CBA = 000。若對一個 4 位元的二進位計數器而言，其輸出的傳播延遲時間（ t_{pd} ）將為四倍。因此漣波計數器不適宜作高頻信號的計數。

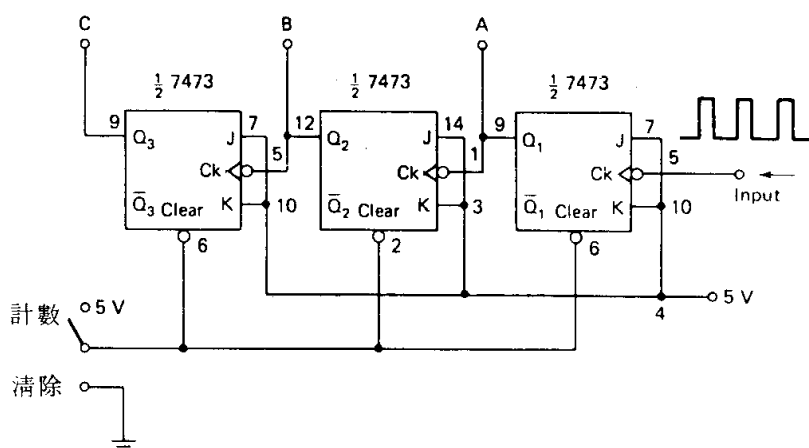


圖 D9-1 利用 7473 做成八模漣波計數器，在 CK 之前的小圓圈表示該正反器用負緣觸發型

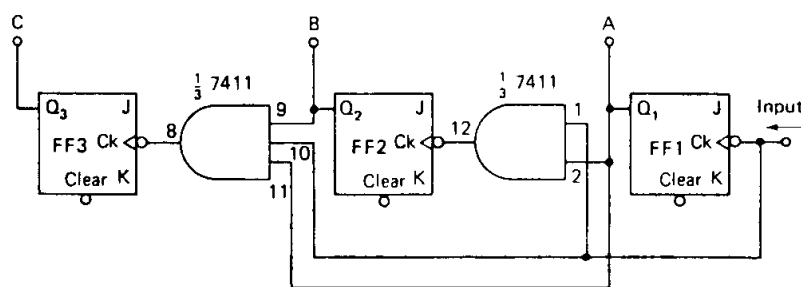


圖 D9-2 利用 7473 與 7411 做的九模同步計數器，其 JK 與 Clear 接法均與圖 D9-1 相同

較常用的同步計數器，如圖 D9-2，係將時序波同時加入各正反器的 CK 端，而使每一正反器

同時轉態。

學者應可看出，唯有當前幾個正反器的輸出為高電位時，時序波才會到達下一個正反器，爲了免去時序波寬度的限制，每一個正反器的輸出必須能確定只當時序波轉為低態時才能轉態。圖 D9-2 同步計數器的動作很像圖 D9-1 的漣波計數器，二者均為八模計數器，也是負緣觸發型。其主要不同處乃在頻率響應。無疑的，同步計數器的傳送延遲僅為一個 AND 閘和一個正反器，因此其延遲時間較短。這種情形在正反器較少時不易看出，若將許多正反器串接在一起，則甚易看出同步計數器遠優於漣波計數器。

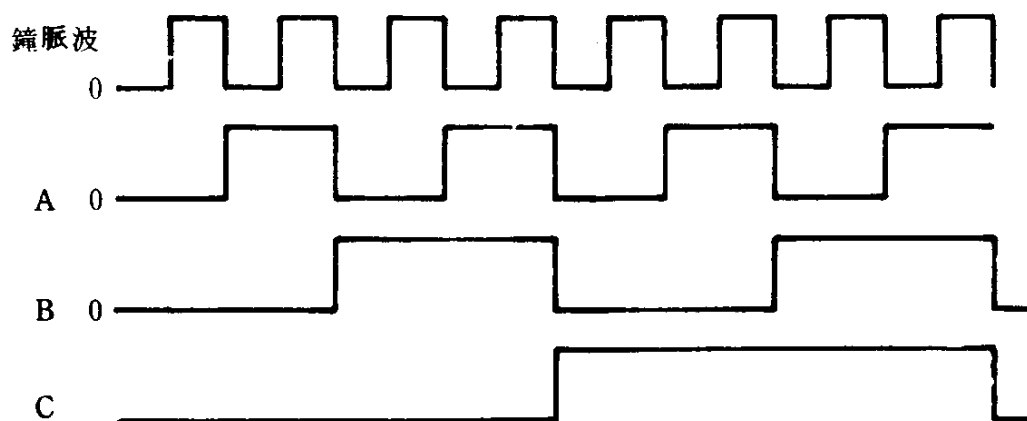
使用器材

IC：7473（或 7476）×2，7400（或 7408），7411

示波器：雙跡，同步 10MHz 一台

實驗步驟

1. 利用兩個 7473（或 7476）照圖 D9-1 接線，將 Clear 端接在一起，利用一個單刀雙擲開關作 +5V 和地之間的選擇。
2. 最好每一個正反器用一種顏色的線去連接。
3. 每一個輸出端接一組 270Ω 降壓電阻與一個 LED 串接的負載，作為顯示之用。
4. 將電源 ON，且將 Clear 接地，使 CBA = 000。
5. 利用圖 D7-1 的自由回跳開關（或數位電路實驗板的脈波開關）作為時序波的信號源，將其接至 Input 端。
6. 將 Clear 開關撥至 +5V 處，然後扳動脈波開關。
7. 每扳動一次脈波開關，即將其 A，B，C 三點的反應記錄下來，特別注意負緣觸發的情形。



8. 繪製 A，B，C 三點與輸入信號波形的對照圖，是否如上圖所示？
9. 利用兩個 7476 與 7411 接成圖 D9-2 的電路，Clear 與 JK 端的接法如圖 D9-1 的情形。（如買不到 7411，亦可用 7415，或以 7412 與 7400 組合成 AND 閘）
10. A，B，C 三輸出端仍以 270Ω 電阻與 LED 串接作顯示器用。
11. 重複 4~7 各步驟，記錄各輸出端的變化，於下頁表中。
12. 請問這是上數計數器或下數計數器？

輸 入	輸 出			
鐘脈波	C	B	A	十進位數值
0	0	0	0	0
1				
2				
3				
4				
5				
6				
7				
8				

（編者註） 如果將圖 D9-2 擴展接線，則每加一正反器，AND 閘就需多一個輸入端子，所以其扇入須夠大才可以，因為 n 級計數器就需 n 個輸入端的 AND 閘，這增加了電路的複雜性。

實驗 D10：除以 N 計數器（TTL）

相關知識

從實驗 D9，我們知道計數器的 A 輸出端頻率為輸入時序波的 1/2，而 B 輸出端的頻率為其 1/4，依此類推，C 輸出端的頻率為其 1/8.....，因此，第 n 個 JK 正反器的輸出頻率為輸入時序波的 $1/2^n$ ，所以計數器可以作精密的除頻電路。但是，若要做除以 N（N 可為偶數或奇數）的除頻電路，計數器就需在滿額計數前歸零，也就是說，為了獲得 N 模計數器，必須在第 N 個脈波結束時加以歸零。

圖 D10-1 係利用四位元二進位計數器 7493 做的六模計數器。由於它含有四組主僕式 JK 正反器，因此也可作八模和二模計數器。（其八模計數器的接線如圖 D9-1 所示）。在六模計數器的情況下，歸零時機必須設定在 C=D=1 時，才能使所有的 Clear 均為 0，因此六模計數器的最大顯示數值為 101，然後當 110 要顯示時即被歸零了。其真值表如下表所示：

Pulses	D	C	B
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	0	0	0

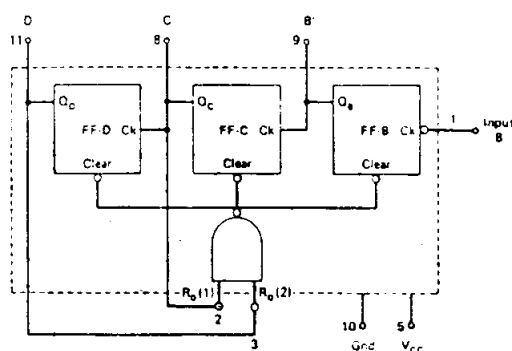


圖 D10-1 利用 7493 作的六模計數器，虛線內為 IC 內部

學者若要設計較大除數的計數器（>16），均可依同理類推。譬如，要設計一個 25 模計數器，即需利用 5 位元二進位計數器，使其能對 EDCBA=11001 予以歸零。因此需用一個三輸入的 AND 閘，接到 E，D，A 三個正反器的 Clear 端，以便在 EDCBA=11001 時歸零。此外，有一更常用的方式，係將兩組除以 5 的計數器串接（Cascading），以形成除以 25 的計數器，其第一個計數器，當 5 個脈波過後節送 1 個脈波到第二個計數器，第二個計數器也將輸入脈波中每 5 個送 1 個出去，因此可完成 25 模計數器。（學者可用兩個 7490 完成接線，試試看）。

一般常用的計數 IC，如 7493 可作除以 2，4，8 的計數，7492 可作除以 2，6，12 的計數，而 7490 可作除以 2，5，10 的計數，若要作較大除數的計數，可利用串接法完成。如下圖所示，係利用 7490 與 7493 完成除以 60 的計數器。

圖中係利用 7490 作除以 10，7493 作除 6 的串接計數，因此整體而言，是除以 60 的計數器。每一個計數器均為負緣觸發型。當 7490 的 DCBA 從 1001 轉為 0000 時，其負緣即傳送至 7493 的 6 模計數器，而使 7493 計數，當其經過 6 個 10 次脈衝後，即計數至 60 後，兩個計數器同時歸零，因此最後輸出頻率為輸入脈衝的 1/60。

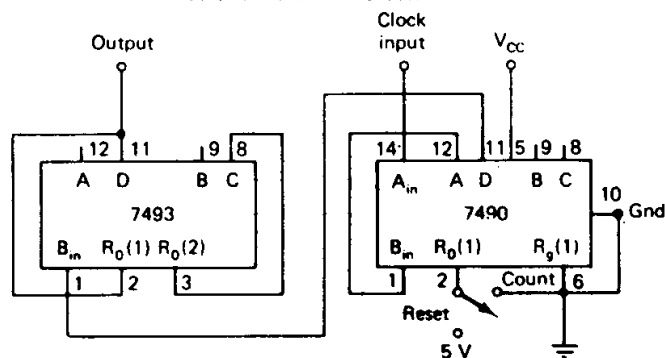


圖 D10-2 利用 7490 與 7493 作除以 60 的計數器

使用器材

IC：7493，7490 各一

脈波產生器（可利用防上彈跳開關）

顯示器：七節共陰顯示器

示波器：雙跡，10MHz

實驗步驟

1. 六模計數器

- ① 將 7493 插在免銲電路板上， $R_0(1)$ 接地，A 腳空接。
- ② 將輸出端 DCB 接到 MAN-4 的 CBA。
- ③ 將脈波產生器的輸出接到 7493 的 B 輸入端 (B_{in} ，第 1 腳)
- ④ 請問輸入多少脈波後，輸出會歸零？
- ⑤ 將 C 腳（第 8 腳）接至 $R_0(1)$ （第 2 腳），D 腳（第 11 腳）接至 $R_0(2)$ （第 3 腳），再輸入脈波，是否呈現六模計數器情形？

2. 十模計數器

- ① 將 7490 插在免銲電路板上，接線如圖 D10-2 之右圖。
- ② 將 MAN-4 七節顯示器接在 7490 的 DCBA 四點上。
- ③ 將隨意回跳開關的輸出（或脈波產生器的輸出）接到 A_{in} （第 14 腳）。
- ④ 注意觀察第 10 個時序波的負緣，在 D 輸出端產生一值負緣波形，以確定是否為十模計數器。
- ⑤ 若將 A 輸入端依序接地，使產生時序波，則共計數情形是否仍然相同？

3. 六十模計數器

- ① 如圖 D10-2 所示，將 7490 的 D 輸出接到 7493 的 B_{in} 將十模計數器與六模計數器連起來。
- ② 將脈波產生器（或用函數波產生器）的輸出頻率設定在 60Hz，而加入 7490 的 A_{in} （第 14 腳）。
- ③ 將 7493 的輸出端 DCBA 接到 MAN-4 的輸入端，觀察 7493 的輸出，是否為 BCD 顯示？
- ④ 試利用兩個 7493，外加一些 AND 閘或 NAND 閘完成除以 60 的計數器，使其具有 BCD 碼的輸出。

實驗 C10：除以 N 計數器（CMOS）

相關知識

在 CMOS 系統中比較常用的可預置式 N 模計數器 4018，基本上是一個移位計數器（Shift Counter），或叫詹森計數器（Johnson Counter），它與移位暫存器（Shift Register）具有密切的關係（可參閱實驗 D14）。它每一級的輸出波形均相同，只是一個比一個移後一位元時間。當計數器被設定作為偶數模的計數時，其輸出方波的高電位佔一半時間，低電位佔另一半時間。很顯然的，移位計數器所顯示的結果與 BCD 碼，十位碼不同。即使其輸出能因著外加的邏輯閘而獲得解碼，移位計數器最好還是作為簡單的除法器。其模數的決定係由級數來決定。一個 n 階計數器，能將輸入時序波頻率除以 $2n$ 。其線路的接法乃將最後一級的輸出接回信號輸入端，而成為一個封閉迴路。而級的數目（Stage）即由迴路中正反器的數目來決定。每一個 4018 包含 5 級，每一級均有互補式的輸出。假如把第 5 級的反相輸出 \bar{Q}_5 接回信號輸入端（DATA），則計數器可作除以 10 的計數。若將 \bar{Q}_4 接至 DATA，則可作除以 8 的計數，依次類推，可作除以 6，4，2 的計數。至於奇數的除法則必須利用外加的邏輯閘才能完成，下圖即表示除以 5 的接法。

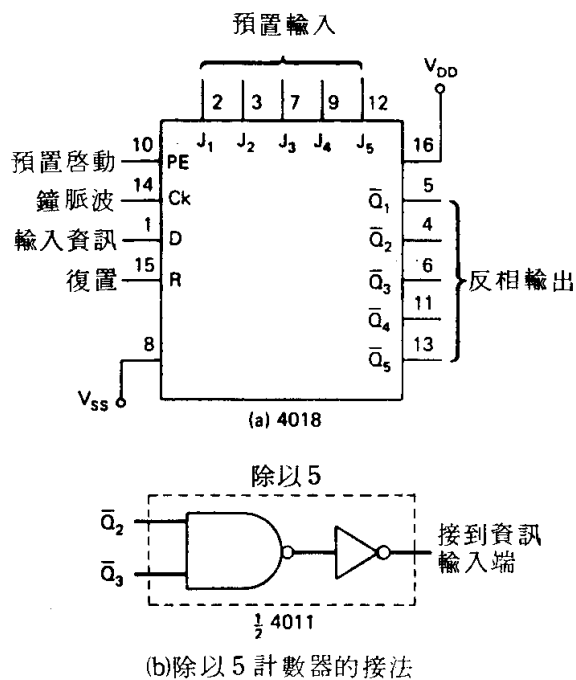


圖 C10-1 4018 接腳圖及作除以 5 計數的接線圖

我們可將 4018 的最後一級 \bar{Q} 輸出接至下一個計數器的時序波輸入，而完成串級接法（Cascade），同時也可將 \bar{Q} 輸出接至第一個計數器的 DATA 輸入。若第一個計數器包含 n_1 級，第二個計數器包含 n_2 級，則串級接線後的輸出頻率將為除以 $4 n_1 n_2$ 。

此外，當計數器的結果需要顯示時，可以使用 4033（或 4026）十進計數器，另外加上解碼電路及七節顯示器的輸出電路，在電源電壓 $9V \leq V_{DD} - V_{SS} \leq 15V$ 的範圍內，每一節顯示器約可獲得 5mA 的推動電流。這對於像 MAN-3 之類的顯示器是綽綽有餘的。但若計數器的工作電壓為 5V，則在顯示器之前必須加上像 4010 或 4050 的緩衝級，加以放大電流。

一般十進計數器和解碼器的組合，亦可由 4500 系統來完成，譬如我們可用一個 4518 的 BCD 上數計數器，加上一個 4511 鎖定制碼驅動器而完成（請參閱實驗 C8）。

使用器材

IC：4018×2，4033，4050A，4511，4518，MAN-4 各一

LED：5 個

電阻器：680Ω×7

示波器：雙跡 10MHz 一台

函數波產生器：2MHz，能產生脈波者

數位電路實驗板：附有手動脈波開關者

實驗步驟

1. 4018 單級接法

- ① 將一個 4018 插在免銲電路板上，其電源 V_{DD} 接上 5V， $V_{SS}=0$ 。
- ② 將五個 JAM（即 Preset）輸入端空接，將預置啟動（Preset Enable）接地。
- ③ 將第 13 腳 \overline{Q}_5 接至第 1 腳資訊輸入端，同時將手動脈波開關的輸出接至第 14 腳 Clock 端。
- ④ 將電源 ON，同時將第 15 腳瞬時接觸 V_{DD} 而使計數器復置（Reset），然後立刻將其接到 V_{SS} 。
- ⑤ 將電源暫時關掉，在 Q_1 ， Q_2 ， Q_3 ， Q_4 ， Q_5 各腳接上 4050A 及 LED，然後接上電源。
- ⑥ 利用手動脈波開關，將脈波信號送入。請問計數器是在時序波的正緣或負緣觸發？
- ⑦ 請問這是幾模計數器？
- ⑧ 利用雙跡示波器，將 CK 端的信號與 Q_5 的波形繪出（必須是完整一週的波形）。

2. 4018 串級接法

- ① 將第二個 4018 插上免銲電路板，其接線如第一個 4018。但第二個的 \overline{Q}_3 接至第二個 DATA 輸入端。
- ② 將函數波產生器的脈波接到第二個計數器的 Clock 輸入端，然後將其 \overline{Q}_3 接到第一個 4018 的 Clock 輸入端。（可參閱圖 P11-1）
- ③ 調整函數波產生器，使輸出 60Hz 的時序波信號，觀察最後的輸出，即第一個 4018 的 \overline{Q}_5 ，請問每秒出現幾週？

3. 十進位計數器

- ① 如圖 C10-2 之接線，將 4033 與 MAN-3 串接，電源 V_{DD} 接上 10V， V_{SS} 接地。
- ② 每當接上一節顯示器時，即將 \overline{LT} （Lamp Test）接到 V_{DD} （High），以試驗是否可顯示。試驗完成後將 \overline{LT} 接至 V_{SS} ，以試驗是否可顯示。試驗完成後，將 \overline{LT} 接至 V_{SS} ，以便正常工作。
- ③ 利用防止彈跳開關，將 1Hz 信號加至 Clock，同時觀察計數器的動作。
- ④ 將 RBI 接至 V_{SS} 則顯示器有何不同情形出現？
- ⑤ 你可發現 4033 沒有鎖定電路，因此在進行另一新的計數時，舊的結果無法被鎖定保留在顯示器上。

4. 上數的十進計數器

- ① 如圖 C10-3 之接線，將 V_{DD} 接上 10V，顯示器為 MAN-4，每節之顯示先用 \overline{LT} 試驗後才正式啓用。

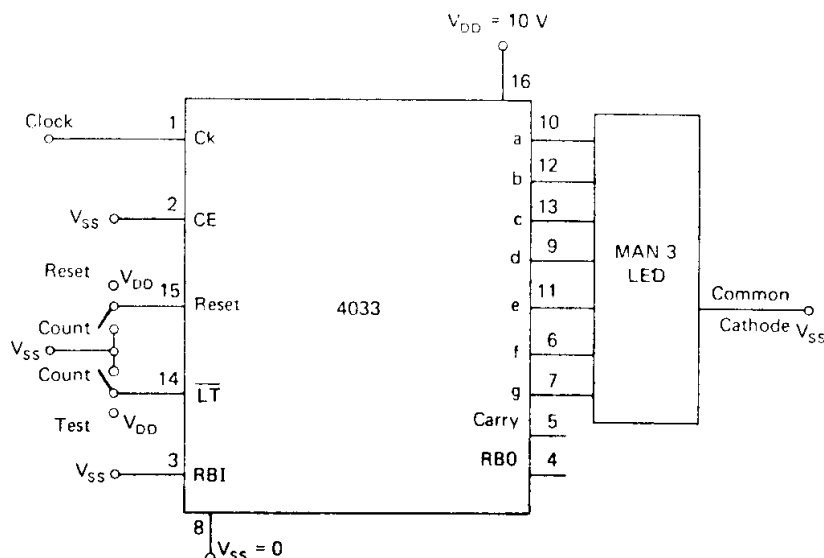


圖 C10-2 利用 4033 與 MAN-3 組成的十進位數字顯示器

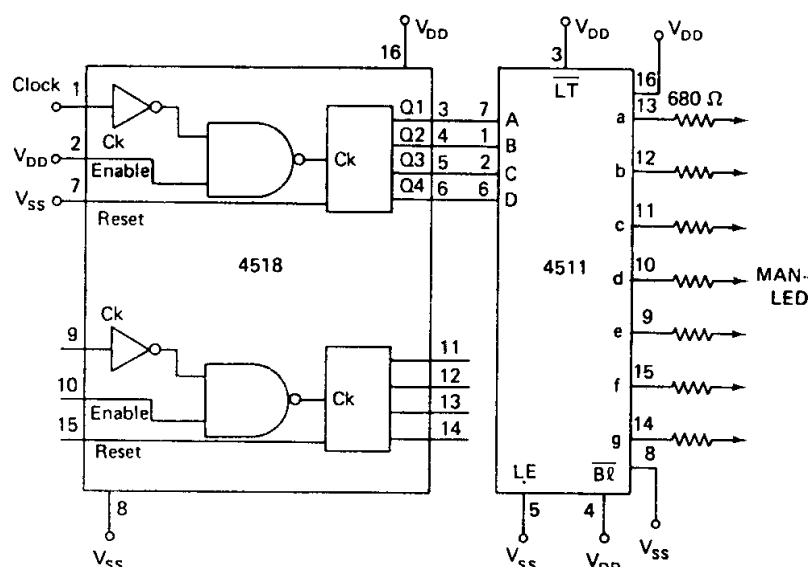


圖 C10-3 利用 4518 與 4511、MAN-4 組成的十進位上數計數顯示器

- ② 加上 1Hz 的時序波於 4518 的 Clock 端，觀察顯示器的顯示情形。
- ③ 將鎖定啓動（Latch Enable，即 LE）接至 V_{DD} 時，輸入 DCBA 即被排除，因此顯示器有鎖定作用，為較 4033 有用之處。

所有數位計算的基本運算就是把兩個二進位數加起來。其主要規則為

$$\begin{aligned} 0+0 &= 0 \\ 0+1 &= 1 \\ 1+0 &= 1 \\ 1+1 &= 10 \end{aligned}$$

其中 "+" 號表示 "加" 的意思，而非 "OR"。學者一定知道把十進位的 2 轉換成二進位的表示是 "10"，其分解式為 $1 \times 2^1 + 0 \times 2^0$ 。當我們用二進位法計算 $1+1$ 時，在個位位置 2^0 得一係數 0，而將進位 1 作為左邊一位 2^1 的係數。

表 D11-1 說出半加器的運算情形，其中 A，B，S 三行的數值正好是排斥或（Exclusive-OR）的真值表，因此我們可以寫成 $S = A \oplus B$ ，而進位 C 可以寫成 $A \cdot B$ 。

其邏輯圖如下圖所示：

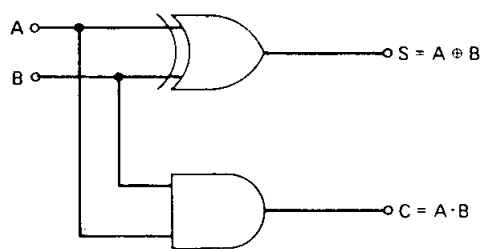


圖 D11-1 半加器之邏輯圖（可由 7408 與 7486 組成）

表 D11-1 半加器之真值表

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

若要用基本邏輯閘來組成，則如下圖所示

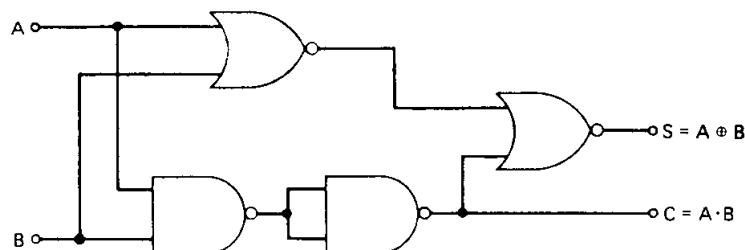


圖 D11-2 利用 7400 與 7402 組成半加器

由於半加器只能作一位數的加法，而不能處理先前加法中的進位，因此有全加器的設計，能作二位數的加法，它不只有 A，B，並有從上一次加法中進位而來的 C。一般書本中大多以兩個半加器與一個 OR 閘組成全加器（如圖 D11-3 所示），此處我們僅以方塊圖 FA 表示完整的全加器。圖中 C_n 表示對第 n 位的進位，而 C_{n+1} 是對下一位的進位，S 是總和， a_1 ， b_1 是本次計算的加數與被加數。在實際應用上可利用 7480 來工作。

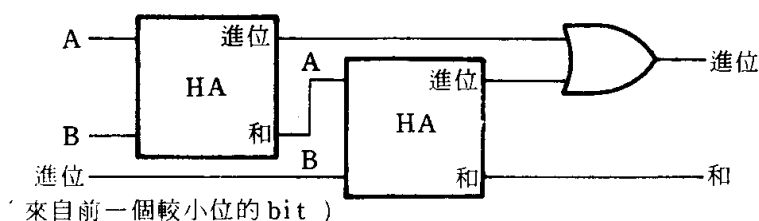


圖 D11-3 由半加器組成全加器的邏輯方塊圖

圖 D11-4 所示之輸出為三位數之二進位數字 $S_2 S_1 S_0$ ，它是 $b_1 b_0$ 與 $a_1 a_0$ 的總和。學者若要做更多位數的加法，可並接更多的全加器以完成接線。至於全加器的真值表，如下一頁的表所示，學者可在實驗中證明之。

等到實驗 D12 時，你將可學到 ALU（Arithmetic Logic Unit）算術邏輯單元，它可作四位數的加法、減法及其他運算，雖然價錢較高，目前一個 74181 約為台幣 85 元），但其功能比全加器多得多了。

全 加 器

C_n	A	B	S	C_{n+1}
0	0	0	0	0
0	1	0	1	0
0	0	1	1	0
0	1	1	0	1
1	0	0	1	0
1	1	0	0	1
1	0	1	0	1
1	1	1	1	1

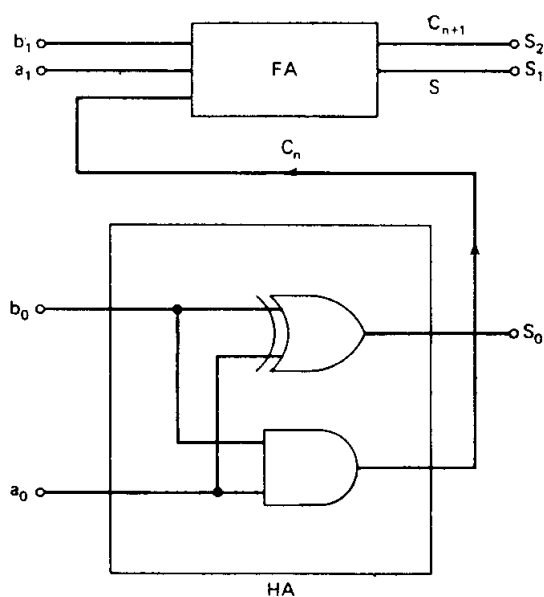


圖 D11-4 全加器中進位的關係圖（二位數加法器）

使用器材

IC：7400，7402，7480，7486，7408 各一

LED：紅色三只

限流電阻：270Ω×3

數位電路實驗板（含有手動脈波產生器者）

實驗步驟

1. 半加器

- ① 利用 7400 與 7402 組成半加器，電源用 +5V。
- ② 逐一證明半加器之真值表，輸出端可用一 LED 與限流電阻串接作為顯示器。
- ③ 利用 7408 與 7486 接成圖 D11-1 之線路。
- ④ 逐一證明其輸入輸出的真值表。

2. 全加器

- ① 利用 7480 與 7400 接線如圖 D11-5。
- ② 因為在 7480 中沒有一隻腳可以單獨作為 A 輸入，而係由 A_1 ， A_2 ， A^* 及 A_c 一同來控制

A 情況。其主要決定公式係 $A = A^* \cdot A_C$ ，而 A^* 則由 A_1, A_2 決定，其一為當 A_1, A_2 同時接地時， A^* 獨自決定其值。其二為當 A^* 開路時， $A^* = A_1 \cdot A_2$ 。至於 B 輸入之情況亦同。因此我們將 A_C 接 +5V，即 $A_C = 1$ 而將 A_1, A_2 並接作為 a_1 輸入， A^* 空接， $\therefore A^* = a_1$ ，最後得 $A = A^* = a_1$ ，同理得 $B = B^* = b_1$ 。同時，由於第 4 腳的進位輸出為 C_{n+1} ，所以在其輸出端加一反相器，以使進位輸出正常。

- ③ 將三只 LED 與限流電阻分別串接在 S_2, S_1 與 S_0 (S_0 係圖 D11-4 的半加器輸出)，進行全加器的動作觀察。

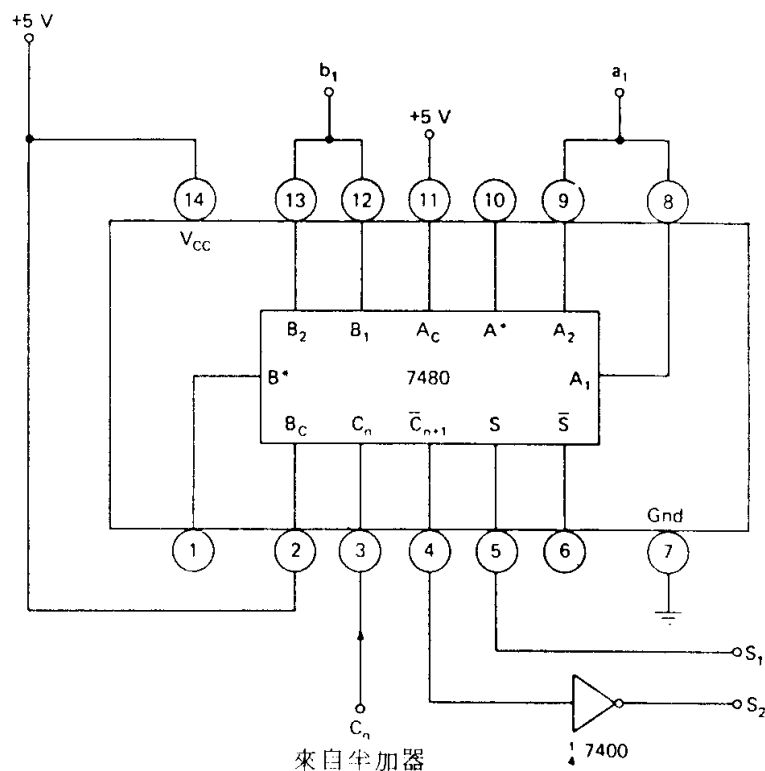


圖 D11-5 閘控全加器

- ④ 完成 $0+0, 1+0, 1+1, 2+1, 3+1, 3+2, 3+3$ 的七種運算，將 a_1, a_0, b_1, b_0 ，和 S_2, S_1, S_0 的真值表繪出。(註：將 $a_0 b_0, a_1 b_1$ 視為二位數)

計算	a_0	b_0	a_1	b_1	S_2	S_1	S_0
$0+0$	0	0	0	0	0	0	0
$1+0$	0	1	0	0	0	0	1
$1+1$	0	1	0	1	0	1	0
$2+1$	1	0	0	1	0	1	1
$3+1$	1	1	0	1	1	0	0
$3+2$	1	1	1	0	1	0	1
$3+3$	1	1	1	1	1	1	1

3. 以十進位顯示的全加器

- ① 利用實驗 D8 的解碼顯示器，將全加器的輸出 S_2, S_1, S_0 作為解碼器的 CBA 輸入，同時將 D 輸入接至 0 (接地)。
- ② 將時序波送至 $a_0 b_0 a_1 b_1$ ，觀察七節顯示器上列之真值表是否為真。

實驗 C11：全加器與半加器（CMOS）

相關知識

有關全加器和半加器的原理已在實驗 D11 說明過，此處的要點乃是說，利用 CMOS 來作全加器與半加器有何優點與缺點。

首先在 CMOS 族中，如 4008 是一個四位數的全加器，其價錢較 7480 便宜，且其中包含四組全加器，功能也較多。當然，學者也可利用 4030 或 4070 的排斥或閘組成半加器，但仍比 TTL 價廉物美。

4008 的主要特點是具有 "前瞻進位" (Look-ahead Carry)，與 TTL 中的 7483 相同，其進位的產生是藉著內部電路中 AND 閘與 OR 閘的串聯而成，且獨立於全加器之外。這種方式，大大減少了產生進位的延遲時間，因為不需要等到四個全加器都完成加算過程後才產生進位。如果將數個 4008 串接成較大的加法器，其第一組加法器的最後進位即需送至下一組加法器，此時因有前瞻進位，所以在第一組加法器尚未完成總和之前，即可進行下一個加算步驟，學者由下圖即可看出前瞻進位的功能。至於產生最後進位所需的時間，在 CMOS (4008A) 約為 45nS，在 TTL (7483) 約為 15nS。

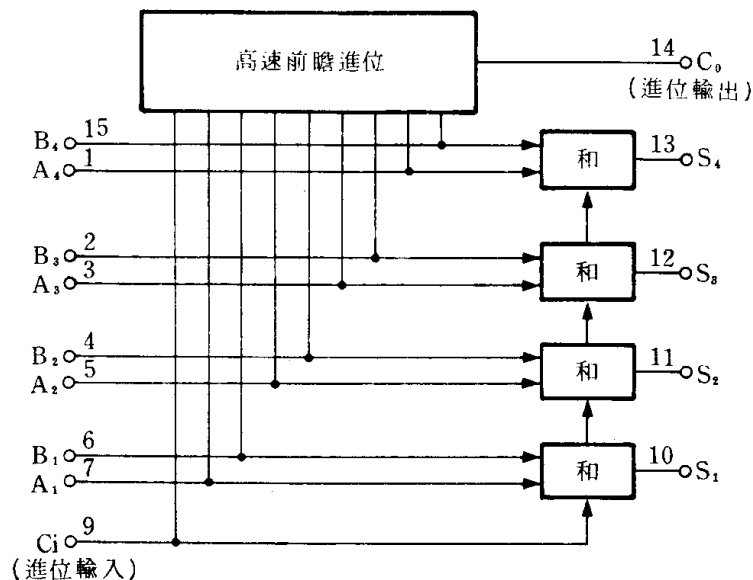
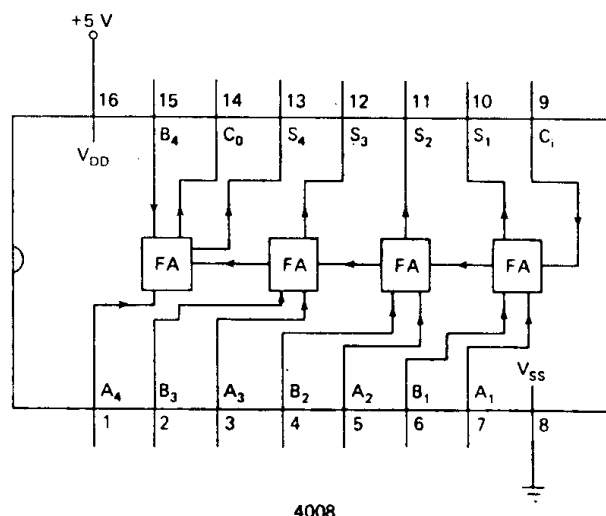


圖 C11-1 4008 四位元全加器內部方塊圖



4008

圖 C11-2 4008 接腳圖

數位與類比 IC 實驗 66
表 C11-2 4008 真值表

A _i	B _i	C _i	C _o	SUM
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

使用器材

IC：4008

邏輯測試棒一支

電源供給器 DC 0~10V

實驗步驟

1. 半加器

- ① 利用 4008 將其插在免銲電路板上，C_i（第 9 腳）接地（V_{SS}）。
- ② 將 A₁（第 7 腳），B₁（第 6 腳）當作輸入端 A，B，將 S₁（第 10 腳）當作半加器的總和 S，而將 S₂（第 11 腳）當作半加器的進位輸出。
- ③ 將 B₂（第 4 腳），A₂（第 5 腳）接地（V_{SS}）。
- ④ 將信號輸入，完成下列真值表：

A	B	S	C
0	0		
0	1		
1	0		
1	1		

- ⑤ 請以 4070（排斥或）和 4001（1004 或 4011）完成半加器的接線，再證明其真值表。

2. 全加器

- ① 將 4008 的接線全部還原，第 8 腳接地（V_{SS}）第 16 腳接 +5V（V_{DD}）。
- ② 若 C_i（第 9 腳）為 0，則 A=A₄A₃A₂A₁=0101 和 B=B₄B₃B₂B₁=1001 二者相加 A+B 結果為何？
- ③ 若 C_i=1 則 A+B 結果又為何？
- ④ 利用實驗 C8 的解碼顯示器，將 S₄ 接到 D，S₃ 接到 C，S₂ 接到 B，S₁ 接到 A，然後輸入 A₄A₃A₂A₁ 與 B₄B₃B₂B₁，請問 4008 最大的輸入與輸出各為何？

實驗 D12：減法器與算術邏輯單元（TTL）

相關知識

關於二進位減法的處理方式有好幾種，而其原則乃是將較小的數從較大的數中減掉。假如你遇到作 $A-B$ 而 $B>A$ 時，你的電路必須能偵測出 $A-B$ 是負值，然後將 $B-A$ 計算出來。例如作 $51-62$ 時，電路必須能將其轉為 $62-51$ 然後加一負號在前面。在二進位減法中，一般規則為：

$$\begin{aligned} 0-0 &= 0 \\ 1-0 &= 1 \\ 0-1 &= -1 \\ 1-1 &= 0 \end{aligned}$$

其中 -1 我們叫作借位 1，例如運算：

$$\begin{array}{r} 101 \\ -011 \\ \hline 010 \end{array}$$

從右到左看， $1-1=0$ 沒問題，但 $0-1$ 則差 1，必須從左邊借 1 才能完成，最後 $1-0$ 因已被借位而得 0。下表 D12-1 表示半減器的運算情形：

表 D12-1 半減器之真值表

SUBTRACTION OF A-B			
A	B	Difference	Borrow
0	0	0	0
1	0	1	0
0	1	1	1
1	1	0	0

請注意其差（Difference）為 $A \oplus B$ （即排斥或的情形），而借位為 $\bar{A} \cdot B$ 。若改為 $B-A$ 的運算，則其借位值為 $A \cdot \bar{B}$ ，其餘均與 $A-B$ 相同。半減器的邏輯圖如圖 D12-1 所示。

至於全減器則可由半減器與一個 OR 閘組成，如圖 D12-2 所示。

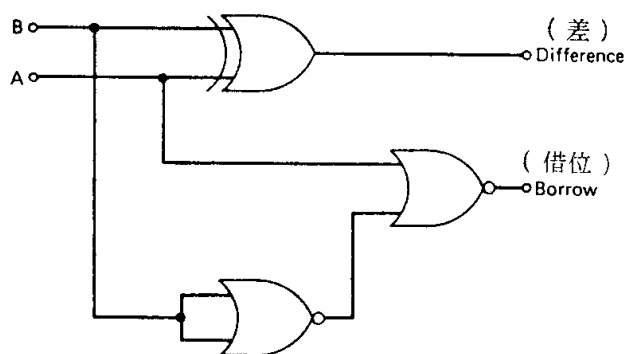


圖 D12-1 半減器之邏輯圖（ $A-B$ ）

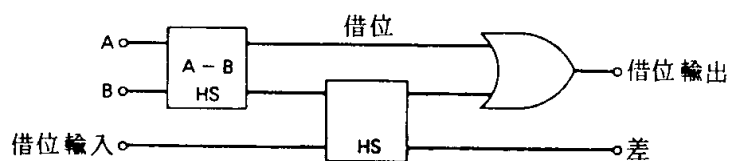


圖 D12-2 全減器之邏輯圖

若將一個半減器與 n 個全減器並聯起來，則可作 $n+1$ 位元輸出的減法器。因此，要做兩個四位元數字的減法需利用一個半減器和三個全減器來完成。學者若想用基本閘來組成四位元的減法器，則需 17 個 NOR 閘和 7 個排斥或閘，的確太麻煩了。

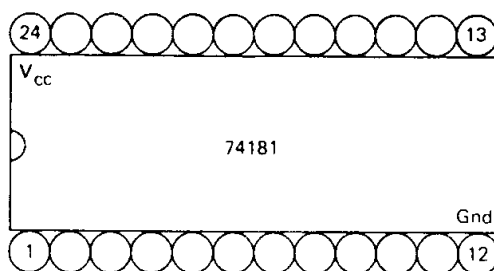
比較進步的方法叫做 "2 的補數" 法，其意乃是：若要作 $A-B$ ，則先把 B 的每一位元倒相（即 1 變 0，0 變 1）成為 1 的補數，例如 1011 的 1 的補數即為 0100。然後將此補數與 A 相加，結果再加 1 即為 $A-B$ 值，寫成代數式為：

$$A + \overline{B} + 1 = A + (\overline{B} + 1) = A + B^* = A - B$$

此種 2 的補數法可以避免端迴進位，且最高次產生的進位不必管它，因此在速度上較 1 的補數方式為快，在實際電路中只要能作加算及倒相即可，並不需要另作一個減法器。

一般減法器必須含有比較器，以偵測減數與被減數，看何者較大，然後將較小的倒相，加 1 後加到較大的數目上，其和即為減的結果，至於是否 +、-，則由第 N 數元（即最左一位元）來表示，此位元為 0 代表其值為 +，若為 1 則代表其值為 -。學者若要更澈底了解，請參閱有關邏輯電路的書籍。目前，很可喜的乃是有有一種多用途的 IC，稱為 ALU (Arithmetic Logic Unit)，已被應用在加、減、比較，及進行各種邏輯操作上了。

例如 74181，雖然較貴，但它至少能作 48 種操作，對於兩個四位元的數字 A 和 B ，它有四種選擇輸入，一個模式 (Mode) 選擇輸入，和二個進位輸入，同時它能產生前瞻進位（如實驗 C11 所述）。其各腳功能如圖 D12-3 所示。



Pin Number	2	1	23	22	21	20	19	18	9	10	11	12
Data	A_0	B_0	A_1	B_1	A_2	B_2	A_3	B_3	F_0	F_1	F_2	F_3

Pin Number	24	12	7	16	6	5	4	3	14	8
Function	V_{CC}	Gnd	\overline{C}_n	\overline{C}_{n+4}	S_0	S_1	S_2	S_3	$A = B$	M

Selection				Arithmetic Operations: $M = L$	
S_3	S_2	S_1	S_0	$C_n = 0; \overline{C}_n = H = 1$	
L	L	L	L	$F = A$	
L	L	L	H	$F = A + B$	
L	L	H	L	$F = A + \overline{B}$	
L	L	H	H	$F = \text{minus } 1 \text{ (two's complement)}$	
L	H	L	L	$F = A \text{ plus } AB$	
L	H	L	H	$F = (A + B) \text{ plus } A\overline{B}$	
L	H	H	L	$F = A \text{ minus } B \text{ minus } 1$	
L	H	H	H	$F = A\overline{B} \text{ minus } 1$	
H	L	L	L	$F = A \text{ plus } AB$	
H	L	L	H	$F = A \text{ plus } B$	
H	L	H	L	$F = (A + B) \text{ plus } AB$	
H	L	H	H	$F = A\overline{B} \text{ minus } 1$	
H	H	L	L	$F = A \text{ plus } A$	
H	H	L	H	$F = (A + B) \text{ plus } A$	
H	H	H	L	$F = (A + B) \text{ plus } A$	
H	H	H	H	$F = A \text{ minus } 1$	

圖 D12-3 74181ALU 各腳功能說明，下表中 $M=L$ 模式中的算術操作，係指無進位的情形，另有 $C_n=1$ 的 16 種情形與 $M=H$ 的 16 種情形未列出，學者可參閱特性資料手冊，有詳細說明。

其最有用的操作為：

1. 減法
將 \overline{C} (第 7 腳) 接至低電位 (0)，M (第 8 腳) 亦同，置 $S_3S_2S_1S_0$ 為 0110，則 F 輸出即為 $A - B$ 。(注意：輸入進位在第 7 腳被倒相了)
2. 加法
置選擇輸入 $S_3S_2S_1S_0$ 於 1001，且將前級的進位倒相後加到第 7 腳，則輸出 F 各腳為 $A + B + C_n$ ，其輸出進位的倒相顯示在第 16 腳，以 $\overline{C_{n+4}}$ 表之。
3. 比較
第 14 腳的輸出為 $A = B$ ，若 A 確實等於 B，則此腳輸出為高電位，若不等則為低電位。此種比較必須當 $M=0$ ，且 $S_3S_2S_1S_0=0110$ 時才能做。(注意：由於第 14 腳是集極開路方式，因此接線時必須加 $1k\Omega$ 的提升電阻至 $+5V$)。此外，也可利用第 16 腳 ($\overline{C_{n+4}}$) 作 A, B 的大、小比較，此時須先使第 7 腳 ($\overline{C_n}$) 為高電位，則若 $A > B$ 時， $\overline{C_{n+4}}$ 為低電位，而 $A < B$ 時 $\overline{C_{n+4}}$ 為高電位。

使用器材

IC：7402，7486，74181 各一

電阻器： $1k\Omega$

另 BCD 解碼顯示器一組

實驗步驟

1. 半減器
 - ① 利用 7486 與 7402 組成圖 D12-1 的半減器。
 - ② 輸入 A, B，證明 $A - B$ 的真值表為真。
 - ③ 將 A, B 對調，寫出 $B - A$ 的真值表。
2. 全減器
 - ① 利用 7486 與 7402 組成一個二位數的減法器（即一個半減器與一個全減器）
 - ② 若 $A_1A_0=01$ ， $B_1B_0=11$ ，則 $A_1A_0 - B_1B_0$ 將為何？（註：請參閱實驗 D11）
3. ALU
 - ① 將 74181 插在免銲電路板上，M 及 C_n 均接 0，請作出 $1011 - 1001$ 的結果，利用 BCD 解碼顯示器表示其結果。

表 D12-2 74181 實驗表

S3	S2	S1	S0	$\overline{C_n}$	A	B	$\overline{C_{n+4}}$	F	F 數學式
0	1	1	0	0	1011	1001	1	0010	A - B
0	1	1	0	0	1100	0011			
0	1	1	0	0	0100	1000			
0	1	1	0	0	0000	1111			
1	0	0	1	1	0011	0011			A + B
1	0	0	1	1	1000	1001			
1	0	0	1	0	0000	0001			

- ② 請解釋第 16 腳的電位與答案 +、- 號的關係。
- ③ 完成表 D12-2 中空白的部分，並將 F 的結果寫成數學式，例如第一列中 $F = A - B = 11 - 9 = 2$ ，第五列中 $F = A + B = 3 + 3 = 6$ 。(注意： $\overline{C_n} = 1$ 表示沒有進位)。

4. 比較器

- ① 在 14 腳上接 $1k\Omega$ 提升電阻至 $+5V$ 。
- ② 置 $S_3S_2S_1S_0=0110$ ， $M=0$ ，輸入 $A=1111$ ， $B=1111$ ； $A=1110$ ， $B=1111$ ； $A=0000$ ， $B=0000$ ，觀察並記錄 14 腳的電位，驗證比較器的工作是否正常。
- ③ 注意以上三種狀況中，若第 7 腳為高電位，其反應是否相同？若為低電位則又如何？

實驗 D13：暫存器（TTL）

相關知識

暫存器常用在數位電路的輸入和輸出部分，以作資訊的儲存或延遲記憶之用。它也可用來將串聯輸入的二進位數改變成並聯輸出（即串聯－並聯轉換電路），或將並聯輸入的資訊轉變為串聯輸出（即並聯－串聯轉換電路）。在實驗 D14，我們將介紹如何把暫存器應用在計算電路中，以處理 2 因子二進位數的乘法或除法。

圖 D13-1 所示的暫存器是最簡單的四位元串聯移位暫存器，由四個 JK 主僕式正反器串接而成。當時序波為 High 時，輸入信號 JK 即被讀入，而當時序波轉為 Low 時，信號即被傳送至輸出端 A，B，C，D。

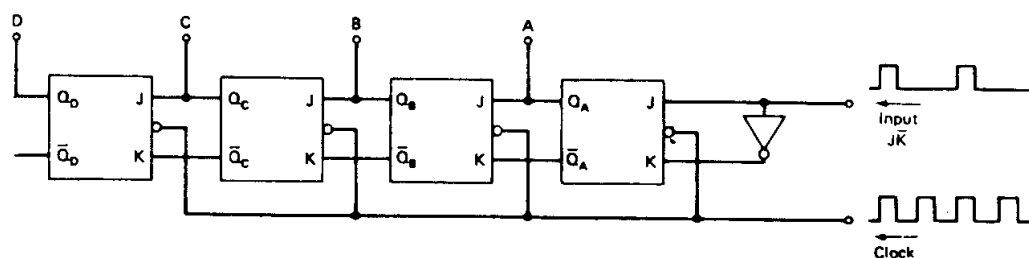


圖 D13-1 同步式移位暫存器的動作

假如我們希望把 1010 儲存起來（即 DCBA = 1010），必須先把最大位元（MSB）顯示出來，然後隨著 Clock 信號的變化逐一傳送過去，等 4 個時序波過後，全部數字即被儲存起來，此時最大位元 MSB 即被移至 D 點，而最小位元 LSB 出現在 A 點。此種類型的暫存器係以串聯方式輸入信號，而以並聯方式或串聯方式輸出信號。串聯方式輸出由 Q_D 取得，而並聯方式輸出由 $Q_D Q_C Q_B Q_A$ 取得。由於串聯方式輸出須等 4 個鐘脈波過後才能全部移位完成，因此其延遲時間由暫存器數目而定，設每一脈波週期為 T ，輸入信號共經過 n 個主僕式 JK 正反器，則串聯輸出的延遲時間為 $t = (n-1)T$ ，即要把信號讀入暫存器須經 $n-1$ 個時序波週期，這是串聯方式的主要缺點。

為了消除串聯式的缺點，改用並聯方式。下圖所示的 7496 具有五位並聯輸入的暫存器，當第 8 腳（預置啟動）為 High 時五個預置輸入同時能將信號儲存進來（當然每個暫存器均事先清除為 0）。這個 IC 係由五個主僕式 RS 正反器所組成，且是正緣觸發型，因此若要用串聯輸入方式，信號必須在時序波的上升之時進入第 9 腳。

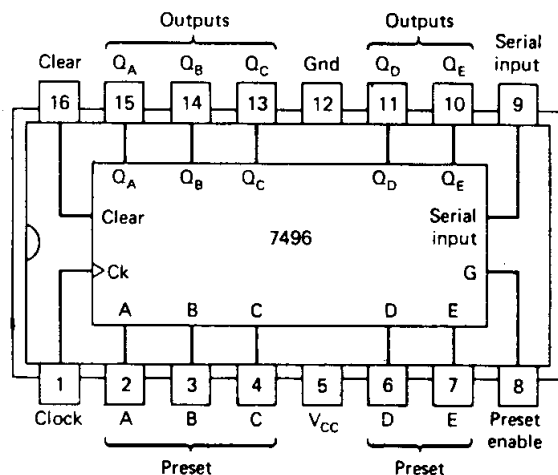


圖 D13-2 具有串聯輸入與並聯輸入的五階移位暫存器 7496

7496 主要用途係作為儲存、串聯—並聯或並聯—串聯轉換器，它也能用來作為循環暫存器（或叫環狀計數器 ring Counter），以產生重複性的信號去控制其他電路。例如，我們可用環狀計數器產生一個歸位指令（Return），以控制電傳打字機的歸位。這個指令在 ASCII 碼中需要 000 和 1101 的信號。

爲了接成環狀計數器，我們將 7496 的任一輸出接到串聯輸入，如下圖所示，係將第 10 腳接回第 9 腳，則可構成五位元的環狀計數器。其工作須先將所有輸出清除爲 0，然後在合適的預置輸入端把所需要的二進位數 1 輸入，最後當 Clock 信號輸入時，預置輸入的信號即在輸出端循環出現。圖 D13-3 中的 AND 閘是用來控制計數器的動作。當防止彈跳開關在維持（Hold）低電位時，且 Clear 爲高電位時，信號即輸入預置輸入端，然後當防止彈跳開關在循環（Circulate）高電位時，輸出端信號即隨 Clock 信號而產生循環輸出。

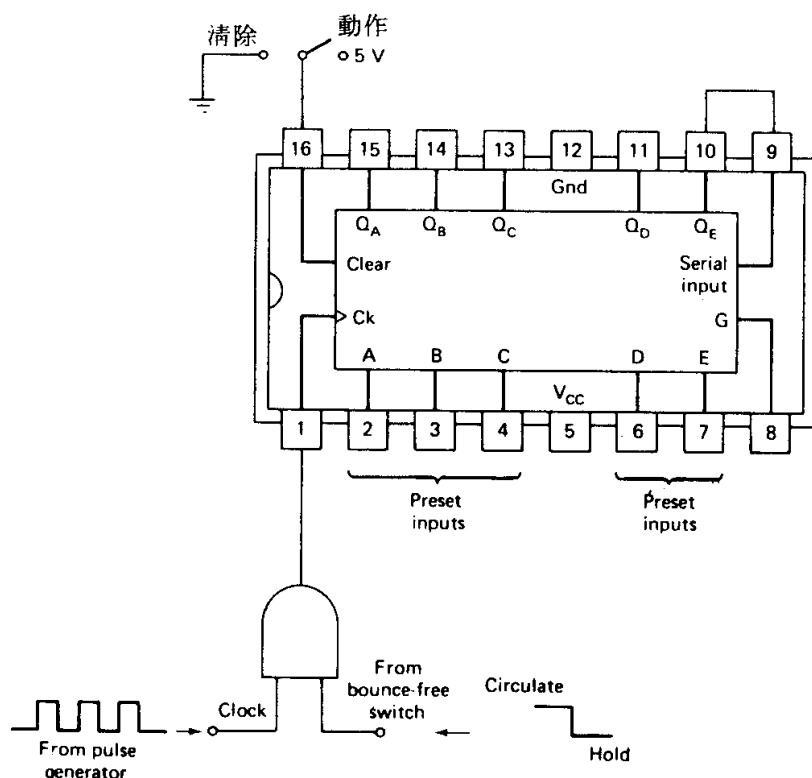


圖 D13-3 利用 7496 作環狀計數器，請注意第 1 腳所接 AND 閘二輸入信號的關係

使用器材

IC : 7400× 7496×2

顯示器：5 組 LED 與 $270\ \Omega$ 電阻串接的顯示器

函數波產生器

示波器：10MHz 雙跡示波器

實驗步驟

1. 暫存器特性試験

- ① 將 7496 固定在免錫電路板上，將防止彈跳開關的輸出接到 Clock 輸入端。所有顯示器均接在輸出端。
- ② 將預置啓動（Preset Enable）接地，同時預置輸入保持空接。
- ③ 將電源 ON，（用 +5V），同時將所有輸出清除。（把 Clear 瞬間接地後空接），此時 Clock

應為 Low。

- ④ 將 Clear 和串聯輸入端均接到 High 電位。
- ⑤ 將函數波產生器輸出的 Clock 信號輸入，觀察五個輸出端的顯示情形，請問 Clock 的正緣或負緣時信號改變？
- ⑥ 需要多少個 Clock 脈波才能將所有的 1 存入暫存器？
- ⑦ 當輸出端全數為 1 時，將 Clock 變為 Low，且將串聯輸入端接地，然後將 Clock 重新輸入，請問需要多少個 Clock 脈波後，才能將所有的 1 卸掉？

2. 移位暫存器的信號傳遞試驗

- ① 將預置輸入 D，E 接地，而將 A，B，C 接 +5V。
- ② 將 Clock 置於 Low，且將所有輸出清除，預置啟動置於 High。請問輸出 $Q_A Q_B Q_C Q_D Q_E$ 是否為 11100？
- ③ 將預置啟動改為 Low，且將 Clock 脈衝輸入，請問輸出有何改變？
- ④ 繪出 Clock， Q_A ， Q_B ， Q_C ， Q_D 與 Q_E 的時間對電壓變化波形。
- ⑤ 請問在串聯輸出端 Q_E 最先出現的二進位數 11100 是 MSB 或 LSB？

3. 暫存器串級實驗

- ① 將第二個 7496 接到免銲電路板上，而把第一個 7496 的 Q_E 輸出接到第二個串聯輸入端（第 9 腳）
- ② 將這兩個 IC 的 Clock 接在一起，且將第二個的預置啟動接地，而將所有預置輸入空接。
- ③ 將 LED 顯示器接在第二個 IC 的輸出端。
- ④ 將電源接上，並使兩個 IC 的輸出均清除為 0。
- ⑤ 將 ABCDE = 10100 輸入第一個 IC，且將二者之 Clear 接到 High。
- ⑥ 輸入 5 個鐘脈衝輸入，請問第二個 IC 輸出情況如何？
- ⑦ 到底這種信號傳輸方式是串聯式或是並聯式？

4. 環形計數器試驗

- ① 將前項實驗中第二個 7496 拿走，並將第一個 7496 接線如圖 D13-3，AND 閘由兩個 NAND 閘完成。
- ② 將函數波產生器的脈波輸出接到 Clock 輸入端，而將防止彈跳開關的輸出接到 AND 閘的另一輸入端。
- ③ 將防止彈跳開關輸出置於 Low，使 Clock 閘為 0，然後輸入 ABCDE = 10100。
- ④ 調函數波產生器使輸出頻率為 1KHz，同時將防止彈跳開關置於 High，使 Clock 閘能工作。
- ⑤ 利用雙跡示波器觀察 Q_E 輸出信號與 Clock 輸入信號，繪出其波形來。
- ⑥ 將預置輸入的信號改為 ABCDE = 10000，重複以上步驟，並繪出其波形。學者當可了解環形計數器的工作。

〔名詞測驗〕 請解釋下列英文縮寫名詞（答案在附錄 A）

RAM	LED	BW	SOS
TTL	RTL	JFET	DTL
WOM	LSI	PROM	A/D
LSB	S/N	I/O	VCO
DIP	Modulo-8	BCD	SCR
I^2L	M/S FF	MOS	
MOSFET	MSI	DPDT	
CMRR	μP	ASCII	

實驗 C13：暫存器（CMOS）

相關知識

在 CMOS 族中 4035 可說是應用較為廣泛的移位暫存器，它不但具有串聯、並聯兩種輸入方式，並且能提供串聯和並聯兩種輸出方式。下圖表示將 4035 作為由左向右的移位暫存器。

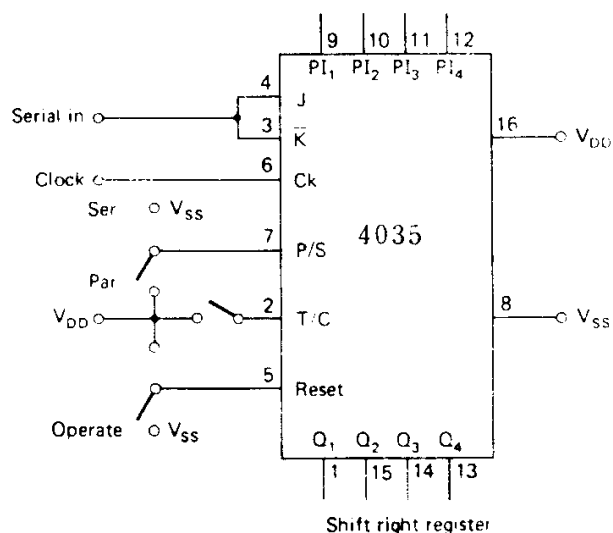


圖 C13-1 4035 四階右移暫存器，當 P/S = V_{SS} 時做串聯輸入，當 P/S = V_{DD} 時做並聯輸入

同時 4035 也可作為左移—右移暫存器，如圖 C13-2 所示。其輸出亦有兩種方式，其一為暫存器的真實內容，其二為真實內容的補數。當要顯示真實內容時 T/C 腳須接 V_{DD} ，若要顯示其補數時 T/C 腳須接 V_{SS} 。至於傳輸模式的選擇係由 P/S 腳所決定。當 P/S 是高電位時，信號是並聯輸入，而當 P/S 為 Low 時，信號由 J \bar{K} 端串聯輸入，無論那一種方式輸入，其傳送動作均在 Clock 波形的正緣工作。

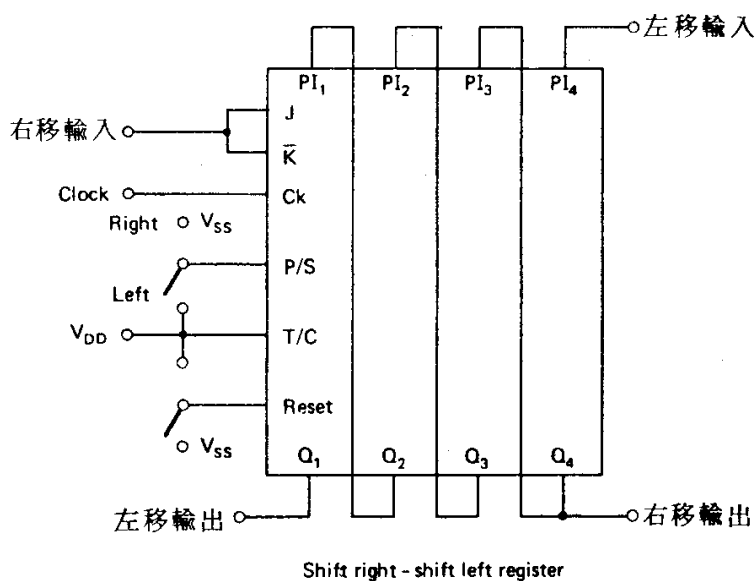


圖 C13-2 利用 4035 作右移—左移暫存器的接線

使用器材

IC：4035，4011（或 4081），各一
 LED：LED 顯示器 4 個，及 4050 緩衝放大器一個
 函數波產生器一台
 雙跡示波器一台

實驗步驟

1. 向右移位暫存器

- ① 先將 4050 與 LED 照圖 C13-1 接線完成，其中 7400 的輸入改為 LED。
- ② 照圖 C13-1 的右移暫存器接線，置 $V_{DD}=5V$ ， $V_{SS}=0V$ ，且將防止彈跳開關接到 Clock，並將 LED 顯示器接到四個輸出端。
- ③ 置定下列情況： $\overline{JK}=1$ ， $CK=0$ ， $P/S=0$ 為串聯傳輸方式，且將 $T/C=1$ 使輸出為真實內容。
- ④ 將復置 Reset 接至 1 以清除各計數器。
- ⑤ 置 $T/C=0$ 看輸出端有何改變？
- ⑥ 將 T/C 接回 1，開始將防止彈跳開關輸出時序波，則輸出有何變化？
- ⑦ 若要將 1 傳輸到所有記錄器，需多少個時序波？
- ⑧ 將串聯輸入端 \overline{JK} 接到 0，並重新將時序波加入，請問需多少個脈波才能將記錄器中的 1 卸完？

2. 並聯式右移暫存器

- ① 將 PI_1 ， PI_3 接至 V_{DD} (1)， PI_2 ， PI_4 接至 V_{SS} (0)，置 Clock 於 Low，且將 P/S 接於 V_{DD} ，以作並聯傳輸方式。
- ② 將 Clock 接於 High，請問輸出狀態如何？
- ③ 將 P/S 接回 V_{SS} ， \overline{JK} 仍在 V_{SS} ，輸入 Clock 後，請把 Q_1 ， Q_2 ， Q_3 ， Q_4 與 Clock 波形繪出。

3. 環形計數器

- ① 利用 4011 作時序波控制 AND 閘（或直接以 4081 的 AND 閘使用），然後將 4035 接線如圖 D13-3。
- ② 調函數波產生器的輸出為 1Hz。
- ③ 將 Q_4 （第 13 腳）接至 \overline{JK} 輸入端（第 3、4 腳），這樣能使計數器產生循環動作。
- ④ 設定輸入原始狀態為 $PI_1=PI_3=1$ ， $PI_2=PI_4=0$ 。
- ⑤ 將防止彈跳開關的輸出置於 Low，使計數器處於 "持定" Hold 狀態（參閱圖 D13-3），同時將 $P/S=1$ 為並聯傳輸方式。
- ⑥ 將 Clock 控制閘改為 "循環" Circulate 狀態，短時間後再回至 "持定" 狀態，請問輸出是否仍為 1010？
- ⑦ 將 P/S 置於 Low，同時將 Clock 控制閘置於 "循環" 狀態，利用示波器觀察 Clock 控制閘的輸出變化。
- ⑧ 將 Clock 頻率調至 1KHz，利用雙跡示波器觀察 Q_4 和 Clock 輸入端信號，並將此二波形繪出。
- ⑨ 將 T/C 改接在 V_{SS} ，觀察輸出信號是否為 1010 的補數（即是否為 0101）？
- ⑩ 將各腳接線收為圖 C13-2 之右移—左移記錄器，改變 P/S 接點，觀察左移，右移之情況，若能了解其動作，則對 4035 的使用當能更進一步。

實驗 D14：通用移位暫存器（TTL）

74194 是 TTL 族中四位元的雙向移位暫存器，具有四種可能的操作模式：

並聯傳輸模式 $S_1S_0=11$

串聯傳輸，右移模式 $S_1S_0=01$

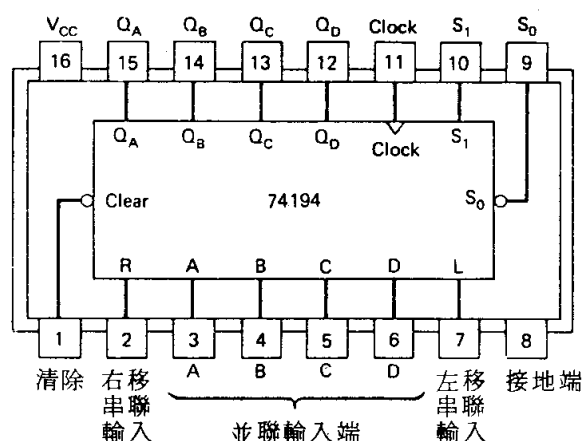
串聯傳輸，左移模式 $S_1S_0=10$

時序波抑制模式 $S_1S_0=00$

此種 IC 結合了移位暫存器的各種特點。本實驗即利用 74194 作除（或乘）以 2 的計算電路，和移位計數器（或詹森計數器）。

將一個二進位數乘以 2，可由移位方式來完成，即將整個二進位數左移一位，而在其右邊加一個 0。例如：在 $5 \times 2 = 10$ 的場合，以二進位表示為 $101 \times 10 = 1010$ ，在 $10 \times 2 = 20$ 的場合，為 $1010 \times 10 = 10100$ 。除法則以相反方向完成，即將整個二進位數右移，移去最右邊的 0，直到最小位數 LSB（即最右一位）變成 1 為止，例如 $111 \div 10$ 並不等於 011，這種除不盡的情形，可將其餘數 0.5 化成小數點後的進位。

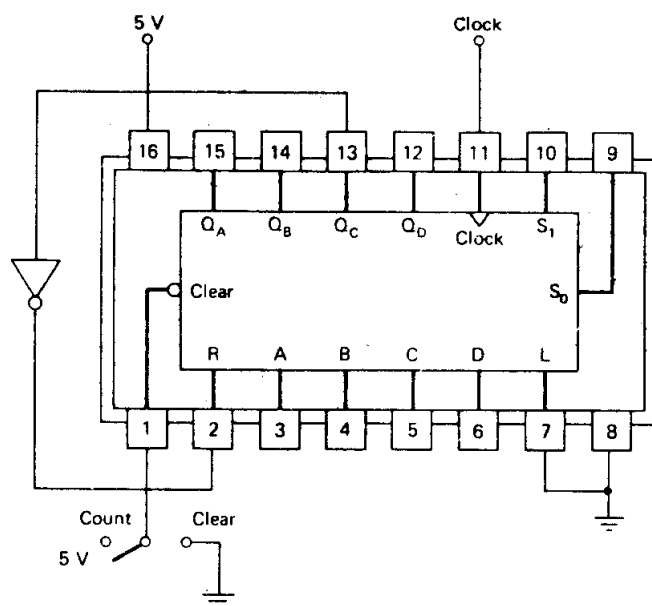
本實驗中，我們只做可以整除的除以 2 的除法，您可以發現利用 74194 即可做乘以 2 或除以 2 的計算，並不需外加其他電路。唯一需要的是當數字在移動時，要將左移或右移串聯輸入端接地。倘若沒有這樣做，數字在移動時會依次加 1。



控制輸入		動作模式
S1	S0	
0	0	抑制時序波（無動作）
0	1	右移（從第 2 腳輸入）
1	0	左移（從第 7 腳輸入）
1	1	並聯負載（從 3，4，5，6 腳輸入）

圖 D14-1 74194 接腳圖及操作模式說明

這與實驗 D13 所說的環形計數器不同，移位計數器是一個真正的計數器。其基本電路極類似移位暫存器，我們在將圖 D13-1 的 Q_D 輸出接到輸入端，即可將移位暫存器改為移位計數器，而由於時序波同時加到每一個正反器，這個計數器就作同步式的計數。為了瞭解本電路的動作情形，假定其原始狀態為 $Q_DQ_CQ_BQ_A=0000$ 且 $\overline{Q_D}=1$ 。在下一個時序波時， $\overline{Q_D}$ 的 1 會傳送到 Q_A ，而 $\overline{Q_D}$ 仍保持 1 直到第四個時序波過後。此時四個輸出端均為 1，待再來的四個時序波過後，它們又都變為 0，這種由四個正反器組成的移位計數器，能將時序波頻率除以 8。因此，由 n 個正反器組成的移位計數器即能做除以 2^n 的計數。此與 n 階二進位計數器不同，其所能做的則為除以 2^n 的計數。



三階移位計數器的真值表

脈衝	C	B	A	十進位值
0	0	0	0	0
1	0	0	1	1
2	0	1	1	3
3	1	1	1	7
4	1	1	0	6
5	1	0	0	4
6	0	0	0	0

圖 D14-2 利用 74194 作除以 6 移位計數器

如圖 D14-2 所示，我們能把 74194 移位暫存器改為三階的移位計數器。由於 74194 本身沒有互補輸出，所以需要外加的反相器。學者很快可以看出移位計數器的輸出並沒有標準型式（意即並非 BCD 碼，十進碼，七節顯式.....等）。同時，從十進數的等值數中可以看出沒有 2 與 5 出現。可見這兩個狀態是錯誤的狀態。倘若本計數器出現這兩種狀態，或其中之一狀態，則可證明其邏輯順序已錯誤，不能照圖 D14-2 的真值表工作了。此種情形在電源剛啟動時較易發生。因此，為了確保移位計數器的正常操作，可外加一個邏輯閘，將錯誤的狀態值輸入後，使其輸出成為歸零狀態，這樣就可將錯誤的情形除去。（學者試設計之）

使用器材

IC：74194，7400，7404 各一
LED：4 組 LED 顯示器（接於輸出端用）
數位電路實驗板

實驗步驟

- 74194 移位特性試驗
 - 將手動脈衝開關接到 74194 的 Clock 輸入端。
 - 第 7 腳接地，第 2 腳接至 +5V。將四組 LED 接在 Q_A ， Q_B ， Q_C ， Q_D 輸出端上。
 - 將電源打開，且將輸出歸零（將 Clear 端瞬時接地即可）。
 - 置控制輸入端 $S_1=0$ ， $S_0=1$ ，然後將 Clock 信號自第 2 腳輸入。
 - 將 Clock 脈波輸入，觀察 1 狀態是否從 Q_A 傳送至 Q_D 。（由 LED 之閃爍即可得知）

- ⑥ 將控制模式改為左移模式，同時將 Clock 輸入。請問輸出有何不同？
- ⑦ 倘若將左移串聯輸入端（第 7 腳）保持在高電位，則輸出情況有何不同？

2. 乘以 2 與除以 2 的電路

- ① 將串聯輸入端第 2、7 兩腳接地。
- ② 設定並聯輸入端所要傳送的數字為 3，即設定 ABCD=0011（注意 A、B 兩腳均需接地）。
- ③ 將第 1 腳瞬間碰低電位，以清除暫存器之輸出使其均為 0。（註：本步驟一定不可省略，因為當時序波變成 High 時，如果 A=0，則 Q_A 維持在原有狀態（0 或 1），但若 A=1，則 Q_A 一定變成 1）
- ④ 設定 S₁S₀=11，同時輸入時序波。則可看見原來存的 0011，向左移兩個位置。
- ⑤ 請問所產生的數字相當於十進位數多少？這是乘以 2 或除以 2 的接法？

3. 移位計數器（或詹森計數器）的波形觀測

- ① 如圖 D14-2 接線，但 Q_D 不接 LED 顯示器。
- ② 利用 7400 的一組 NAND 閘作反相器接於 Q_C 輸出端，或利用 7404 的一組反相閘製作。
- ③ 將計數器清除後，將 Clock 脈波以扳動開關輸入。
- ④ 每輸入一個 Clock 脈波，就記錄其輸出狀況一次，然後將 Clock，Q_A，Q_B，Q_C 的變化按六個 Clock 脈波的順序繪出圖形。

4. 觀察非法狀態（Illegal State）的情況

（註：本步驟旨在觀察移位計數器中非法狀態產生的情況，並藉此找出防止的對策）

- ① 將 B 接地，A、C 接至 +5V（此為任意設定狀況）
- ② 將 Clear 接地，同時將 S₁，S₀ 接至 1。
- ③ 將 Clear 還原至高電位，然後將 S₁ 接至 0。則此時 Q_AQ_BQ_C=101。
- ④ 以扳動開關輸入 Clock 脈衝，依序觀察 Q_A，Q_B，Q_C 的變化情況，將不合邏輯的情況記錄下來。
- ⑤ 請您設計出防止非法狀態發生的電路（提示：只要外加邏輯閘即可）。

5. 證明非法狀態已被消除

- ① 將脈波產生器（或方波產生器）輸出 1KHz，接到您所完成的移位計數器 Clock 輸入端。
- ② 利用雙跡示波器觀察 Clock 與輸出波形的變化情況。觀察前先將計數器清除，以確定確實無非法狀態。
- ③ 改變回授接線，將 Q_C 改至 Q_B，然後再將 Q_B 改至 Q_D，請問鐘脈波在這兩種情況下分別除以多少？
- ④ 按照 4 項中 1~4 步驟完線，則在加上防止非法狀態電路後，其結果是否已被改善？

實驗 D15：記憶器（TTL）

相關知識

本實驗為使學者熟習 RAM（Random Access Memory 隨意存取記憶器）與 ROM（Read Only Memory 僅讀記憶器）的工作原理，以作為學習微電腦的基礎。

在實驗 D13 中，我們已學過如何將一組數元存入暫存器中，然後以移位方式依次將各數元還原。這就是一種順序存取的記憶方式，意思就如我們希望看到存在暫存器中第五個數元的內容，必須將前四個數元都讀出後才能看到。當然，我們更希望能指出所要數元的位置，並且能立刻將其讀出。大型計算機所用的磁碟，以及 TTL 中的 7489，CMOS 中的 1101 均為此種隨意存取的記憶元件。使用者只要將資料的地址碼（Location Code）和讀／寫指令（Read/Write Command）輸入，即可進行隨意存取的工作，此即 RAM 的動作原理。

至於 ROM，它裏面所存的資料，僅能讀出而不能寫入。因為是以永久性方式存入的，所以無法更改其資料。倘若將 ROM 移開電路，其內容仍不受影響。二極體矩陣寫碼電路或整組的二進位寫碼指令均可燒入 ROM 裏面，長期儲存在其中。一般 ROM 的製造廠均根據顧客的需要，將程式定型在其中。例如 2513，即作為特性產生器用，這是標準的 ROM。學者也可買半成品來自己燒。RAM 則有兩種，一種為可變的（Volatile）是由半導體製成，一種為不可變的（Nonvolatile），例如磁碟或磁帶。而所謂可變的乃是當電源 OFF 時，所存的資料隨著消失。

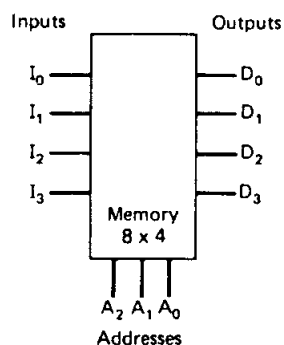


圖 D15-1 32 位元的記憶器，每字 4 位元，共容納 8 字

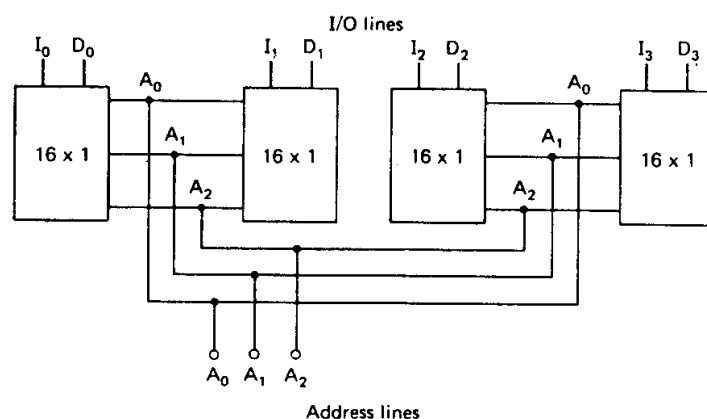


圖 D15-2 4 個 16 位元的記憶器，可存取 16 個字，每字 4 位元

在今天普遍流行的計算器（Calculator）中，ROM 和 RAM 廣被使用。假如在一個計算器中能儲存數個數字，卻只能順序取出時，則它只包含一個暫存器而無 RAM，這叫做拼湊式記憶器（Scratch-Pad Memory）。但為了能隨意取出任一儲存的數字，必須使用 RAM 方可。科技用的計算器

能做較複雜的計算，例如對數（log）和指數（exp）……等運算，這些指令均儲存在一個 ROM 中。"可程式"（Programmable）的計算器則使用許多 RAM，因此當電源關掉時，所有存入的資料和程式均一起消失。為補救此缺點，可將資訊內容儲存在磁帶中或打成卡片。有趣的是，如果是利用乾電池動作的 CMOS 記憶體，由於 CMOS 消耗甚少功率，因此當計算器主體已斷路後，記憶體中的資料仍可儲存達數月之久。

RAM 的結構係根據所需存取的字數及每字所需的位元而定。例如，總數為 32 位元的記憶體，可儲存 8 個每字 4 位元的字（Words）。倘若在記憶體中有 8 個字。則必需有 8 個位址（Address），而對每個地址的二進位表示則需使用 3 條線（ $2^3=8$ ）。圖 D15-1 所示即為上述之結構方式。大多數 N 位元的記憶體係排列成 $N \times 1$ 格式，意即在 256 位元的記憶體中，包含 256 個字（每字佔 1 位元）。如要進行每字 4 位元的存取動作，則需將四個此類記憶體並聯在一起，如圖 D15-2 所示。學者可以看見，當記憶體並聯時，地址線均並接在一起。

記憶體讀寫的正常控制順序始於 OFF 狀態。倘若該 IC 不是在啟動狀態下，則不論是讀出或寫入均無法進行。因此需根據該 IC 的特性資料加給它適當的控制訊號，以使其處於可用狀態。然後將字的內容及其地址均以二進位方式輸入，即可進行存取的動作。假如輸入到讀／寫（R/W）輸入端的訊號為高電位（例如在 7489 の場合），則將地址輸入後其內容即在輸出端被讀出。反之若輸入 R/W 的訊號為低電位，則所輸入的內容即按指定的地址被寫入。但是在 R/W 輸入變成低電位之後，它必須在地址與資料改變前回復到高電位，否則 IC 無法動作。假如當 R/W 在寫的狀態下改變地址，則輸入資料將寫入不可預期的地址中。因此，寫的命令（Write）通常為一個脈衝。假如需要高速度的操作，使用者應參閱製造廠的資料手冊，以確知可能的最小存取時間，和在寫的脈波之前或後能將地址資料改變的最小時間。（編者註：有關 ROM 及 RAM 的特性及使用方法，除可參閱資料手冊之外，一般微處理機及數位電路實習的書籍均可參考，請學者多加利用）。

使用器材

IC：7489×2，7448×1，7490×2
 十進位計數器
 解碼顯示器（實驗 D8 所做）
 脈波產生器（能產生 1Hz 或更低頻者）

實驗步驟

1. 拼湊式記憶體（Scratch-Pad Memory）

由於 7489 是 64 位元記憶體，其結構為 16 字×4 位元組態，有 4 條地址線（ $2^4=16$ ），4 個輸入端，4 個輸出端，一條啟動線，和一條 R/W 線。每一個輸出均為集極開路結構，因此需要提升電阻約 1 kΩ 接於 +5V 和輸出端之間。同時，按照 TTL 的特性，所有空接的輸入端均為 High 電位，萬一不是 High，才需加一 10kΩ 電阻於 +5V 和輸入端之間。現在根據以上說明進行試驗。

- ① 如圖 D15-3 接線，任意設定一個地址 1101=13 輸入。
- ② 將第 2 腳 CE 接至高電位，同時記錄輸入與輸出。
- ③ 置第 2 腳於低電位，同時將第 3 腳（R/W）開路，核對輸出是否與②中一樣。
- ④ 輸入任一數目於輸入端（例如 7=0111），請問輸出是否改變？
- ⑤ 將 R/W 瞬間接地後又回復高電位，則輸出為何？
- ⑥ 核對第 3 字和第 15 字的內容，是否無誤？

（註：由於啟動腳為反相，所以在邏輯 0 時會啟動，同時，輸出資料亦均為反相）。

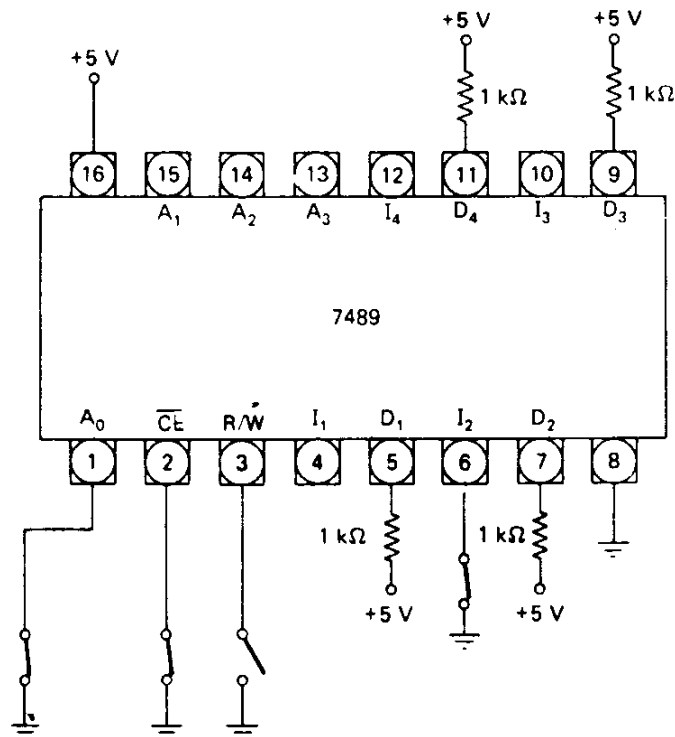


圖 D15-3 RAM 記憶體動作特性觀察，本 IC 可讀出地址 14 中所存的 4 位元字之內容，假如 R/W 開關瞬間接通，則 1011 的字將被存入

2. π 值的存取

- ① 利用實驗 D8 的解碼顯示器，將記憶器的內容加以解碼。七節顯示器最好買有小數點顯示者，如無小數點者則如下圖接線。

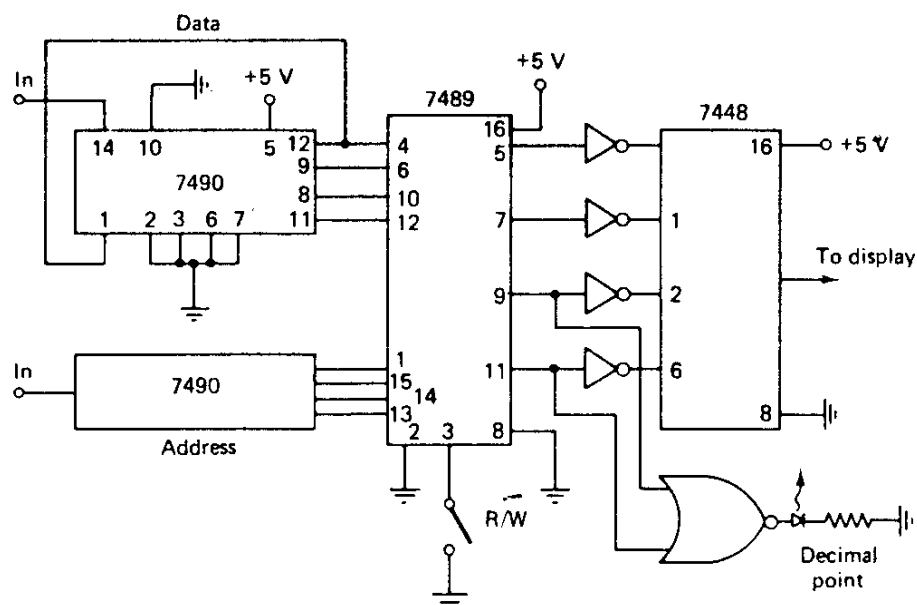


圖 D15-4 十進位計數器 7490 係用來存入地址及內容給 7489 用，7489 輸出端的提昇電阻圖中未表明，學者須自行接上

- ② 當 R/W 為 High 時將 3.14159265 按照地址順序送到合適的輸入端，然後將 R/W 瞬間接地，則資料依次被存入 7489 裏面。
- ③ 小數點的處理，如 LED 無小數點的顯示，則當 7448 輸入為 1111 時，顯示器呈現空白，利用此種情況來表示小數點，或者再加一個 NOR 閘與 LED 來表示小數點，則當記憶器

輸出為 0000 時，小數點即被點亮。

- ④ 當 3.14159265 已完全被存入記憶器後，我們就要利用一台脈波產生器將其讀出。請問如何讀出？
- ⑤ 由於上法甚快可讀出，因此我們另外假設以並聯方式讀出。假如您有 8 個 64×1 的記憶器，請問您如何將 π 存入第 59 個字中，當然，無法存入上述 π 的全部數字，請問有多少字可以被存入？
- ⑥ 請將輸出一輸入線、地址線和解碼顯示各單元均繪出圖形（假設輸出沒有倒相）。
（編者註：學者若能完成上述問題，則對於微處理機的學習，已具有基本必備的基礎了！）

第二部分

類比電路實驗

本段所介紹的類比電路（Analog Circuits），意即指輸出與輸入成某一比例的各種電路。其中所使用的零件都是價格低廉的 OPA（運算放大器），從簡單的放大器到對數放大器，活性濾波器……等。為了使電路更具有教育價值，盡可能的選用有實用價值的電路。幾乎在附錄 B 中所列的各種 OPA 均能用來進行每個實驗，假如您希望改善電路的高頻響應、減小功率損耗……您可從附錄 B 的表 1 中選擇合用的 OPA，其中最常用的乃是 741 和 307，因為它價格低廉，使用方便。

大多數的 OPA 均需有雙電源的供應，本段各項實驗所使用的電源為 ± 3 到 $\pm 18\text{V}$ ，最常用的為 $\pm 15\text{V}$ ，其 +、- 電源的共同接地點係接到電路中的地端，請不要弄錯。

所有的實驗均用免銲电路板作接線基板，使用時先將 IC 固定在中央部份，接線務求整齊明朗且盡量縮短，電源供應線及地線應照板上最合用的位置連接。

實驗 A1：運算放大器一般特性

相關知識

運算放大器係一具有差動輸入的高增益直流放大器，如圖 A1-1 所示，該 OPA 具有 A_o 的增益，且因其具有兩個不同電壓的輸入端，所以叫做差動輸入方式。其輸出電壓 V_o 等於 $A_o(V_2 - V_1)$ ，其中 A_o 稱為運算放大器的開環增益（Openloop gain），或叫環路增益，一般數值大於 50000，圖中一輸入端稱為反相輸入，因為當 $V_2 = 0$ 時 $V_{out} = -A_o V_1$ ，而 + 輸入端稱為非反相輸入，因為當 $V_1 = 0$ （接地）時 $V_{out} = +A_o V_2$ 。

運算放大器的實用電路並不像圖 A1-1 所示的開環接線，而是在輸出、輸入端之間加上一些電阻、電容以形成環路，這樣能把一部份輸出回授到輸入端，一般將回授接至負輸入端，稱為負回授，其增益即稱為閉環增益（Closed-loop gain） A_f ，數值遠小於開環增益。

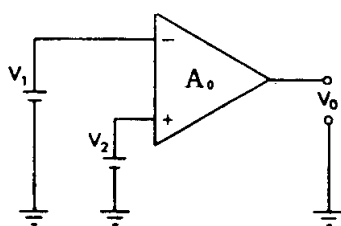


圖 A1-1 理想運算放大器 $V_o = A_o(V_2 - V_1)$

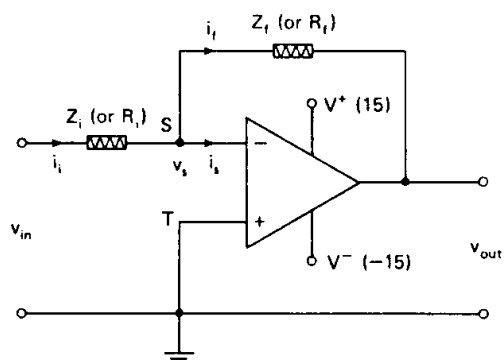
負回授的接線能用來控制電路的工作，因此，同一個運算放大器可以接成許多不同功用的電路，例如可以做 AC 和 DC 放大器、積分器、振盪器、濾波器、電壓調整器……等等。

圖 A1-2 表示 OPA 的反相接法， Z_i 為輸入阻抗， Z_f 為回授阻抗，這兩種阻抗均由外加零件獲得，通常 Z_i 和 Z_f 代表電阻值。輸入和回授均接至反相一端，而將非反相輸入端 + 接地。

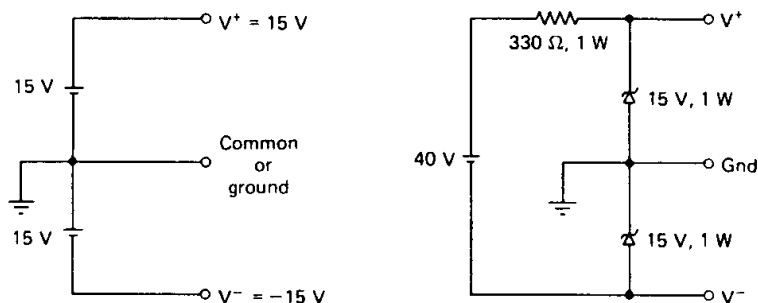
由於開環增益 A_o 甚大，S 點的電壓即可視為 0，因為 $v_s = v_{out}/A_o \approx 0$ ，S 點被維持在虛接地的情況下。現在假設 $v_s = 0$ ，我們可以將輸入、輸出電壓寫成 $v_{in} = i_i Z_i$ ， $v_{out} = i_f Z_f$ 。此時需再利用 OPA 的另一特性來計算其增益：即在一、+ 輸入端之間的電阻為無限大。開環輸入電阻 $R_{in,0}$ 至少為 $10^6 \Omega$ ，意即沒有電流流入或流出 +，- 輸入端，所以 $i_s \approx 0 \approx i_i - i_f$ 。這種高增益和高輸入阻抗元件的

閉路增益計算只有根據外加零件的數值獲得：

$$A_f \equiv \frac{v_{out}}{v_{in}} = \frac{-i_f Z_f}{i_i Z_i} = \frac{-Z_f}{Z_i} \dots\dots\dots(1)$$



(a)



(b)

圖 A1-2 (a) 反相 OPA 電路接法，其增益 $A_f = \frac{Z_f}{Z_i}$ 圖中 S 表反相輸入端

，T 表非反相輸入端

(b) 雙電源供給方式，左圖使用兩組電源，右圖只用一組電源，而以稽納二極體將其分開

當輸入阻抗和回授阻抗均用電阻器時

$$A_f = \frac{-R_f}{R_i} \dots\dots\dots(2)$$

這是閉環增益的計算，根據 R_f 和 R_i 而獲得，學者可見輸出與輸入之間呈線性關係。此外閉環輸入阻抗可由下式算得：

$$Z_{in} \equiv \frac{v_{in}}{i_i} = Z_i = R_i \dots\dots\dots(3)$$

由此可見輸入阻抗與 OPA 的特性無關。至於閉環輸出阻抗，在一般輸出電流 $i_o \leq 5\text{mA}$ 的情況下，約等於 0。大多數 OPA 均有短路保護裝置，限制輸出電流於某一安全數值，例如在 741 和 307 的情況下，其最大輸出電流限制在 25mA。

使用器材

IC：741 或 307（具有內部補償的 OPA 均可）各一

電阻：1kΩ 各四，10kΩ 二個，若有十進制細調電阻箱更好，或用 100kΩ 電位器

雙電源供給器：輸出 ±30V 電流 2A 以下

數位三用表

實驗步驟

1. 直流增益

- ① 利用圖 A1-2 之接線，使 $Z_i=R_i=1k\Omega$ ， $Z_f=R_f=10k\Omega$ ，OPA 用 741，雙電源用 ±15V。
- ② 從反相輸入端加入直流電壓 $V_{in}=1V$ ，利用數位電壓表量出輸出電壓 V_{out} ，請問此數值與公式 1 計算的結果是否相同。
- ③ 更換 R_f 為 1kΩ，2kΩ，5kΩ，重複 2 之測量，證明公式 1 為正確。

2. 虛接地測試

- ① 按 1 之方式接線，使用 $R_i=1k\Omega$ ， $R_f=10k\Omega$ ，當電源接上後，將 V_{in} 輸入，利用數位三用表量度 S 點電壓（反相輸入端電壓）。
- ② 核對 S 點電壓與輸入電壓 V_{in} 是否相同？以此證明 S 點為虛接地。（編者按虛接地之意義為該點電壓接近 0V，但無電流流經此點通地）。

3. 輸入阻抗測試

- ① 接線仍如圖 A1-2，取 $R_i=1k\Omega$ ， R_f 用 100kΩ 電位器， $V_{in}=1V$ ，調整 R_f ，每 2kΩ 為一段，自 5kΩ 調至 21kΩ。
- ② 以數位電表量度 R_i 兩端電壓，計算 V_i ，計算 $I_i = \frac{V_i}{R_i}$ 。
- ③ 計算 V_{in}/I_i 即為輸入阻抗，其值甚接近 R_i 。
- ④ 當調整電位器時，同時量度輸出電壓，找出 R_f 在何值時，該 OPA 呈現非線性情形？
- ⑤ 移開 R_f ，找出 OPA 的飽和時的輸出電壓。
- ⑥ 將 V_{in} 改為 -1V，則 OPA 的飽和電壓為多少？

4. 輸出阻抗測試

- ① 取 $R_i=1k\Omega$ ， $R_f=10k\Omega$ ，輸入 $V_{in}=1V$ ，在輸出端和地之間接上一個 100kΩ 可變電阻 R_L 。
- ② 調電位器 R_L 使其值為 ∞（不接時），10kΩ，5kΩ，2kΩ，500Ω，200Ω，100Ω……等，每變化一次即量 V_{out} 一次，並記錄之，且計算 V_{out}/R_L 之值。
- ③ 繪出 V_{out} （垂直軸）對 I_L （水平軸）的座標圖。
（註：當 OPA 工作在線性部分， V_{out} 並不受 I_L 影響，其輸出電阻 $R_{out}=A_f R_{out,0}/A_o$ ，其中 $R_{out,0}$ 是 OPA 規格表中的開環輸出阻抗。例如在 741 的場合 $R_{out,0}=75\Omega$ 。原則上， R_{out} 的算法，可從 $R_L=\infty$ （開路）與 $R_L=10k\Omega$ 所對應的 V_{out} 而算出 I_L 值，然後由公式 $R_{out} = \frac{-\Delta V_{out}}{\Delta I_L}$ 算出 R_{out} ，學者即可獲得閉環輸出阻抗約為 0）。
- ④ 從 $V_{out} \sim I_L$ 座標圖中估計 R_{out} 的可能最大值。（最適當的工作區乃在 R_L 大於 2kΩ， I_L 小於 5mA 的範圍內，若 I_L 大於 10mA 以上，你可發現 V_{out} 逐漸減小而 I_L 逐漸增加，此時 OPA 的短路保護裝置將發揮功用，開始限制輸出電流）。
- ⑤ 由座標圖中估計出可能最大的輸出電流。

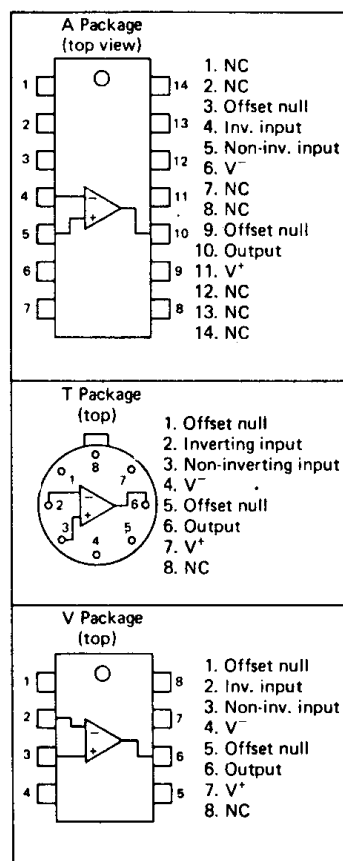
故障檢修 (TROUBLESHOOTING)

如果 OPA 的電路不能工作，需依下列步驟檢修：

1. 核對 IC 中電源電壓的接腳，是否為預定值。倘若電壓低得不可思議，那一定有短路情況發生，要仔細檢查電路的設計。
2. 假如 IC 發燙，可能輸出短路，或者電源反接。
3. 初學者最易犯錯的通常為弄錯了 IC 的接腳，因此在插入電路前最好參考一下資料手冊。
4. 假如 V_{out} 一直保持在某一電源電壓，可見 $R_f = \infty$ 為開路情形， $R_i = 0$ 為短路情形，或者非反相輸入端沒有接地，不然就是輸入信號接地點與 OPA 的接地點不一致。此外，尚須注意輸入端之間的平均電壓不要超過任一電源電壓。
5. 當你量度 V_{ST} （兩輸入端間之電壓）時，若達數毫伏（mV），則可能 R_i 短路，或 R_f 開路，不然就是 IC 損壞了。
6. 假如你加一 AC 信號輸入而無輸出，或輸出信號無法達到 +、- 電源電壓的飽和電壓，則可知輸入元件有問題。

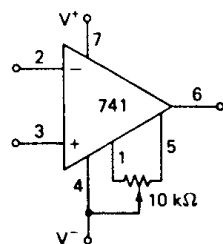
附註：為方便以下實驗，茲列出 741 與 307 之特性資料。

741 High performance operational amplifier

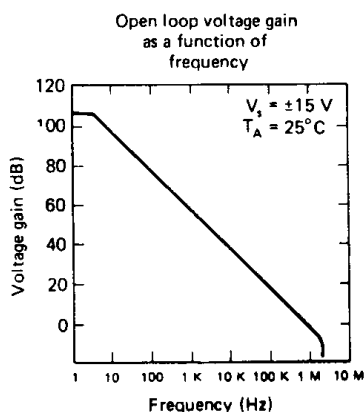


Typical specifications for ± 15 V supply:

Open-loop gain (A_o): 200,000
 Input resistance ($R_{in, o}$): 2 M Ω
 Output resistance ($R_{out, o}$): 75 Ω
 Input offset voltage (V_{os}): 2 mV
 Input offset current (I_{os}): 20 nA
 Input bias current (I_b): 80 nA
 Supply voltage (max.): ± 18 V
 Differential input voltage (max.): ± 30 V
 Common mode voltage range (min.): ± 12 V
 Output voltage swing: ± 14 V
 Common mode rejection ratio (CMRR): 90 dB
 Short-circuit output current: 25 mA
 Slew rate: 0.5 V/ μ sec.

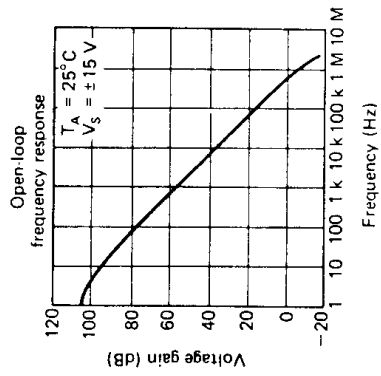
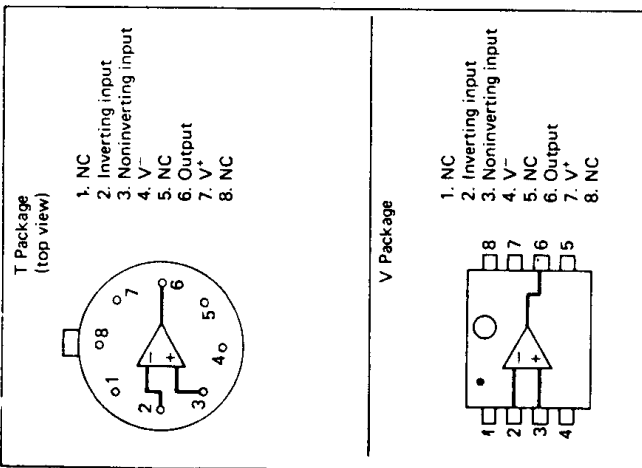


Offset voltage compensation:
(pin nos. for T and V packages)



307 General-Purpose Operational Amplifier: typical specifications for $\pm 15\text{ V}$ supply:

Open-loop gain (A_{o}): 160,000
 Input resistance ($R_{in,o}$): 2 M Ω
 Input offset voltage (V_{os}): 2 mV
 Input offset current (I_{os}): 3 nA
 Input bias current (I_b): 70 nA
 Supply voltage (V_s): $\pm 18\text{ V}$
 Differential input voltage (max.): $\pm 30\text{ V}$
 Common-mode voltage range (min.): $\pm 12\text{ V}$
 Output voltage swing: $\pm 14\text{ V}$
 Slew rate: 0.5 V/ μsec
 Common-mode rejection ratio (CMRR): 90 dB



實驗 A2：非反相放大器

相關知識

從實驗 A1，我們知道反相放大器的輸入和回授均接至 OPA 的反相輸入端（－）。如果我們希望 OPA 具有線性放大器的功能，則外部接線應能供應負回授。但這並不是說輸入端一定非「反相輸入」不可，下圖即表示另一種的接法。

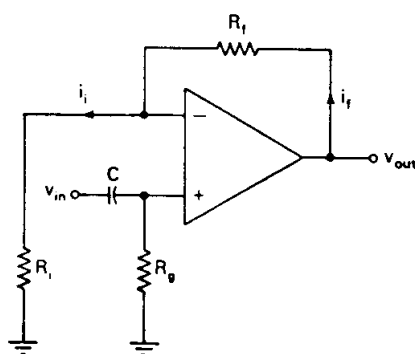


圖 A2-1 非反相 AC 放大器

本電路的閉環增益 A_f 求法，須利用開環增益 A_o 甚大的事實。因為 V_{out} 被限制在 $\pm 15V$ （即電源電壓的兩極之間），且輸入端之間的電壓幾乎為 0，同時因為 +，－輸入端均未接地，所以我們並不考慮虛接地的情況，兩個輸入端可視為同電位。

再者，因為輸入電壓 V_{in} 為 AC 信號，電容器 C 能將直流電壓隔離，若將 C 值選擇得合適，則它對所加 AC 信號均可視同短路。而圖上的 C 與 R_g 即作為高通濾波器之用。兩個輸入端（包括反相與非反相）的電壓均等於 V_{in} 。因此流過 R_i 的電流是 $i_i = V_{in} / R_i$ 。且此電流一定經過 R_f ，（因為沒有電流流進或流出 OPA）。所以在 R_f 上產生的壓降為 $i_f R_f$ ，且此值一定等於 $V_{out} - V_{in}$ 。

我們將其寫成公式為：

$$V_{out} - V_{in} = i_f R_f = i_i R_f \quad \dots\dots\dots 1$$

又利用 $V_{in} = i_i R_i$ 得下式：

$$\frac{V_{out}}{V_{in}} = \frac{R_i + R_f}{R_i} \quad \dots\dots\dots 2$$

這是在 $A_o \gg A_f$ 情況下的結果，若將 A_o 包括進去，可得下式：

$$A_f = \frac{V_{out}}{V_{in}} = \frac{A_o}{1 + \beta A_o} \quad \dots\dots\dots 3$$

其中因為 $\beta = \frac{R_i}{R_i + R_f}$ ，而 β 為回授率（Feedback ratio），所以在 A_o 甚大的情況下 $A_f \approx \frac{1}{\beta}$ 即第

2 式所表示的電壓增益。因此在電壓增益遠低於 A_o 的情況下，用第 2 式即可算出 A_f 值。

此外，在非反相放大器中尚有一重要特性，即其輸入阻抗是由 R_g 來決定，它與 OPA 的閉環輸入電阻呈並聯關係，而此 OPA 的閉環輸入電阻係當 R_g 拿走，且 R_f 存在時從 + 端對地所量得的電阻。例如在 741 的場合，當其非反相接法的增益為 10 時，其閉環輸入電阻約大於 $10^{10} \Omega$ 。

在量度非反相放大器的增益時，必須加入 AC 信號。其開環增益係隨著頻率的增加而減少。此

雙跡示波器：10MHz

- ① 按圖 A2-1 接線，取 $R_i=1k\Omega$ ， $R_g=100k\Omega$ ， $R_f=1k\Omega$ ，OPA 用 741，電源加入 $\pm 15V$ ，C 用 $1\mu F$ 。
- ② 加入 10KHz，1Vac 正弦波於 V_{in} 端。
- ③ 用示波器量 v_{out} ，並核對 $v_{out}-v_{in}=i_f R_f=i_i R_f$ 是否一致。
- ④ 將 R_f 改為 5k 和 10k，其結果是否仍與公式 1 一致？
- ⑤ 完成下表之記錄

	$R_f=1K$			$R_f=5K$			$R_f=10K$		
	$v_{out} - v_{in}$	$i_f R_f$	$i_i R_f$	$v_{out} - v_{in}$	$i_f R_f$	$i_i R_f$	$v_{out} - v_{in}$	$i_f R_f$	$i_i R_f$
計算値									
量度値									
一致 V 不一致 X									

- ⑥ 計算在 10KHz 時電容器 C 之阻抗，請問其對增益的計算有無影響？
⑦ 用雙跡示波器同時觀側 v_{out} 和 v_{in} ，相位是否相同？

① 仍按圖 A2-1 之接線，將 R_i 固定為 $1k\Omega$ ，將 R_f 改變為 $1k$ ， $10k$ ， $100k$ ，且將函數波產生器之頻率從 $1KHz$ ， $10KHz$ ， $100KHz$ 調到 $1MHz$ ，其輸出電壓均設定於 $0.1V_{p-p}$ ，記錄 V_{out} 於下表：

[illegible]

- ② 利用上表之資料，繪在下圖中，即可發現高增益之電路比低增益電路衰減得快。

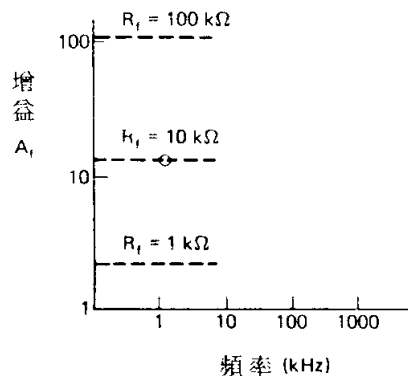


圖 A2-2 非反相 OPA 頻率響應曲線

- ③ 仍利用上表計算在不同 R_f 與不同頻率下之回授率 β 值，比較用公式 3 算得之值與用 $\beta = R_i / (R_i + R_f)$ 算得的結果是否一致？請問 β 值與 A_o 值的變化有何關係？

3. 電壓隨耦器 (Voltage Follower)

- ① 按下圖接線，注意輸出直接接於一輸入端，此種接法使輸出電壓在輸入電壓的共模範圍內 (Commonmode range) 產生同值的變化 (在 741 的場合為 $\pm 12V$)。

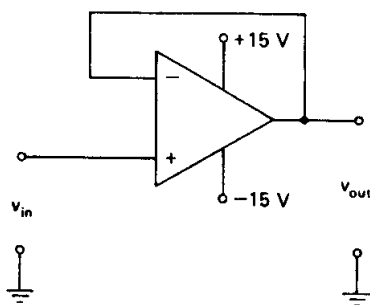


圖 A2-3 電壓隨耦器

- ② 由於本電路有極大的輸入阻抗與極小的輸出阻抗，所以能做阻抗匹配器。且由公式 2 知 $V_{in} = V_{out}$ ，現將直流電壓自 + 端加入，用雙跡示波器觀察，看 $V_{in} = V_{out}$ 之最大正壓與最小負壓為何值。

4. 電容器漏電電流檢知器

- ① 利用電壓隨耦器比較鉭質電容器與鋁箔電解電容器的漏電電流。其接線如下圖，先將鉭質電容器接上，將 S 接通使電容器充電至 1V。

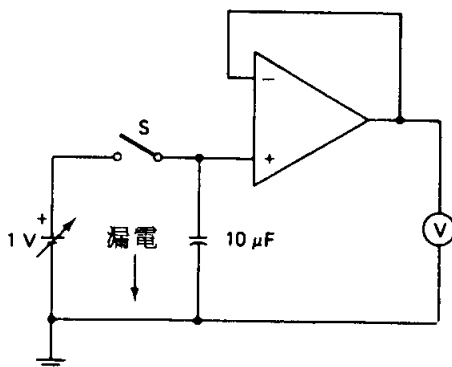


圖 A2-4 電容器漏電電流量度電路，圖中 V 可用數位電壓表

- ② 將開關 OFF，開始計時，看需多久時間電壓衰減到 0.95V，將此時間記錄之。
- ③ 把電容器換成鋁質電容，重複上述之測量，記錄其降到 0.95V 之時間。
- ④ 利用公式 $i = C (\Delta V / \Delta t)$ 計算兩個電容器的漏電電流。
- ⑤ 請問當電容器充電至 1V 時，其有效電阻為多少？以此值比較三用表的阻抗，並與 OPA 電壓隨耦器的輸入阻抗相比，您就可以知道為什麼鉭質電容器較一般電解電容器為優。（由 $R_{in} = A_o R_{in,0}$ 知 OPA 的開環輸入阻抗甚大，學者參考附錄 B 可知 FET 輸入的 OPA536，其 R_{in} 高達 $10^{19} \Omega$ ！）

實驗 A3：和差電路

相關知識

前兩個實驗的輸入信號只加入－，＋二端的一端，現在我們要把信號同時加入兩個輸入端，以利用 OPA 的差動特性，這就是所謂的「差動放大器」（Differential Amplifier）。

如下圖所示的差動放大器，分析電路時仍需利用 OPA 的兩大重要原則即：

- (1) 根本沒有電流流進或流出任一輸入端。
- (2) S 點的電壓與 T 點的電壓相等 ($V_S \cong V_T$)。

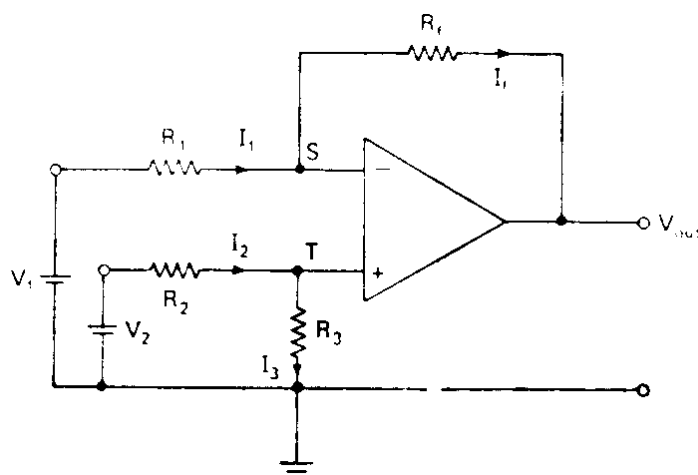


圖 A3-1 差動放大器

由第一個原則可獲得

$$I_1 = I_f, I_2 = I_3 \dots\dots\dots 1$$

由第二個原則可推得

$$V_S = V_T = V_3 = V_2 \frac{R_3}{R_2 + R_3} \dots\dots\dots 2$$

其中 V_3 係 R_3 兩端的電壓降。且由圖中我們可看出 R_1 兩端的電壓降為 $V_1 - V_3$ ， R_f 兩端的電壓降為 $V_3 - V_{out}$ ，因此流過 R_1 的電流和 R_f 的電流分別為：

$$I_1 = \frac{V_1 - V_3}{R_1} \dots\dots\dots 3$$

$$I_f = \frac{V_3 - V_{out}}{R_f}$$

將上式代入 1 式中，可解出 V_{out} 為：

$$V_{out} = V_3(1 + \frac{R_f}{R_1}) - V_1 \frac{R_f}{R_1}$$

然後將 2 式中的 V_3 代入上式，即可獲得輸出電壓與輸入電壓的關係式

$$V_{out} = V_2 \frac{R_3}{R_2 + R_3} \frac{R_1 + R_f}{R_1} - V_1 \frac{R_f}{R_1} \quad \dots\dots\dots 4$$

倘若選用 $R_1 = R_2 = R_i$ 且 $R_f = R_3$ 則可將上式簡化為

$$V_{out} = \frac{R_f}{R_i} (V_2 - V_1) \quad \dots\dots\dots 5$$

可見輸出電壓與輸入電壓的差成一比例。

假如將浮動電壓（未接地）加到輸入端，則

$$V_{out} = (R_f / R_i) V_{in}, \text{ 其中 } V_{in} = V_2 - V_1。$$

對於浮動信號源而言，差動放大器的輸入電阻為 $2 R_i$ 。因為浮動信號源（Floating Source）的接線並未將 OPA 的任一輸入端直接接地，所以它能保持在高於地電位的情況下。差動放大器能以浮動輸入方式去推動接地的負載，如圖 A3-2 所示，其二輸入端至少高於地電位 $2M\Omega$ 。

此種差動 OPA 的電路常作為類比電腦的一部分。從公式 4 中，您可看出 $V_{out} = A V_2 - B V_1$ ，其中 A，B 為任一常數，此即兩個代數值的類比減法。可見圖 A3-1 的接線為減法電路，係數 A，B 之值由外接電阻值而定，因此可照自己意思來設計。

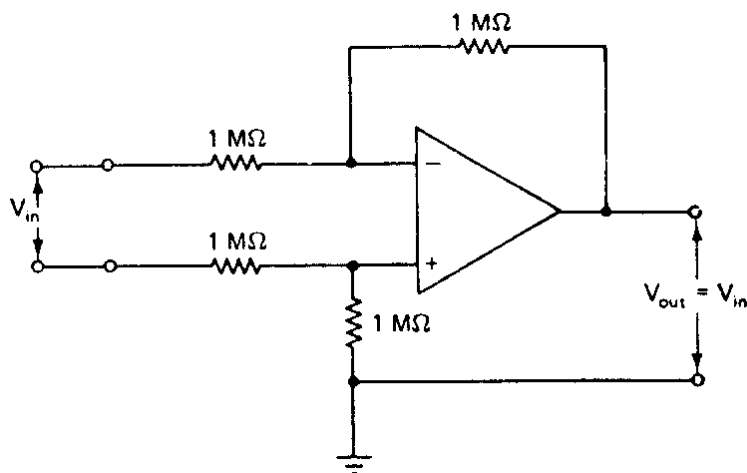


圖 A3-2 OPA 的浮動信號源接法

另外一種利用類比計算方式的電路為加法器（Adder 或 Summer），如圖 A3-3 所示的加法器，可知 $I_1 + I_2 + I_3 \cong I_f$ 且 $V_s \cong 0$ ，若 I_f 的方向為自 S 至 V_{out} ，則 $V_{out} = -I_f R_f$ ，所以當輸入電壓為正時，輸出電壓就為負。

若以電流來考慮，則可寫成下式：

$$\frac{V_1}{R_1} + \frac{V_2}{R_2} + \frac{V_3}{R_3} = -\frac{V_{out}}{R_f}$$

所以加法器的輸出電壓為：

$$V_{out} = -R_f \left(\frac{V_1}{R_1} + \frac{V_2}{R_2} + \frac{V_3}{R_3} \right) \quad \dots\dots\dots 6$$

此式亦可看成類比代數式

$$V_{out} = A V_1 + B V_2 + C V_3, \text{ 若使 } A = B = C = 1$$

$$\text{則 } V_{out} = V_1 + V_2 + V_3$$

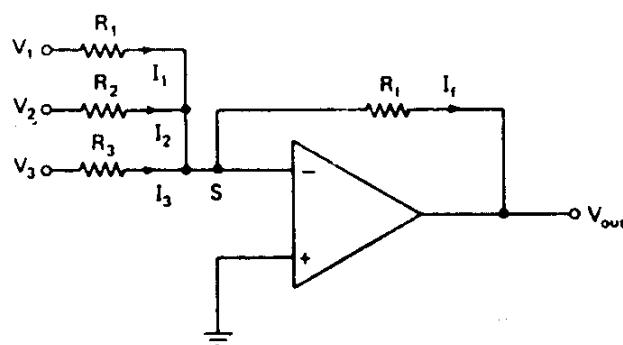


圖 A3-3 加法器電路

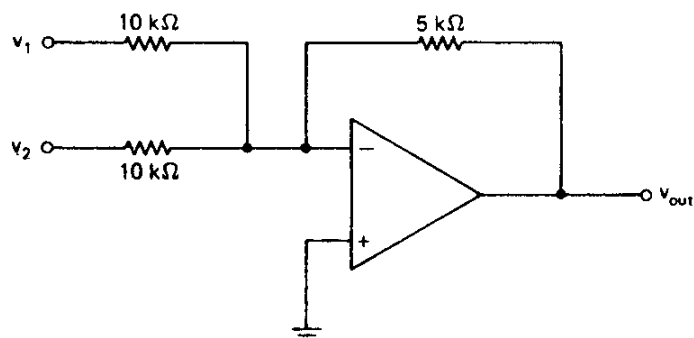


圖 A3-4 簡單平均器 (Averager) 電路

加法器的應用電路，如圖 A3-4 所示，可作簡單平均值的計算電路。藉著電阻值的改變，可獲得 $v_{out} = \frac{1}{2}(v_1 + v_2)$ 。

此外，學者均需記住，以上所說的電路不只可加入直流信號，也可加入交流信號，其結果均如公式所述。

使用器材

IC：741，307 或同等品
 電阻器：10kΩ×3，47kΩ×2
 電壓源：1.5V 和 3V dc
 數位三用表一只
 函數波產生器 2MHz 三台
 雙跡示波器 10MHz 一台

實驗步驟

1. 加法器

- ① 如圖 A3-1 之接線，使用 $R_1 = R_2 = R_f = 10\text{k}\Omega$ ， $R_3 = R_f = 47\text{k}\Omega$
- ② 加入直流電壓於輸入端， $V_1 = 1.5\text{V}$ ， $V_2 = 3\text{V}$ （可利用一般的乾電池或雙電源供給器），用數位三用表量輸出電壓 V_{out} 。
- ③ 利用公式 5 計算 V_{out} ，將此值與量得之值比較，是否一樣？
- ④ 分別從 S，T 對地量度電壓值，是否符合 $V_T = V_S$ ？
- ⑤ 若將 R_3 改成 $10\text{k}\Omega$ ，公式 2 與公式 4，是否仍能成立？

2. 浮動電壓源

- ① 將 R_3 換成 $47k\Omega$ ，加一浮動電壓源 $V = 1.5V$ 於兩輸入端之間，其餘均如圖 A3-2 接線。
- ② 量 V_{out} ，得 V_{out} / V_{in} 為多少？
- ③ 量 R_1 ， R_2 兩端的電壓降，算出流經其中的電流。
- ④ 量出閉環輸入電阻，記錄此值。
- ⑤ 繪出電路圖，並標出 I_1 ， I_2 ， I_3 ， I_f 的方向。

3. 交流加法器

- ① 接線如圖 A3-4， R_f 用 $10k\Omega$ 。
- ② 輸入相同頻率的 AC 信號於 V_1 ， V_2 端，其一為正弦波，另一為方波。然後以雙跡示波器觀察輸出信號是否為二者之和。
- ③ 將信號源改為脈波與方波，是否仍有和的輸出？

4. 傅立葉級數綜合器 (Fourier Synthesizer)

- ① 加法電路可用來作為 100Hz 方波的傅立葉級數前三項求和的應用。因為方波可以由 $\sin \omega t + \frac{1}{3} \sin 3\omega t + \frac{1}{5} \sin 5\omega t + \dots$ 表示，因此如果將 ω 中的 f 定為 100Hz，則上式可表示 100Hz 的方波。
- ② 如圖 A3-5 的接線，輸入 $v_1 = 1V_p$ ，100Hz， $v_2 = 1V_p$ ，300Hz， $v_3 = 1V_p$ ，500Hz（當然項數越多越精確。注意，每個輸入信號的相位必須一致，即信號源有相位鎖定功能方。
- ③ 用示波器觀察 V_{out} ，是否呈現方波？

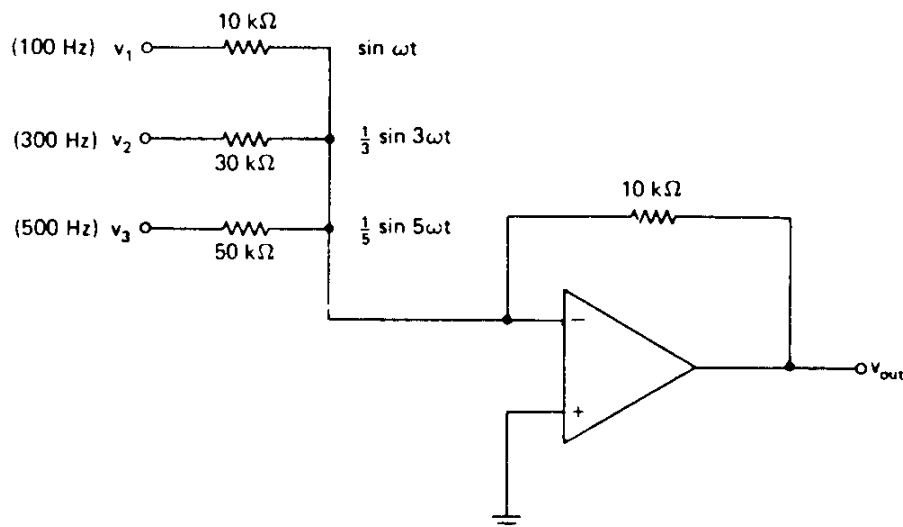


圖 A3-5 將傅立葉級數前三項相加，以產生方波的電路

實驗 A4：OPA 實際電路

相關知識

一般設計 OPA 電路時均將其視為 "理想狀態" 而考慮，即具有甚大的增益，極大的輸入阻抗，零輸出阻抗和無電壓電流的抵補現象。但 OPA 製造廠在產品出廠時就在規格上註明該 OPA 的各種限制，這些限制在設計電路時必須予以考慮，否則會造成許多困擾。通常容易造成困擾的原因為低電壓、高頻率、小輸入電流、大輸出電流等狀況。表 A4-1 顯示 741 的規則及一般限制、改進對策等。

OPA 的某些實際問題可由購買針對該問題之特殊 OPA 而解決（學者可參閱附錄 B）。例如要在低輸入電流及高輸入阻抗下工作，可採用 JFET 或 MOSFET 輸入的 OPA，如 CA3140，536 和 356。要有低的抵補電流可用 307，而要有好的頻率響應可用轉動率（Slew Rate）高的 318。以上二者 OPA 均可以腳對腳的方式代用 741。至於您需要用乾電池電源時，即可選用 308 微瓦 OPA。總之，當您針對某項特性考慮時，要問 "是否值得花更多的錢去買一個 OPA，或者只需改變外接零件即可獲得特性的改善？" 以下我們要詳細討論此點。

表 A4-1 OPA 一般限制及改進之對策

極 限 值	困 擾 問 題	典 型 規 格 (741)	問 題 之 對 策
差動輸入電壓 < 10mV	抵補電壓	2mV	加入內部或外部抵補電路
共模電壓 > 12V	限制輸入電壓範圍	±12V	在輸入端加分壓電路
工作頻率 > 10KHz	A _o 隨頻率增加而逐漸減少 轉動率	A _o = 1000 (10KHz 時) = 100 (100KHz 時) 0.5V/μ sec	使用頻率響應較好之 OPA，如 318
輸入電流 < 0.1μA	輸入偏壓電流	80nA	使用較佳之 OPA，如 308 或 CA3140
輸入阻抗 > 1MΩ	有限的輸入阻抗	2MΩ	利用電壓隨耦器（參考實驗 A3）
輸出電流 > 10mA	輸出電流受限制	25mA	利用電流放入器或使用功率 OPA（參考實驗 A10）

輸出電流和輸入阻抗

抵補電流的問題將在實驗 A8 論述。此處討論另一更難解決的問題，即大的輸出電流。一般而言，如果需要大電流輸出，只好購買功率 OPA，例如 Kepco BOP，或在外電路加一功率輸出級（如實驗 A10 所述）。至於如何提高輸入阻抗的問題，可利用非反相放大器接成電壓隨耦器（Voltage Follower），以提高輸入阻抗。在 741 的場合，可提高輸入阻抗至 $10^{11}\Omega$ （參閱實驗 A2）。

轉動率（Slew Rate）

轉動率係表示輸出電壓變動的最大速率。通常以每微秒的伏特數來表示，例如一個 OPA 具有

1V/ μ Sec 的轉動率，即表示不管輸入電壓變動多快，輸出電壓在 1 μ Sec 間能從 0 變化到 1V。由圖 A4-1 可見 741 的輸出電壓與輸入電壓的波形，雖然輸出電壓已被放大，但波形卻已失真，說 outputs 的變動跟不上輸入電壓的變動情況。又由表 A4-2 所示，係產生 1V_{p-p}，10KHz 不失真波形的最小轉動率。而轉動率的計算可由示波器的波形計算而得，其值為：

$$\text{轉動率} = \left(\frac{\Delta v_{out}}{\Delta t} \right)_{\max} = \frac{\text{輸出變化的電壓}}{\text{時間}}$$

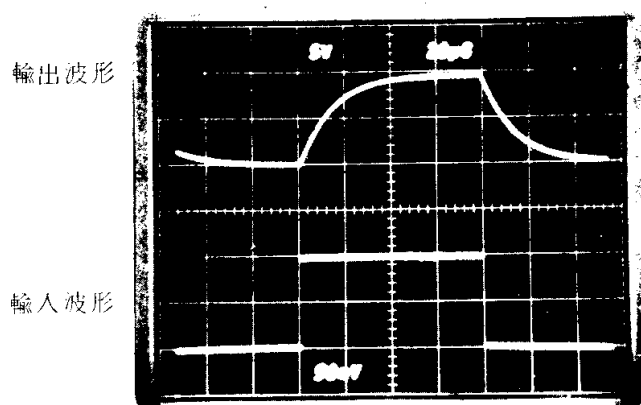


圖 A4-1 轉動率為 0.5V/ μ sec，增益為 100 的 741 輸入輸出波形

表 A4-2 不失真輸出之最小轉動率

波形 (1V _{p-p})	最小轉動率
10kHz 正弦波	0.063
10kHz 三角波	0.02
10kHz 方波	0.5
10kHz 方波 (上升時間為 0.5 μ s)	2

從表 A4-2 可知要輸出不失真 10KHz 方波，必需有 0.5V/ μ Sec 的轉動率方可。

抵補電壓 (Offset Voltage)

如圖 A4-2 所示之電路雖無輸入電壓 ($v_{in}=0$)，但其輸出電壓並不等於 0。原因乃在兩輸入端之間存在一小電壓 $V_{ST}=V_{OS}$ ，以致造成輸出電壓誤差。

$$\Delta V_{out} = V_{OS} \frac{R_f + R_i}{R_i} \dots\dots\dots 1$$

對於圖 A4-2 的電路，其輸出電壓 $v_{out} = - (R_f / R_i) v_{in} + \Delta V_{out}$ 。但對 AC 信號而言，因在輸出端串聯一個電容器，所以不受抵補電壓的影響；對 DC 信號而言，如果增益為 100，則在輸入端 1mV 的抵補電壓將在輸出端造成 0.1V 的誤差。

抵補電壓的消除，可藉著加一小量電壓於非反相輸入端與地之間而完成。圖 A4-3 所示的分壓電路能供給一小量正壓或負壓以消除抵補電壓。

分壓器係以對稱形態構成，而在兩個 47 Ω 中間接地。因此調整 10k Ω 電位器時，校正抵補電壓可從最大正值變化到最大負值，在調整期中即可找出一點電壓使 $v_{out}=0V$ 。就 741 而言，由於具有內部抵補電路，所以不必再用外部抵補電路。但對一般 OPA 而言，如果所需抵補電壓很大，則仍以外部抵補電路調整較佳。

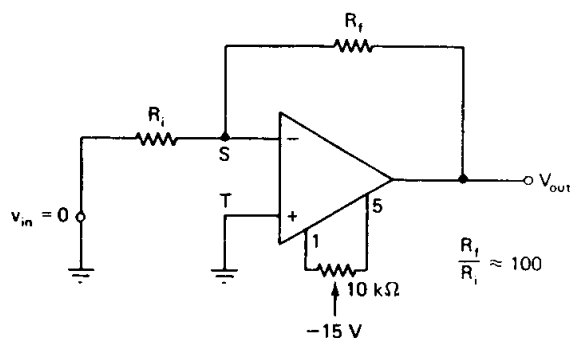


圖 A4-2 741 內部抵補電路

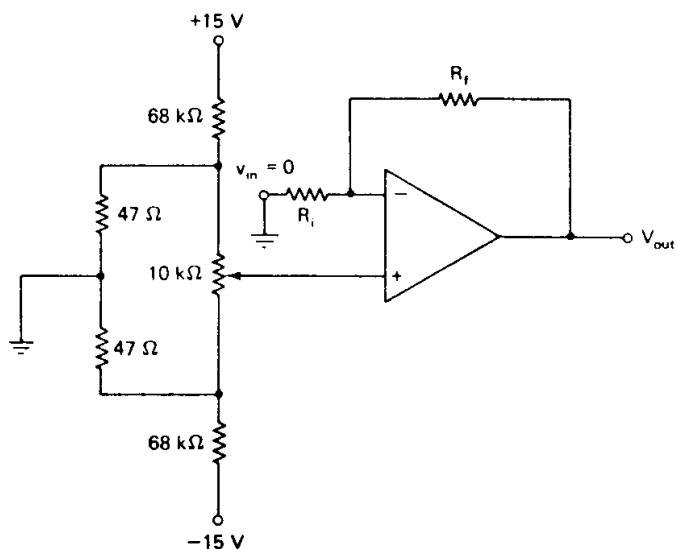


圖 A4-3 外部抵補電路

頻率響應 (Frequency Response)

在高頻率時，所有電容器形同短路，而電感器如同斷路，這種情形限制了電路的高頻增益。對於 OPA 而言，更造成因頻率改變而產生的相位移問題。一般 OPA 的輸出端與反相輸入端均設計為相位差 180° ，但在高頻率時，可能降為 90° 或略大一些。若整個閉環迴路的相位移減為 0° 或增為 360° ，則將產生振盪現象。為了補償高頻工作所損失的增益，可在輸出和輸入端之間接一電容器，若能使其增益的衰減率達到每八度 6dB 或每十度 20dB，則該 OPA 的頻率響應尚稱穩定。

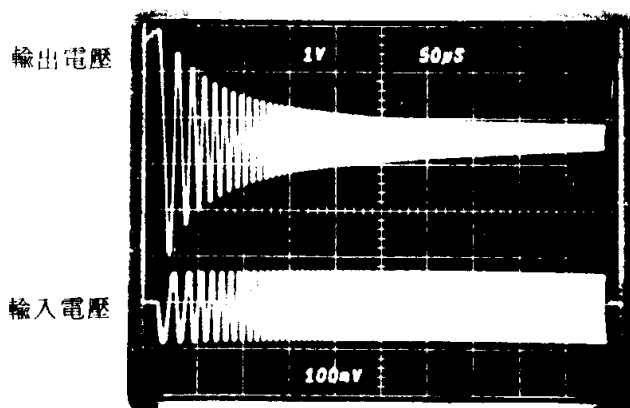


圖 A4-4 741 的頻率響應，自 50K 至 500kHz 的電壓變化

某些 OPA，如 741，318，CA3140，和 307 均具有內部補償電路，意即超過某一頻率之後（如

在 741 為 10Hz) 其開環增益 A_o ，降至 6dB/octave，其他 OPA 如 709，301 和 308 則需外加電容器和電阻器作為補償用，至於零件數值的大小可由製造廠的資料手冊而得。

圖 A4-4 所示的波形，係利用 741 組成增益為 100 的電路，其頻率自 50KHz 到 500KHz 變化，增益衰減成 1/10，所以其電壓的衰減率為 6dB/octave (即 20dB/decade)。在這範圍內，放大器的增益受 741 開環增益的限制。

使用器材

OPA：741，709，318 (或 CA3140)

電阻器：47 Ω ×2，120 Ω ×1，1.2k Ω ×2，12 Ω ×2，120k Ω ×1，1.2M Ω ×1

電容器：3p×1，10p×1，0.1 μ ×1

數位三用表

雙跡示波器

函數波產生器

實驗步驟

1. 最大轉動率

- ① 使函數波產生器輸出 1V_{p-p}，10KHz 交流方波 (不含直流信號)，從示波器上觀察其從最大值降到最小值所需的時間，將此波形及其上升時間 t_r ，下降時間 t_f 均記錄之。(使 $t_r < 1\mu$ Sec 以便使用)。
- ② 利用 741 組成增益為 10 的反相放大器，輸入電阻用 10k Ω (因此 $R_f = 100k\Omega$)
- ③ 假如您的函數波產生器的輸出波形含有 0.2V 直流成分或更多，則加一 0.1 μ F 電容器在 OPA 輸入電阻之前，以確實濾掉直流成分。
- ④ 將示波器測試棒接於 OPA 輸出端，觀察輸出波形，將其記錄之，計算轉動率 $\gamma_s = \frac{\Delta V}{\Delta t}$ ，將此值與規格表上數值比較之。
- ⑤ 依上法換用 318，CA3140 測量其轉動率，有何差異？何者轉動率較高？

2. 輸入抵補電壓

- ① 利用 741 作成增益為 100 的反相放大器。將 R_i 的前端接地，使輸入信號為 0 (如圖 A4-2)。
- ② 利用 DMM (數位三用表) 測量輸出信號 V_{out} 。
- ③ 同樣利用 DMM 測出 V_{ST} ，和 V_{OS} ，利用公式 1 計算出 ΔV_{out} 。以此值比較②之測量值是否一樣？
- ④ 在 OPA 的第 1、5 腳之間加一 10k Ω 電位器，調整之，能否使輸出電壓為 0？
- ⑤ 若將+，- 二輸入端短路，則輸出電壓為多少？

3. 外部抵補電路

- ① 按圖 A4-3 之零件接線，OPA 可仍使用 741，但需將接在 1、5 腳間的 10k Ω 電位器取走。
- ② 注意在將分壓器接至+端之前，需用 DMM 量出 V_{out} 的極限值。然後將其接通後，調整 10k Ω ，再量其上下限之 V_{out} ，記錄此值。
- ③ 調整 10k Ω 電位器，能否將 V_{out} 調至 0？

4. 頻率補償

- ① 利用 709 接線如下圖， C_1 用 10pF， $C_2 = 3pF$ ， $R_1 = 0$ (R_1 可不用)。

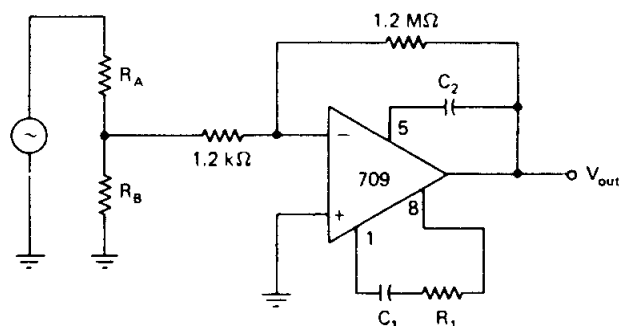


圖 A4-5 709 頻率補償電路

- ② 輸入信號用 10KHz, $1V_{p-p}$ 正弦波，但因 709 的增益為 1000 (60dB)，因此要限制輸入信號，使其最大值為 10mV，所以選用 $R_A = 1k\Omega$, $R_B = 10\Omega$ 可獲得輸入信號為 10mV。(此種分壓方式必然會造成輸出雜訊，請問有何更好方法？)
- ③ 調整輸入信號頻率自 10KHz, 20KHz, 40KHz, 100KHz, 200KHz, 400KHz 至 800KHz，並以示波器觀察輸出波形，記錄各種頻率的輸出電壓值。
- ④ 將測量值與特性規格比較，是否一致？
- ⑤ 計算在 100KHz 以上的增益衰落值 (以 dB/octave 為單位計算)，將此值與實驗 A2 的 741 響應曲線比較之。
- ⑥ 如以 741 代換 709，則取 $C_1 = 5000pF$, $R_1 = 1.5k\Omega$, $C_2 = 200pF$ ，如用 301A，則 $C_1 = 30pF$ 其餘均同。

〔附註〕為方便實驗，茲附上 709, 318 及 301A 接腳資料，因其英文說明均較常見，故不翻譯。

Pin Assignment Sheet: 709

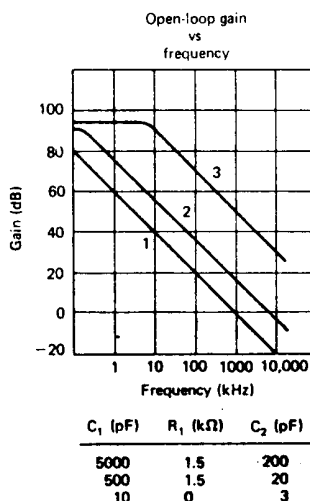
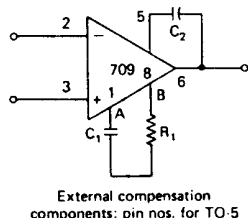
(See Appendix B for other specifications)

DIP (A package):

1. NC
2. NC
3. Comp. A
4. Inv.
5. N.I.
6. V^-
7. NC
8. NC
9. Out comp.
10. V_{out}
11. V^+
12. Comp. B
13. NC
14. NC

TO-5 (T package):

1. Input compensation A
2. Inverting input, inv.
3. Noninverting input, N.I.
4. Negative supply, V^-
5. Output compensation
6. Output, V_{out}
7. Positive supply, V^+
8. Input compensation B



Pin Assignment Sheet: 318
(See Appendix B for other specifications)

To-5 package:

1. Balance compensation 1, BC1
2. Inverting input, Inv.
3. Noninverting input, N.I.
4. Negative supply, V^-
5. Balance compensation 3, BC3
6. Output, V_{out}
7. Positive supply, V^+
8. Compensation 2, C2

DIP package:

1. NC
2. NC
3. BC1
4. Inv.
5. N.I.
6. V^-
7. NC
8. NC
9. BC3
10. V_{out}
11. V^+
12. C2
13. NC
14. NC

Pin Assignment Sheet: 301A
(See Appendix B for other specification)

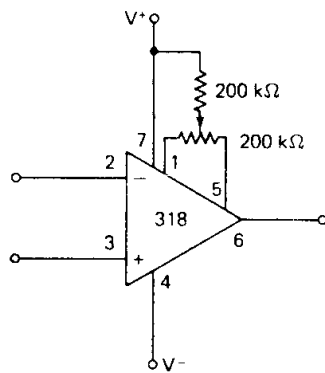
To-5 or minidip package:

1. Freq. comp/offset null
2. Inverting input, Inv.
3. Noninverting input, N.I.
4. Negative supply, V^-
5. Offset null
6. Output, V_{out}
7. Positive supply, V^+
8. Freq. comp.

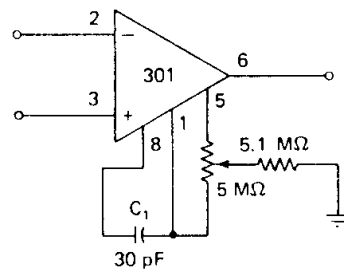
DIP package:

1. NC
2. NC
3. Comp/offset
4. Inv.
5. N.I.
6. V^-
7. NC
8. NC
9. Offset
10. Output
11. V^+
12. Comp.
13. NC
14. NC

Offset balancing circuit:



Typical offset null and compensation: Pin nos. for T0-5 or minidip



實驗 A5：積分器和微分器

相關知識

積分器係用來產生一輸出信號，其值與輸入信號曲線下的面積成一比例（隨時間而變），數學上寫成 $\int v_i dt$ 。至於微分器則能產生一信號與某一時刻中輸入電壓的斜率成比例，即 v_i 的變化率，寫成 dv_i/dt 。

微分 OPA 電路如圖 A5-1 所示，其輸出信號值為

$$v_o = -R_f C_i \frac{dv_i}{dt} \dots\dots\dots 1$$

由於輸入信號與回授信號均接至反相輸入端，所以正弦波的增益為負值，寫成

$$A_f = \frac{-Z_f}{Z_i} = -2\pi f R_f C_i \dots\dots\dots 2$$

學者可以看出增益與頻率成正比，而在高頻時的增益會引起振盪。這可藉著加入一個輸入電阻和回授電容而消除。如圖 A5-2 所示， $Z_i \cong X_{Ci}$ 而回授阻抗 $Z_f \cong R_f$ ，這電路就仍能作為微分器之用。因為 R_i 遠小於 X_{Ci} ， X_{Cf} 遠小於 R_f 。可見 R_i 和 C_f 的加入主要在限制高頻增益。假如我們加入 R_i ，則對於任一正弦波頻率，可得如下所示之增益：

$$A_f = \frac{-1}{[(R_i/R_f)^2 + (1/2\pi f R_f C_i)^2]^{0.5}} \dots\dots\dots 3$$

我們可以看出在低頻時，分母の後一項較大，所以可以簡化為 2 式，而在高頻時，第二項接近於 0，所以其增益變成 $-R_f/R_i$ 。

圖 A5-3 表示對不同輸入波形的微分輸出波形。學者可以看出輸出電壓與輸入訊號的斜率成某一比例，而在輸入為方波的情形下，由於其轉折點（即邊緣）的斜率係從 0 變化到無限大，微分器的輸出就被限制在 $-R_f/R_i$ 。對這種情況進一步的分析為：將方波看成由許多正弦波的高次諧波所組成，這些高次諧波可寫成傅立葉級數（Fourier Series）

$$V = \frac{4}{\pi} V_m (\sin \omega t + \frac{1}{3} \sin 3\omega t + \frac{1}{5} \sin 5\omega t + \dots\dots\dots + \frac{1}{n} \sin n\omega t)$$

而其每一項均可由公式 3 算出其增益，當頻率愈高時，增益就被限制在 $-R_f/R_i$ 了。

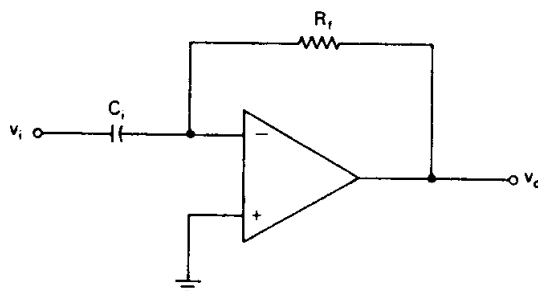


圖 A5-1 微分 OPA 電路

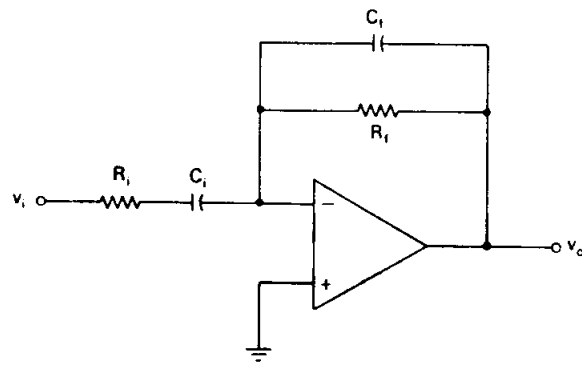


圖 A5-2 使回授穩定的微分器

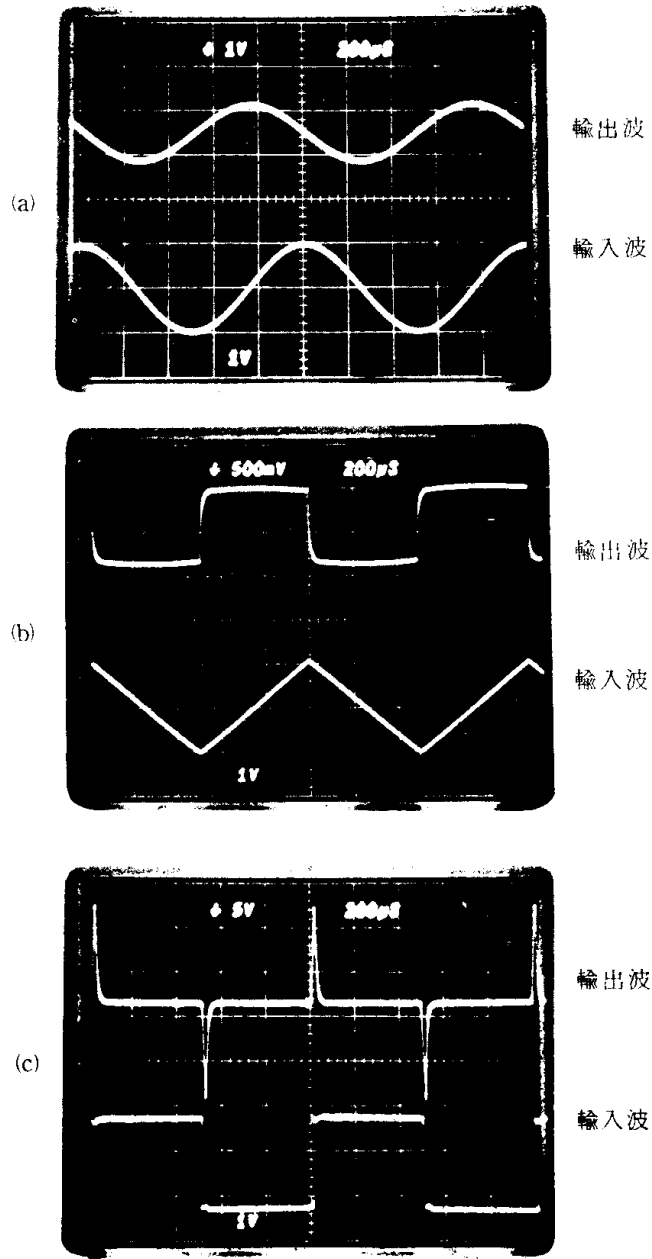


圖 A5-3 (a) 輸入正弦波，經微分後的輸出波
(b) 輸入三角波，經微分後的輸出波
(c) 輸入方波，經微分後的輸出波

至於積分器的電路，則如圖 A5-4 所示，其輸出電壓係與輸入訊號的積分成某一比例，如下式所示：

$$v_o = -\frac{1}{R_i C_f} \int v_i dt \quad \dots\dots\dots 4$$

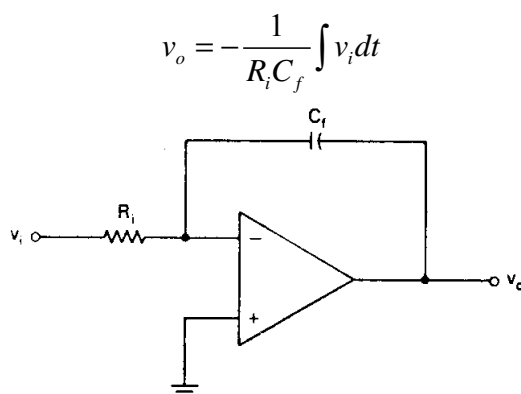


圖 A5-4 積分器

積分器的增益為 $A_f = -1/2 \pi f R_i C_f$ 在低頻時 A_f 變成甚大，但可藉著 R_f 和 C_i 值的改變而加以調整。

若以圖 A5-2 的線路圖來考慮，將它作為積分器時，必須使 $Z_i \cong R_i$ 同時 $Z_f \cong X_{Cf}$ 。其正弦波的增益可用下式表之：

$$A_f = \frac{-1}{[(R_i/R_f + C_f/C_i)^2 + (2\pi f R_i C_f - 1/2\pi f R_f C_i)^2]^{1/2}} \quad \dots\dots\dots 5$$

因此，在低頻率時，該線路的 $A_f \cong -2 \pi f R_f C_f$ ，即作為微分器用，而在高頻率時， $A_f \cong -1/2 \pi f R_i C_f$ 即作為積分器用，其積分的波形如圖 A5-5 所示。

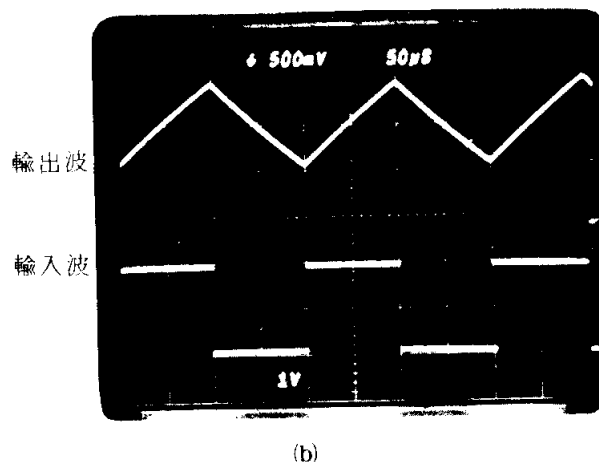
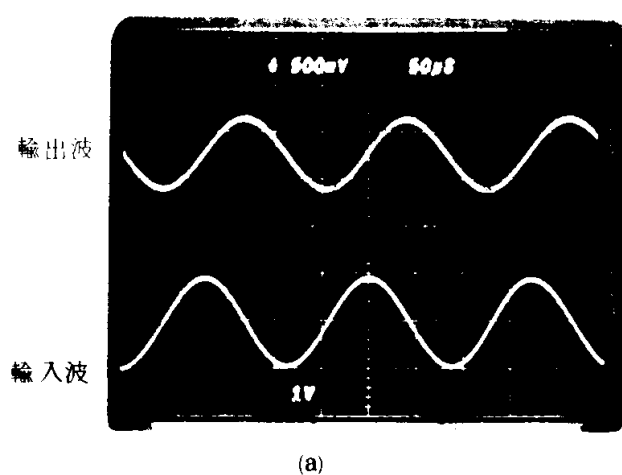


圖 A5-5 (a) 輸入正弦波的積分波形，(b) 輸入方波的積分波形

使用器材

OPA：741 或 307 各一

電阻器和電容器：

工作在 1KHz 的微分器（圖 A5-2 所示） $R_i=1k\Omega$ ， $C_i=0.01\mu F$ ， $R_f=10k\Omega$ ， C_f 不用

工作在 5KHz 的積分器： $R_i=2k\Omega$ ， $C_i=1\mu F$ ， $R_f=10k\Omega$ ， $C_f=0.1\mu F$

雙跡示波器

實驗步驟

1. 微分器

- ① 利用所開列的零件，組成以 741 為主的微分器。
- ② 輸入 $-V_P=0.5V$ 的方波，利用示波器觀察輸出波形。當你減少 R_i 到 0 時，將看出 "振鈴現象" (Ringing)，若無就增加 R_f ，即可看出。
- ③ 當你將輸入頻率自 500Hz 增至 2KHz 時，電路是否仍有微分作用？
- ④ 在 $R_i=1k\Omega$ 時，所量出的輸出峰值是否與預期的放大倍數 $A_f = -\frac{R_f}{R_i}$ 相一致？（請記住：

方波係包含高頻階波，其最大增益係當 $f=\infty$ 時計算公式 3 所得：即 $A_f = -\frac{R_f}{R_i}$ 。

2. 正弦波微分器相位觀測

- ① 輸入一正弦波，然後用雙跡示波器觀測輸出信號與輸入信號的相位移（記住輸出係反相）。若用雙跡示波器則分別自垂直與水平輸入端加入信號，從螢光幕所顯示的李氏圖形，即可計算出相位角。
- ② 如下圖所示， $\sin\phi = \frac{\text{截距}}{\text{最大值}} = \frac{B}{A}$ 即可計算出 $\phi = \sin^{-1} \frac{B}{A}$ 。

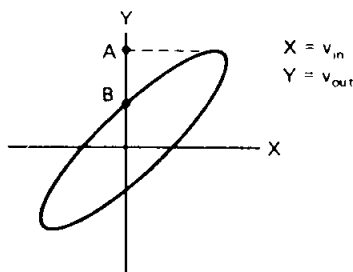


圖 A5-6 由 A 與 B 的長度計算 v_{in} 與 v_{out} 的相位角，公式中 $\phi = \sin^{-1} \frac{B}{A}$ 即可算出其值

- ③ 從波形計算出增益，將其與公式 3 所算得的結果核對之，是否相同？

3. 積分器

- ① 利用所開列零件組成積分器， R_f 可用電位器或電阻箱來調整。
- ② 輸入 5KHz， $2V_{p-p}$ 的方波。利用示波器繪出其輸出波形。
- ③ 改變 R_f ，則波形作何變化？
- ④ 改變輸入頻率，則波形有何改變？
- ⑤ 當頻率變成 10Hz 時，電路作積分或作微分？為什麼？
- ⑥ 如步驟 2 所述，當輸入一正弦波時，其輸出波形與輸入波形的相位角相差多少？其效果與微分器是否相同？
- ⑦ 加上與公式 5 所需最大增益的諧振頻率相同的頻率，此時波形有最大增益，其頻率為何？學者當可發現不只有一頻率，而是一個頻帶。因此它可作為一通帶放大器。請問在此通帶中央頻率的增益為何？

實驗 A6：比較器

相關知識

比較器的動作與前幾個實驗所做的電路大異其趣，它並不是使輸出信號與輸入信號成某一比例，而是當輸入信號達到某一預置的參考電壓時，輸出的狀態即被鎖定。即在正的最大值時為 "High"（高位準）狀態，在最小值時為 "Low"（低位準）狀態。因此，它像邏輯電路一樣可以表示 $V_{in} > V_{ref}$ 或 $V_{in} < V_{ref}$ 兩種狀態。如圖 A6-1 所示係最簡單的比較器電路，為一開環路線路。

當 $V_{in} < V_{ref}$ 時；輸出在正飽和狀態，即為高位準狀態；當 $V_{in} > V_{ref}$ 時，輸出在負飽和狀態，即為低位準狀態。而當輸入逐漸增加至 V_{ref} 時，輸出即從高位準降至低位準（為負緣端），若輸入信號逐漸減小而低於 V_{ref} 時，輸出即達正緣端。因此比較器的輸出極易與數位電路交界（Interfaced），而常用來感知高電位、低電位、或正負緣參閱實驗 D1，D4 和 D5）

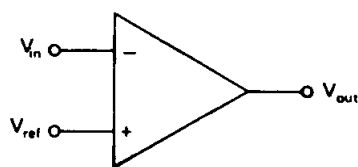


圖 A6-1 基本比較器符號

圖 A6-2 所示的為一常用的比較器電路，稱為零交叉檢知器（Zero-Crossing Detector）。電路中 S 點係在虛接地之電位，當 $v_{in} > 0$ 時，正向電流流經 S 點，經過兩個稽納二極體，到達輸出端。可見 D_1 是在崩潰電壓點工作，而 S 點為 0 電位，所以輸出電壓必為 $-V_{Z1}$ ，為 D_1 的崩潰電壓值。而當 $v_{in} < 0$ 時，電流方向即為反向，輸出電壓 v_o 即為 $+V_{Z2}$ 。因此我們可以說，本電路具有箝位輸出。它可用來改進比較器的高頻響應。又當輸出端從低位準升到高位準時（即達正緣時），即表示輸入信號減小到低於 0。這就是零交叉的意義。

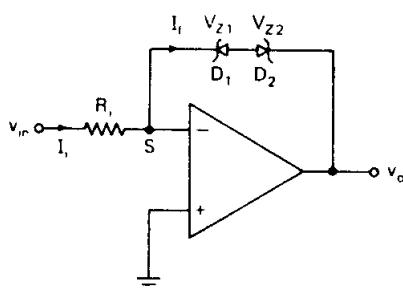


圖 A6-2 零交叉檢知器

我們經常需要檢知輸入電壓是否到達某一定值。因此，利用圖 A6-3 的電路即可完成檢知工作。為分析電路的工作原理，需應用克希荷夫電流律，即 $i_f = i_i + i_r$ 回授電流 i_f 可進一步表示為：

$$i_f = i_i + i_r = \frac{v_{in}}{R_i} + \frac{V_{ref}}{R_r} \quad \dots\dots\dots 1$$

同時利用 $V_s \cong 0$ 的事實，參考電壓 V_{ref} 可為正或負。假如加一負的參考電壓，輸出將在輸入電壓 v_{in} 大於 0 時轉態。當 $i_f > 0$ （即 $v_{in} > - (R_i / R_r) V_{ref}$ ）時，電流從 S 點流向輸出端，輸出電壓即為 $-V_{Z1}$ 。而當 $i_f < 0$ （即 $v_{in} < - (R_i / R_r) V_{ref}$ ）時，輸出電壓即為 $+V_{Z2}$ 。可見當輸入電壓到達 $- (R_i / R_r) V_{ref}$ 時，輸出即轉態。其實際的參考位準，可藉調整 R_i / R_r 的電阻比而獲得。學者應

記住 R_i 是決定比較器輸入電阻的主要零件。

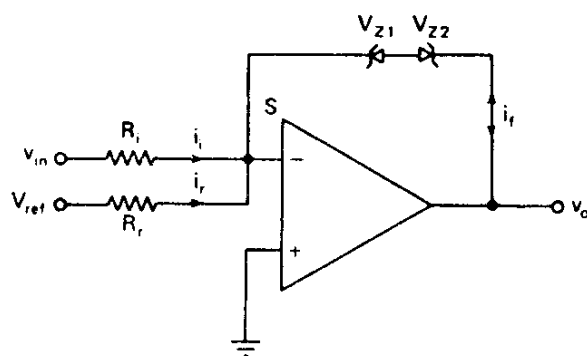


圖 A6-3 具有箝位作用的電壓比較器，電流方向係在 $V_{ref} > 0$ ， $v_{in} > 0$ 情況下之流向。

假如手頭沒有稽納二極體，你可利用一般二極體作輸出的箝位，如圖 A6-4 所示。電路中兩個二極體之一維持在常通狀態，因此，S 點維持在虛接地電位。當 $v_{in} < -(R_i/R_r)V_{ref}$ 時，輸出被箝位在 V^+ (R_2/R_1)；當 $v_{in} > -(R_i/R_r)V_{ref}$ 時，輸出被箝位在 V^- (R_3/R_4)。上列分析係假定二極體在理想狀態下工作，事實上二極體具有很高的順向阻值，所以精密地說，理論算出的輸出電壓並不易獲得。

比較器經常用在與數位 IC 連接的電路。假如將它的輸出接到數位 IC，則其箝位電壓不可超出 IC 的額定輸入電壓，例如在 TTL IC 中為 0 到 5V。同時為了更經濟的使用電源，已發展出單一電源的 OPA，例如 RCA 的 CA3140，可使用 4 至 44V 之間的單電源或雙電源，其他如 311 可由 5V 的單一電源供應而工作，因此可與數位 IC 使用同一電源，甚為經濟。

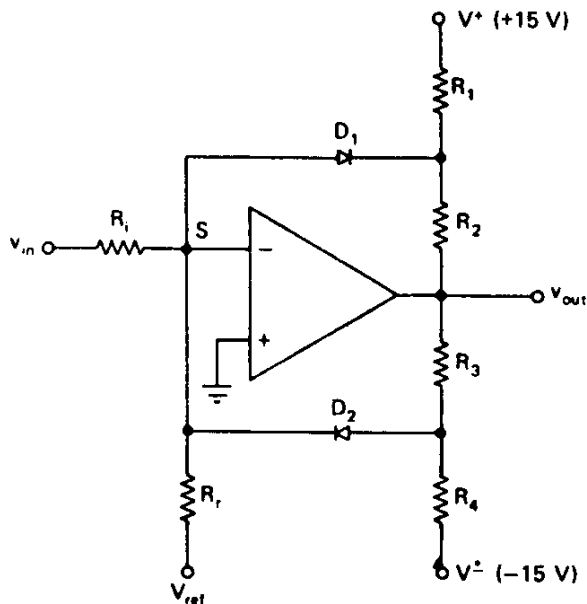


圖 A6-4 利用一般二極體作箝位的比較器

使用器材

IC：741，307，CA3140 或同等品各一

稽納二極體：5V 二只

開關二極體：高電導如 1N914B，或 1N4148 各二

電阻器：470Ω，1kΩ 各一 1.5kΩ，4.7kΩ，47kΩ，470kΩ 各二

雙跡示波器一台
函數波產生器一台

實驗步驟

1. 零交叉檢知器

- ① 接線如圖 A6-2，其中 R_i 使用 $1k\Omega$ 。
- ② 將兩個稽納二極體斷路，使成開環狀況，然後加 $4V_{p-p}$ ， $500Hz$ 的正弦波或三角波於輸入端，觀察其輸出的動作。
- ③ 將兩個稽納二極體接上後，再觀察輸出波形，有何不同？
- ④ 同時顯示輸入波與輸出波，請問在輸入電壓到達幾伏特時，輸出轉態？
- ⑤ 是否不論輸入信號逐漸增加或逐漸減少，其觸發電壓值均相同？
- ⑥ 將輸入頻率改為 $50Hz$ ，和 $5KHz$ ，其轉態電壓是否與前相同？可見其與頻率之關係為何？
- ⑦ 假如你是使用單跡示波器，可將 OPA 輸出波接在觸發輸入端 (Trigger In)，就可看出在輸入信號幾伏時輸出轉態。(改變 + Slope 與 - Slope，就可知道答案了)。

2. 利用一般二極體作箝位的比較器

- ① 使用 $R_i = 47k\Omega$ ， $R = 470k\Omega$ ， $R_2 = R_3 = 1.5k\Omega$ ， $R_1 = R_4 = 4.7k\Omega$ ，接線如圖 A6-4。 V_{ref} 接 $-15V$ 電源電壓。
- ② 請問此時你所希望比較器轉態的輸入電壓為幾伏？加一正弦波或三角波輸入，即可獲得證明。(與利用公式算的是否一致？)
- ③ 為求準確的獲得轉態電壓值，最好使用可調的直流電壓作輸入，慢慢改變其數值，直到達到轉態點，此時比較器達到箝位電壓。請注意，當輸入電壓 v_{in} 在增加或減少，而達到轉態時，會有磁滯曲線顯示出來，那是表示比較器有一可檢知的範圍。

3. 比較器增益的調整

- ① 如圖 A6-4 的比較器電路，其輸出電壓的轉態係根據該 OPA 的開環增益 (轉態時二極體並不導通)。為瞭解這事實的重要性，需以造成轉態的輸入電壓為中心，計算輸入電壓的範圍。假設能使輸出電壓在 $-5V$ 和 $+5V$ 之間轉變的開環增益為 $A_o = 10^5$ ，則其輸入電壓範圍當可算出。
- ② 若將 $R_f = 470k\Omega$ 並接在箝位二極體兩端 (即在輸出端與反相輸入端)，則輸入電壓範圍需多大，才能使輸出自 $-5V$ 變至 $+5V$ ？

4. 峰值檢知器

- ① 接線如圖 A6-5 之峰值檢知器，係在零交叉檢知器之前加一微分器。
- ② 加一 $500Hz$ 正弦波於輸入端。利用雙跡示波器找出輸入信號的峰值。
- ③ 如用單跡示波器則可以 V_{out} 作為觸發信號來檢知輸入信號的峰值是否已達到。

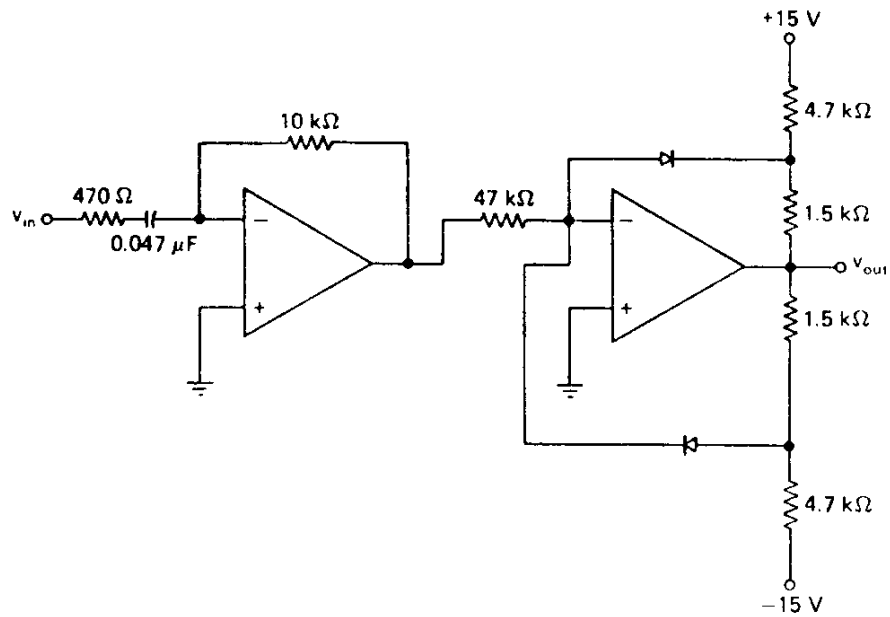


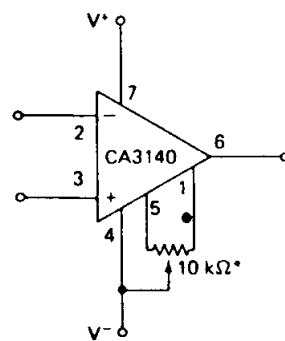
圖 A6-5 峰值檢知器

附圖 CA3140, 356 之腳位圖

T0-5 or mini DIP package:

1. Offset null
2. Inverting input, Inv.
3. Noninverting input, N.I.
4. Negative supply, V^-
5. Offset null
6. Output, V_{out}
7. Positive supply, V^+
8. Strobe (NC for 356, 536)

Typical Offset Circuit:



*Use 25 kΩ for 356.
Connect to V^+ for 356 and 536.

實驗 A7：OPA 樞密特觸發器

相關知識

樞密特觸發器的工作與比較器類似，因為它的輸出是在輸入信號達到某一定值後就維持一定。至於其最大的差別乃在樞密特觸發器有內在滯留（Built-in Hysteresis）現象。此種滯留現象表示使輸出從高電位降至低電位所需的輸入電壓，與使輸出從低電位升至高電位所需的輸入電壓並不相同。學者可從實驗 A6 看出此較器的滯留情形，即表示 OPA 的有限轉動率（finite slew rate）。由於比較器對於緩慢變化的輸入信號沒有滯留現象，因此它的輸出會隨著輸入而變化，這對於具有雜音的低頻信號確有困難存在。即使對於極低的雜音信號，也會在輸出端造成忽高忽低的輸出波形，甚至當觸發位準已過，仍有此現象。而樞密特觸發器，由於其導通電壓 V_{ON} 高於其截止電壓 V_{OFF} ，就能解決這問題。而此兩個不同的轉態位準是根據輸出的狀態而定。當輸出在 "OFF" 狀態時，輸入信號必須大於 V_{ON} 才能使輸出改變成 "ON" 狀態。而當輸出在 "ON" 狀態時，輸入信號必須降至 V_{OFF} ，才能使輸出回轉成 "OFF" 狀態。（ $V_{OFF} < V_{ON}$ ）。因此只要雜音訊號的峰對峰值小於 ΔV ，即在 V_{ON} 和 V_{OFF} 之間，均不會在輸出端造成不希望的 "亂跳"（bouncing）情形。從下圖即可看出雜訊對比較器和樞密特觸發器的影響。

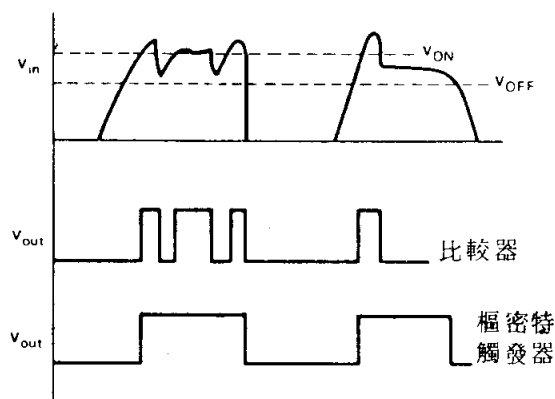


圖 A7-1 比較器與樞密特觸發器對雜訊的反應

你可能會因此就認為樞密特觸發器可以代替所有的比較器來使用。殊不知樞密特觸發器無法產生一個輸出而能明確地用來決定輸入電壓的範圍。當 $V_{OFF} < V_{ON}$ 時，輸出可能為 High，也可能為 Low，樞密特觸發器是使用在當輸入信號達到某一預置狀況時，能輸出一簡單的陡波，以觸發其他電路工作。而比較器卻能由輸出情況測知 $v_{in} < V_{ref}$ 或 $v_{in} > V_{ref}$ 。因此比較器可用作脈波高度分析器，而鑑別出不同峰值的信號。

現在我們可用正回授的回路組成樞密特觸發器，這就是一般所謂的 "急速動作電路"（Snap-action Circuit）。其輸出是以最大速率轉態（以 OPA 的最大轉動率）。圖 A7-2 即為樞密特觸發器。

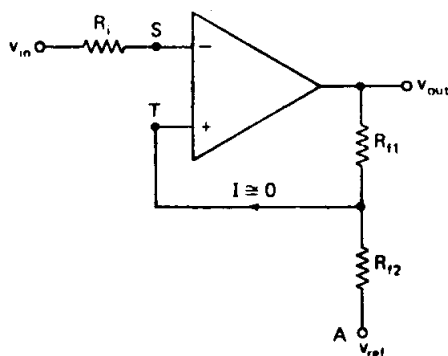


圖 A7-2 OPA 樞密特觸發器

圖中 V_{ref} 參考電壓係加在 A 點，其值必須在共模電壓（例如 $\pm 12V$ ）範圍內才能正常工作。然後選擇合適的回授電阻 R_{f1} 和 R_{f2} 及參考電壓 V_{ref} ，以決定轉換電壓 V_{ON} 和 V_{OFF} ，假定開始時 v_{in} 很低（ $v_{in} < V_S$ ），因此輸出為正的飽和電位 V_{sat}^+ 。T 點的電壓可表為：

$$V_T = V_{f2} + V_{ref} = \frac{(V_{out} - V_{ref})R_{f2}}{R_{f1} + R_{f2}} + V_{ref}$$

則當 $V_{out} = V_{sat}^+$ 時，

$$V_T = V_{sat}^+ \frac{R_{f2}}{R_{f1} + R_{f2}} + V_{ref} \frac{R_{f1}}{R_{f1} + R_{f2}}$$

而當 $v_{in} = V_S = V_T$ 時，輸出轉態，因此在這一點 $V_{ON} = V_T$ 可表示為

$$V_{ON} = \frac{V_{sat}^+ R_{f2} + V_{ref} R_{f1}}{R_{f1} + R_{f2}} \quad \dots\dots\dots 1$$

若超出這個值時，輸出轉態，變成負的飽和值 V_{sat}^- ，然後當 $v_{in} = V_S = V_T$ 時。電路再轉態。因此 V_{OFF} 可表示為：

$$V_{OFF} = \frac{V_{sat}^- R_{f2} + V_{ref} R_{f1}}{R_{f1} + R_{f2}} \quad \dots\dots\dots 2$$

從 1 式與 2 式可獲得轉態之間的電位，即滯後範圍（hysteresis）：

$$\Delta V \equiv V_{ON} - V_{OFF} = (V_{sat}^+ - V_{sat}^-) \frac{R_{f2}}{R_{f1} + R_{f2}} \quad \dots\dots\dots 3$$

注意本式與參考電壓 V_{ref} 並無關係，因此， V_{ref} 可在共模範圍內變化而不會影響到 ΔV 。同時，您也可看出 ΔV 係受輸出電壓位準的影響（ $V_{sat}^+ - V_{sat}^-$ 表示正、負位準的差異量）。假如輸出被箝位了，則箝位電壓的差距將取代公式 3 中的 $V_{sat}^+ - V_{sat}^-$ 。假定 V_{sat}^+ 被箝位在 $+15V$ ， V_{sat}^- 在 $-15V$ ，則 $V_{sat}^+ - V_{sat}^-$ 即為 $30V$ 。

兩交換位準之間的差異量 ΔV ，通常比 $v_{out} = V_{sat}^+$ 為小。這只要公式 3 中的 $R_{f2} \ll R_{f1}$ 即可獲得。因此公式 1 與 2 可以改寫為下列之近似式

$$V_{ON} \cong \frac{\Delta V}{2} + V_{ref} \quad \dots\dots\dots 4$$

$$V_{OFF} \cong \frac{-\Delta V}{2} + V_{ref}$$

圖 A7-2 的電路動作可以以 v_{out} 對 v_{in} 的關係繪出，如圖 A7-3 所示。當 $v_{in} = V_{ON}$ 時輸出從高電位降到低電位，又當 $v_{in} = V_{OFF}$ 時，輸出即回升至高電位。其中滯後電壓的大小 ΔV ，係由回授電阻所控制，而其開（ V_{ON} ）、關（ V_{OFF} ）範圍的中點則由 V_{ref} 所決定。

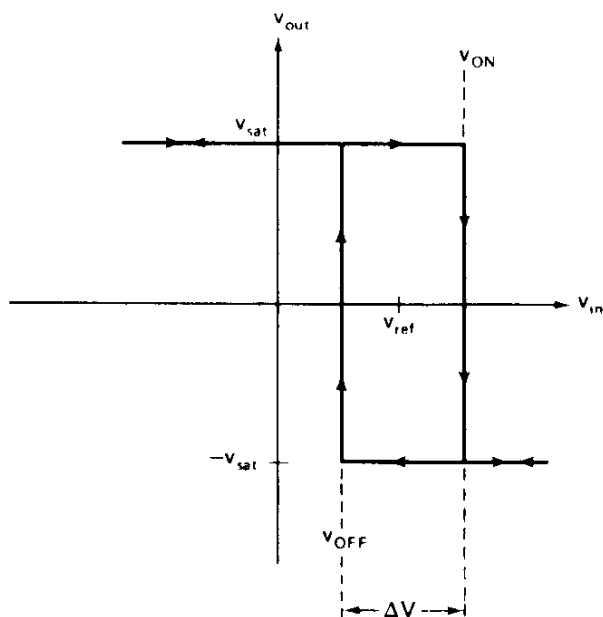


圖 A7-3 樞密特觸發器的輸出電壓與輸入電壓間的關係（假定迴轉率為無限大，且 $V_{ref} > 0$ ）

為了使樞密特觸發器正常動作，必須有一定值的參考電壓 V_{ref} 。在實驗 A9，您將學到如何獲得一高穩定性的參考電壓源。圖 A7-4 所示的參考電壓源亦可在本實驗中應用。為了維持穩定的輸出，參考電壓源的有效內阻必須小於負載的有效電阻。意即負載電阻值應接近於 R_{fl} 。圖 A7-4 的內電阻大約為 $1k\Omega$ ，因此 R_{fl} 將為 $100k\Omega$ 或更大。

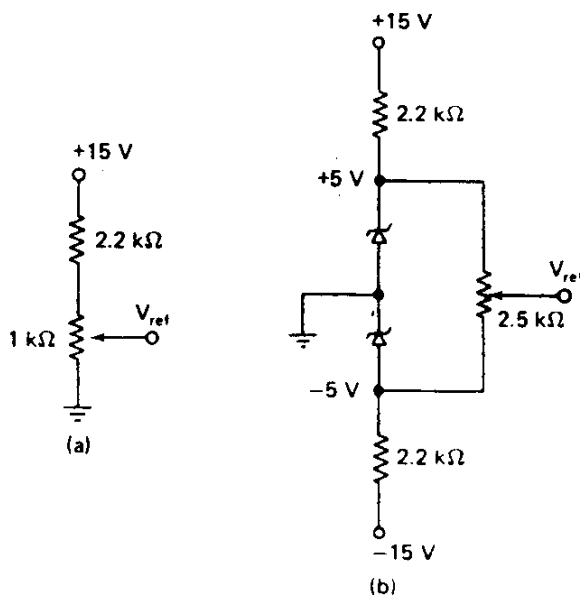


圖 A7-4 獲得參考電壓的簡單電路

使用器材

OPA：318（或 CA3140）和 741（或 307）各一
 電阻器：470k，47k，10k，4.7k，2.2k，1.5k 各一，1k 電位器一只
 函數波產生器一台
 示波器（最好是雙跡示波器）一台
 電源供應器雙電源 $\pm 30V$ 一台

實驗步驟

1. 測量 V_{sat}^+ 與 V_{sat}^-
 - ① 利用 741 OPA 及 $R_i=10k\Omega$ ， $R_{f1}=470k\Omega$ ， $R_{f2}=47k\Omega$ 接成圖 A7-2 之線路。
 - ② 將 A 點接地，即 $V_{ref}=0$ 。
 - ③ 在 V_{in} 處加入 50Hz， $5V_{p-p}$ 的三角波或正弦及（以示波器核對之）。
 - ④ 以示波器觀測輸出波形（最好用雙跡示波器同時觀測輸入與輸出波）。量出 V_{ON} 與 V_{OFF} 值。
 - ⑤ 當 $V_{in}=V_{ON}$ 和 $V_{in}=V_{OFF}$ 時，有無負緣或正緣的輸出波形？據此，寫出 V_{sat}^+ 與 V_{sat}^- 的值。
2. 迴轉率的測定（註：迴轉率又稱轉動率）
 - ① 將輸入信號頻率增加到 3KHz，觀察輸出信號迴轉率的變化情形。
 - ② 量度電壓變動的斜率，從低電位到高電位的變化（以 mV/S 為單位）。
 - ③ 換新的 OPA，如 318 或 CA3140，量出新的迴轉率。（可能需增加頻率）。
3. 滯後曲線的顯示
 - ① 將示波器接線改為 X-Y 方式，將輸出信號接至垂直輸入（或 X 輸入），將輸入信號接至水平輸入端（或 Y 輸入）。
 - ② 將信號頻率減至函數信號產生器的最低值，或 0.2Hz。
 - ③ 將示波器上所顯示的圖形與圖 A7-3 比較，是否相同？請繪出此曲線之軌跡。
4. ΔV 公式的證明
 - ① 將輸入信號頻率增至 50Hz。且將 R_{f2} 依次以 $47k\Omega$ ， $4.7k\Omega$ 及 $1.5k\Omega$ 更換之，量出其 V_{ON} 和 ΔV 之值。
 - ② 當 R_{f2} 減少時，輸入信號的峰對峰值也需跟著減小。請問公式 3 是否成立？
5. 加上 V_{ref} 後 V_{ON} 與 V_{OFF} 的測量
 - ① 按圖 A7-4(a) 之方法加上參考電壓於圖 A7-2 之 A 點。
 - ② 當 R_{f2} 用 $4.7k\Omega$ 時，將 V_{ref} 調整在 1V，2V，3V，量出 V_{ON} 和 ΔV ，記錄之。
 - ③ 將量度之數值與公式 4 之 $V_{ON} \cong \frac{\Delta V}{2} + V_{ref}$ 比較，是否相同？

實驗 A8：對數放大器

相關知識

所謂對數放大器（Logarithmic Amplifier）即一個放大器的輸入－輸出特性可用如下之對數式表示者：

$$v_{out} = B \log_{10} v_i + C \quad \dots\dots\dots 1$$

其中 B, C 均為常數，可依設計之考慮而異。

乘法和除法是應用對數放大器最明顯的例子。假如我們把兩們對數放大器的輸出相加，其和作為反對數放大器（Antilogarithmic Amplifier）的輸入，則最後的輸出將與兩輸入信號的乘積成比例。至於除法、平方或更高階次方的運算，均可依同樣的原則求得。

對數放大器一般用來將較大的信號轉變成較小的電壓或電流。例如，我們想要用 1 伏特滿刻度的電壓表來測量 10mV 到 100V 的電壓，就需要利用除法器將 100V 轉換成滿刻度的 1V，而將下限值轉換成 100 μ V，但更好的方法乃是用對數放大器。按照公式 1，如果設定常數 B=0.060V，C=0.400V，則輸入 10mV 將獲得 0.280V 的輸出，而輸入 100V 時將獲得 0.520V 的輸出。顯然對數放大器有它的缺點：它很難偵測出輸入信號的小量變化。

一般對數放大器均利用二極體 PN 接合面順向電壓時的電壓－電流關係來說明：

$$I = I_o \left[e^{\frac{qV}{kT}} - 1 \right] \quad \dots\dots\dots 2$$

其中 I_o 是常數，通常為 10^{-11} 安培。而 $+\frac{q}{kT}$ 是隨溫度而變的另一常數，在室溫（20°C 時） q/kT 值約為 $\frac{1}{0.040}$ V，式中 V 為二極體 PN 接合面所加的順向偏壓，而 2 式中的 I 為流過的電流值。若

V 值遠大於 0.04V，則公式 2 可簡寫成 $I = I_o e^{\frac{V}{V_o}}$ ，其中 $V_o = 0.04V$ ，因此可用對數式表示如下

:

$$\log_{10} I - \log_{10} I_o = \frac{1}{0.06} V \quad \dots\dots\dots 3$$

要製作對數放大器的技巧乃是：先將公式 2 中電壓－電流的關係改寫成公式 1 中的電壓關係。輸入電流 I_i 即可看成 V_{in}/R_i ，而流經二極體的電流（順向電流） I_f 即為 I_i ，所以

$$I_f = I_o e^{\frac{qV_{out}}{kT}} = I_i = \frac{V_{in}}{R_i R}$$

$$\text{簡寫為 } I_o e^{\frac{qV_{out}}{kT}} = \frac{V_{in}}{R_i}$$

以 10 為底取對象，即得

$$+V_{out} = 0.060 \log_{10} V_{in} - 0.060 \log_{10} I_o R_i \quad \dots\dots\dots 4$$

若 I_o 設定為 10^{-11} A， R_i 為 100k Ω ，則上式中最後一項為 +0.360V。

因此，可以 OPA 線路完成對數放大器如下：

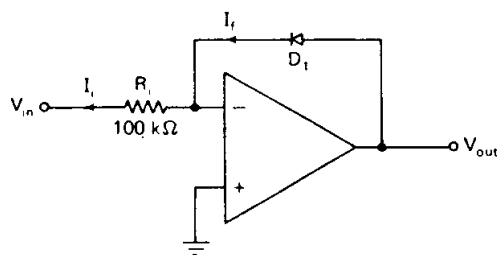


圖 A8-1 簡單對數放大器

但是公式 4 中仍有一些限制。其中最麻煩的是 V_{in} 必須為負值，才能使 D_1 獲得順向偏壓。同時 V_{out} 必須大於 25mV，才能使公式 2 中達到忽略 -1 之項。即回授迴路中的電流必須很小。而 I_f 的典型值為 $1 \mu A$ ，因此大於 $0.1 \mu A$ 的輸入偏壓電流均將產生相當大的誤差。最後，即使接面電流適中了，分佈電阻（Bulk Resistance）卻大到不可忽略的情況中（一般小於 100Ω ）。

這些困難表示如果要獲得較精確與所預期的數值相等的話，那只有買高價錢的對數放大器。如果買不到較合用的對數放大器，而使用一般的 OPA，則需選用具有愈低的輸入偏壓電流者愈佳。附錄 B 中建議大家選用 FET 輸入的 OPA，例如 CA3140，536，或 356，308 等編號。至於二極體的 PN 接面，一般採用矽質整流二極體，或矽電晶體的基射極接面較佳。

使用器材

OPA：CA3140，（356，536，或 308，（或同等品））四只
 電容器 30pF，作為 308 的頻率補償用
 電阻器 10k Ω 一只，100k Ω 七只，另電位器 10k Ω ，25k Ω 各一只
 二極體：矽整流二極體一只
 電源供應器：雙電源，能顯示 1mV 至 10V 之電壓值

實驗步驟

1. 輸出電壓與輸入電壓之相對關係測量

- ① 將 CA3140（或其他同等品）及矽整流二極體接圖 A8-1 連接成實驗電路。（741 亦可用）
- ② 將輸入電壓依次以 $-1mV$ ， $-10mV$ ， $-100mV$ ， $-1V$ 及 $-10V$ 之直流電源電壓輸入，量出其對應之輸出電壓。
 （編者註：學者手頭若無較精密之電源供給器，可用一個 100k Ω 電阻與一個 100 Ω 電阻接成除以 1000 的分壓器，而獲得 1mV 的輸入電壓）。
- ③ 依次將輸出電壓與輸入電壓之變化值描於圖上，您將可繪出如圖 A8-2 所示之特性曲線。

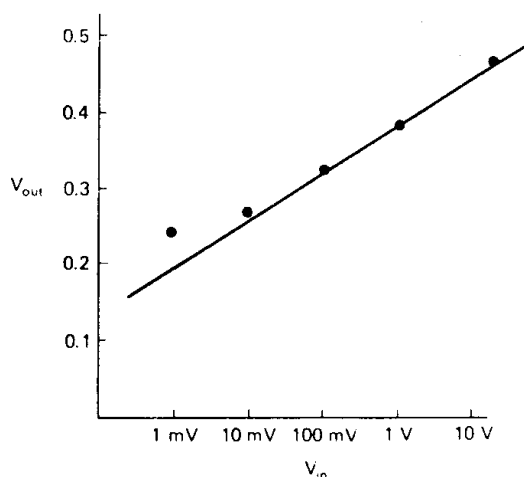


圖 A8-2 使用 307 OPA 與一般矽整流子所做成的對數放大器之輸出—輸入特性曲線

- ④ 上圖之斜率約為 60mV / 每十倍電壓值，即輸入電壓以 10 為因數變化，則輸出電壓變化 0.06V 。請問輸入電阻對此特性圖有何影響？

2. 輸入偏壓電流與抵補電壓的調整

- ① 利用 308 OPA 按圖 A4-3 接線，組成輸入抵補校正電路（註：如果用其他 OPA，則參照實驗 A6 後面的接腳圖），並將二極體暫時換成 $1\text{M}\Omega$ 電阻器。
- ② V_{in} 接地，使 $V_{\text{in}}=0$ 。調整抵補控制器直至 V_{out} 為 0。然後將 $1\text{M}\Omega$ 電阻器換回二極體。
- ③ 依次以 -1mV ， -10mV之 V_{in} 輸入，作同樣調整使 $V_{\text{out}}=0\text{V}$ 。調好後將電路復原，即可使用

3. 反對數放大器 (Antilog Amplifier)

- ① 將電路改接成下圖之接線：

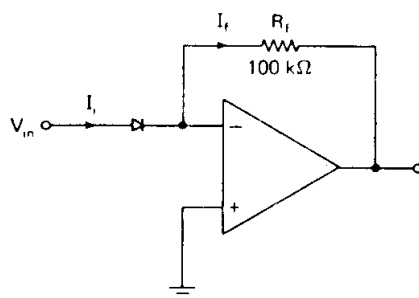


圖 A8-3 反對數放大器

- ② 輸入 V_{in} 在 0.3V 至 0.6V 之間，量出 V_{out} 值，記錄之。（註：輸入電壓值視 OPA 之規格而略有差異，但需在反對數公式之範圍內。）
- ③ 核對輸出電壓與輸入電壓是否符合下式：
 $\log_{10} V_{\text{out}} = A V_{\text{in}} + B$ 5

4. 類比乘法器 (Analog Multiplier)

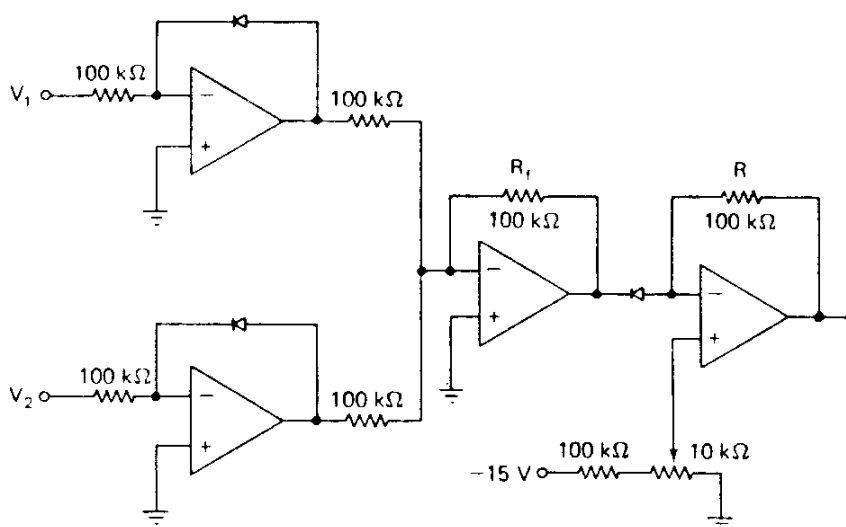


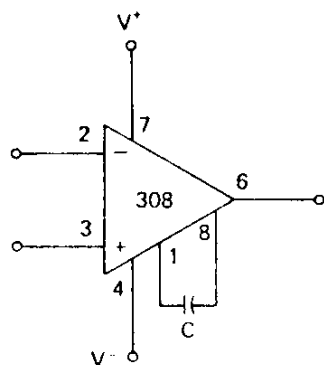
圖 A8-4 類比乘法器

- ① 如圖 A8-4 之接線，即為類比乘法器， V_1 ， V_2 ，為輸入電壓，輸出即為 $V_1 \times V_2$ （或與 $V_1 \times V_2$ 成一定比例）

- ② 圖中頭兩個對數放大器將輸入信號傳送到一個加法器，使其輸出變成 $0.060 \log V_1 + 0.060 \log V_2 + K$ (K 為任一常數)，此即構成 $\log XY = \log X + \log Y$ 的形態，再經一個反對數放大器，即可將 $0.060 \log (V_1 V_2)$ 的輸入變成 $V_1 \times V_2$ 之值。由於最後一級反對數放大器的輸入電壓有其定值，所以在非反相輸入端加上抵補電壓控制器。經調整後，可使抵補電壓在 $-0.3V$ ，且當加法器的輸出在 $-0.6V$ 至 $-0.8V$ 之間時，以要調整電位器 $10k\Omega$ ，即可使 V_{out} 到 $1V$ 。此時改變 V_1 與 V_2 值，即可發現 $V_{out} = n (V_1 \times V_2)$ 。
- ③ 請問 $10k\Omega$ 電位器對 V_1 ， V_2 與 V_{out} 有何效用？
- ④ 請學者將此電路改接成類比平方 (Square) 或平方根 (Square-root) 電路。
(提示：應用 $2 \log_{10} A = \log_{10} A^2$ 之關係，將某數之對數乘以 2，即等於某數平方的對數，學者可將 V_2 取消，使其保持定值，然後改變 R_f 值，即可使 V_{out} 與 V_{in} 成為平方、立方、平方根等之關係。但要記住，當 R_f 改變時，最後一級的抵補電壓需重新調整。)

[附註] 308 或 308A 的接腳圖 (TO-5 型包裝)

[附註] 308 或 308A 的接腳圖 (TO-5 型包裝)



1. 頻率補償
2. 反相輸入端 (Inv)
3. 非反相輸入端 (N. I.)
4. 負電源 (V-)
5. 空腳 (NC)
6. 輸出端 (V_{out})
7. 正電源 (V+)
8. 頻率補償

實驗 A9：定電壓與定電流源

相關知識

OPA 亦可用來做定電壓與定電流源，只要將電壓加在一定值參考電壓上（此參考電壓可用稽納二極體或威士頓電池 Weston Cell* 構成）即可產生相當大範圍的恆流值。如圖 A9-1 所示，參考電壓係經一射極隨耦器與一可變電阻連接。假如不用射極隨耦器，則當負載電流變動時，稽納二極體上的電流 I_Z 亦將隨著變動。此即表示輸出電壓有 ΔV 的變動。如圖 A9-2 所示。加上射極隨耦器之後，由於其吸入甚少之電流，所以能使 I_Z 保持定值，而使 $\Delta V=0$ ，結果就能使輸出電壓保持在 V_Z 值。

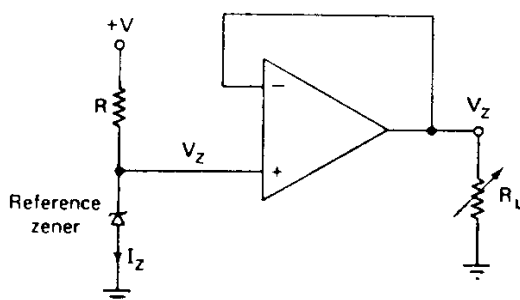


圖 A9-1 利用射極隨耦器擴展可用的定值電流源

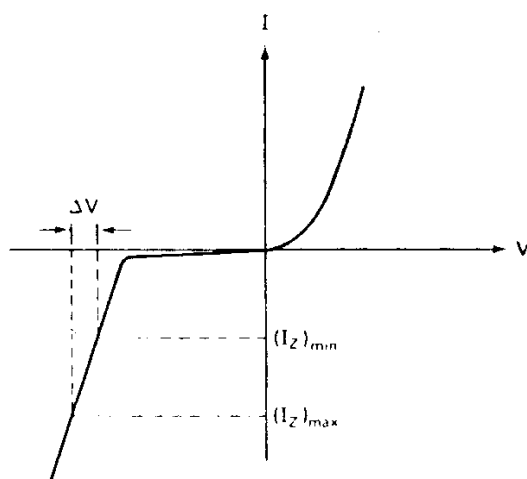


圖 A9-2 稽納二極體之 I-V 特性曲線

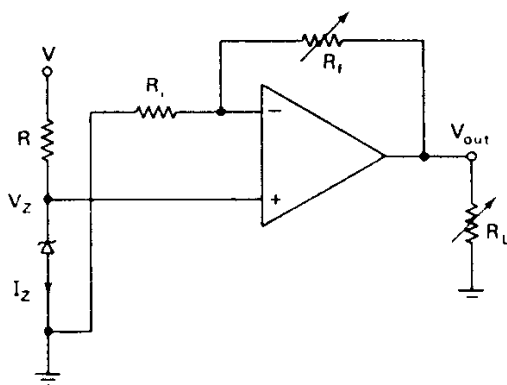


圖 A9-3 可調電壓參考電源

學者如要獲得可調整的輸出電壓值，則可將電路改接成圖 A9-3 之接線，由於係利用一個非反

相放大器，所以其輸出電壓為

$$V_{out} = V_Z \frac{R_i + R_f}{R_i} \dots\dots\dots 1$$

至於其輸出電流係受該 OPA 的額定值所限制，例如在 741 或 307 的場合，輸出電流必須在 5mA 以下才能保證輸出電壓的穩定值。

根據上述，既然可獲得定電壓源，即可加以應用，做成定電流源，如圖 A9-4 所示，其電流值主要由 R_L 所決定

根據實驗 A3，我們可知圖 A9-4 中：

$$I_1 = I_f \dots\dots\dots 2$$

$$I_2 + I_L = I_3 \dots\dots\dots 3$$

$$V_T = V_S = V_L \dots\dots\dots 4$$

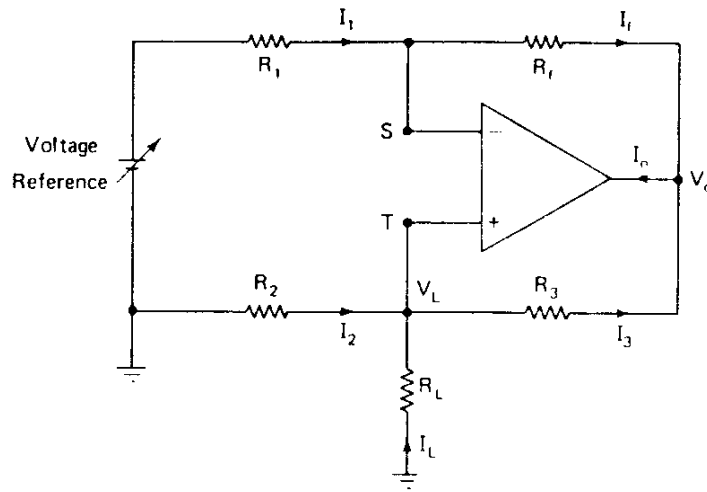


圖 A9-4 利用接地負載將恆壓源改成恆流源

其中 V_L 係 R_L 兩端的電壓。而輸出電壓 V_o 的極性可假定為負，因正電壓係加到反相輸入端。根據歐姆定律可得：

$$I_L = I_3 - I_2 = \frac{V_o - V_L}{R_3} - \frac{V_L}{R_2} \dots\dots\dots 5$$

所以
$$I_1 = \frac{V_{ref} - V_L}{R_1} = I_f = \frac{V_L - V_o}{R_f} \dots\dots\dots 6$$

由 6 中解出
$$V_o = V_L - \frac{R_f (V_{ref} - V_L)}{R_1}$$

將其代入 5 得
$$I_L = -\frac{R_f}{R_1 R_3} (V_{ref} - V_L) - \frac{V_L}{R_2}$$

重新整理之，得
$$I_L = -\frac{R_f V_{ref}}{R_1 R_3} - \left(\frac{R_1 R_3 - R_2 R_f}{R_1 R_2 R_3} \right) V_L \dots\dots\dots 7$$

可見 I_L 受 V_L 影響，即 I_L 隨 R_L 而變之意。

但我們若選擇 $R_1 R_3 - R_2 R_f = 0$ 則上式即可寫成：

$$I_L = -\frac{R_f V_{ref}}{R_1 R_3} \dots\dots\dots 8$$

再將 R_3 選擇成 $R_3 = R_f$ ，即 $R_1 = R_2$ ，可再簡化上式為：

$$I_L = -\frac{V_{ref}}{R_i} \dots\dots\dots 9$$

可見負載電流受 R_i 與 V_{ref} 的影響，而 R_i 與 V_{ref} 均可為定值，因此 I_L 為定值。負號表示 $V_{ref} > 0$ 時， I_L 由地流向 R_L 。最後我們可將恆流源繪成下圖：

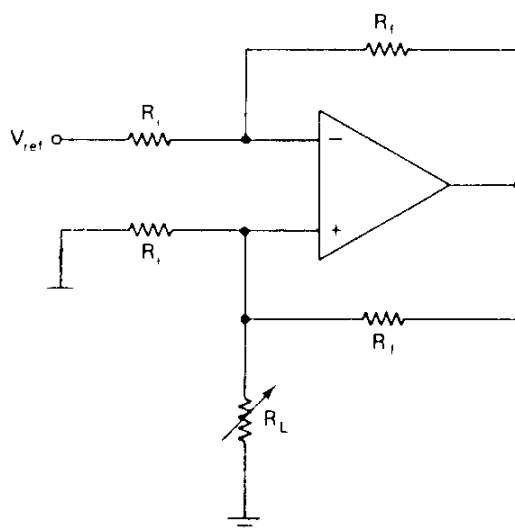


圖 A9-5 恆流源電路

[註] * 威士頓電池（Weston Cell）係一種精密電池，其電壓為 1.02V，具有相當高的內阻，且體積龐大，可維持相當穩定的輸出電壓。

使用器材

OPA：741，307 或同等品各二

稽納二極體： $V_Z < 10V$ 具有高的熱穩定係數

電阻器：10kΩ×3，6.8k×2，電阻箱×2（或 100kΩ 電位器）

數位三用表：一台

示波器：單跡或雙跡均可

實驗步驟

1. 恆壓源（輸出 +10V）

- ① 如圖 A9-3 之接線，先查稽納二極體的 $(I_Z)_{max}$ 值，定其工作電流 $I_Z = 0.2 I_{Z(max)}$ 。
- ② 由公式： $15V = I_Z R + V_Z$ 計算出合適的 R 值，選用最接近此值的電阻器。
- ③ 選用 $R_i = 10k\Omega$ ，而以電阻箱接至 R_f 和 R_L 。調整 R_f 直到輸出電壓 $V_{out} = 10V$ 。

- ④ 以數位三用表量 V_Z 和 V_{out} 值，是否與公式 1 所算的相符。
- ⑤ 由於輸出電壓 V_{out} 係由 10V 直流電壓加上少量交流信號而成。因此，您可用示波器的 AC 檔測量此交流信號，算出交流雜音位準與直流位準的比率。

2. 設計一輸出為 -10V 的恆壓源

3. 計算恆壓源的最大電流值

- ① 接線如圖 A9-3。
- ② 取 $R_L = 100k, 20k, 5k, 1k$ 等數值，其餘零件仍如 1 所述。分別以數位電表量出 V_{out} 值，而算出負載電流值。
- ③ 估計此電路所能供應的最大電流值（當無輸出電壓時），看是否超出低值電流（ $R_L = 100k \Omega$ ）的百分之一。

4. 恆流源

- ① 利用圖 A9-3 的恆壓源供應圖 A9-5 的參考電壓 V_{ref} ，但圖 A9-3 的 R_L 不必接。
- ② 選用 $R_i = 10k \Omega$ ， $R_f = 6.8k \Omega$ ，且設 $V_{ref} = 10V$ ， $R_L = 100 \Omega$ ，負載（ R_L ）= 電阻箱數值 + 安培表內阻，因安培表與電阻箱串接。
- ③ 由安培表讀出負載電流，將此值與用公式 9 所算的比較，是否相符。
- ④ 調整 V_{ref} 使當 $R_L = 100 \Omega$ 時 $I_L = 1.00mA$ ，然後改變 R_L 值，使分別為 1k，5k，10k，而量出對應之 I_L 值，請問當 R_L 到達多大時，負載電流不再保持定值？為什麼？
- ⑤ 當 $R_L = 10k \Omega$ 時，應如何改變零件數值，才能使負載電流不致下降？

實驗 A10：功率放大器

相關知識

大多數的 OPA 僅能提供中等的功率輸出，例如 741，307 或 318 等作為線性放大器時，輸出功率僅約為 0.1W。同時，其最大輸出電壓為 $\pm 15\text{V}$ （當輸出電流為 0 時），最大輸出電流為 25mA（當輸出短路時），而以上兩種情況並不能同時存在。

但有許多 OPA 的應用電路，例如用來推動熱風機，喇叭、或使繼電器閉合的電路，所需的功率均超過 0.1W，因此許多高功率的 OPA 應運而生，目前您已可買到超過 100W 的 OPA 了！而且具有低雜音，低失真的特點，可以說是盡善盡美了。不過，如果您想對雜音位準或失真率略作調整的話，那就需要加裝分立式元件，例如電晶體等，以承受大電流與大電壓。

一般說來，一個廉價的 OPA 最重要的限制乃是低輸出電流。為了補救這個缺點，我們可在其輸出端加上一個電流放大器（Current Booster）。如圖 A10-1 所示，可用 NPN 晶體或 PNP 晶體。由於 OPA 的輸出電流即為電晶體的基極電流 I_B ，其最大值為 25mA，而一般採用 5mA，假設電晶體的 β 值為 100，則經放大後之輸出電流即可達 0.5A。

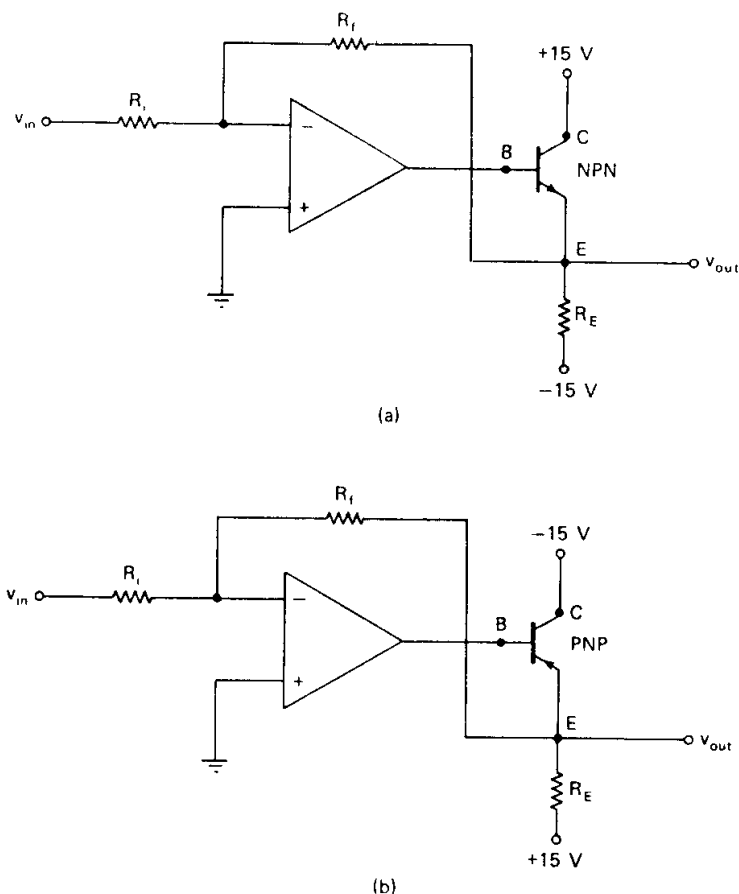


圖 A10-1 OPA 加上一個電流放大器(a) 用 NPN 晶體(b) 用 PNP 晶體（注意：雙電源的接法）

學者請注意此電流放大器的電源接法，與輸出方式。關於輔助的雙電源接法可參閱附錄 E，而輸出方式則為共集極接線或叫射極隨耦器。這樣安排可使交流電壓增益接近 1，即 B 點的電壓與 E 點近似相等。此外，又具有低輸出阻抗的優點（約少於 10Ω ）。對整個電路的電壓增益而言，並沒有因加進一個電晶體而有所影響。其回授電流約為 $-V_{out}/R_f$ ，而此回授電流 I_f 即為輸入電流 V_{in}/R_i ，因此，電壓增益為 $A_v = -R_f/R_i$ 仍然成立，其唯一差別乃在輸出功率已放大到 7.5W 了。

接下去我們考慮設計一個電壓增益為 10 的直流放大器。如圖 A10-2 所示，其輸入電壓為 0 至

1.4V，電流為 0 至 0.13mA，經放大後輸出電壓為 0 至 14V，電流為 0 至 140mA。圖中電位器接在反相輸入端，乃為了抵補調整之用。如果想用 +15V 電源來作抵補調整，則只要將 +、- 輸入端的零件對調即可。

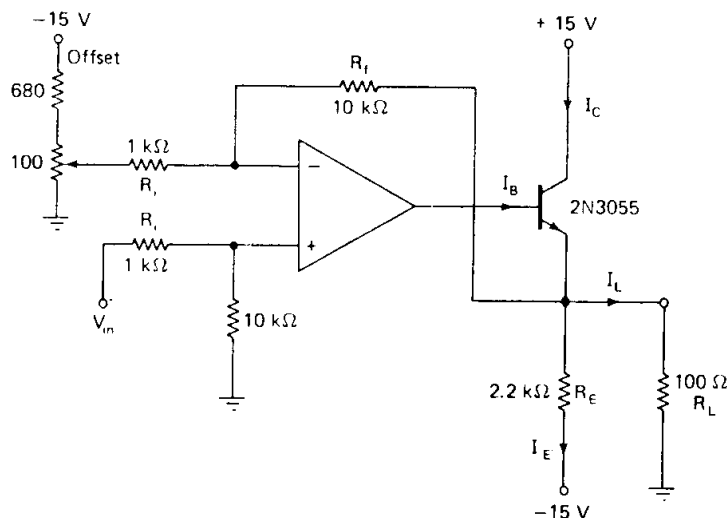


圖 A10-2 增益為 10 的直流放大器

由於我們先行決定以 2N3055 作功率放大器，因此需先查出 2N3055 的各種有關特性數值：

電流增益 $h_{FE} = 20 \sim 70$

最大集射極電壓： $(V_{CEO})_{max} = 60V$

最大集極電流： $(I_C)_{max} = 15A$

當然也有一些同等品可用來代替 2N3055，但其 $(V_{CEO})_{max}$ 必須大於 30V，且 $(I_C)_{max}$ 必須大於所希望的最大負載電流值。

由於 I_B 被限制在 5mA 以下，所以 I_C 也不能超過 $h_{FE} \times 5mA$ 。且因電晶體只在順向狀態中導流，所以集極電流被限制在 $0 < I_C < h_{FE} \times 5mA$ 之範圍內。現在我們就要根據所預定的負載 $R_L = 100 \Omega$ ，來算出輸出電壓的最大值和最小值。

1 當 $I_C = 0$ 時

I_E 幾乎等於 I_L （因回授電流太小可忽略）， R_E 和 R_L 即構成分壓器，所以最小的輸出電壓為

$$(V_{out})_{min} = -15 \frac{R_L}{R_E + R_L} = -0.65V \quad \dots\dots\dots 1$$

2 當 $I_C = h_{FE} \times 5mA$ 時

假定最大輸出電壓為 15V，則 $I_C = 30V/2.2k + 15V/100 \Omega = 184mA$ ，則可推出 $I_B = 184 / h_{FE} = 3.5mA$ （設 $h_{FE} \approx 50$ ），因此 I_B 值合乎常態，我們即可找出在不考慮輸入電壓位準的情況下，輸出電壓的範圍為 $-0.65 < V_{out} < 15V$ 。

假如我們想改變負載電阻，就必須考慮其對基極電流的影響，不能超過 5mA，或對集極電流的影響不超過 250mA。按照這個條件，我們可知 $(R_L)_{min} = 60 \Omega$ 為上例設計圖中最小的負載電阻值。

學者可能會問，若輸出短路時將有何種情形出現？很簡單，當 $V_{out} = 0$ ，即 $V_B \approx 0$ 時，OPA 放出最大的輸出電流 25mA，因此 2N3055 的集電流將增到 1.25A，電晶體將發燙，倘若代用品的 $(I_C)_{max} < 1A$ ，將被燒毀。為了防止瞬間短路所造成的傷害，可在集極和 +15V 之間加上一個集極電阻 R_C ，例如加上 $R_C = 15 \Omega$ 將限制集極電流在 1A 以下。但因加上 R_C ，就會使 $(V_{out})_{max}$ 改變為 $15 (100 / (100 + 15)) = 13V$ ，更好的方法是使用具有限流裝置的電源供給器去推動輸出電晶體。

圖 A10-3 係將直流放大器改成電壓增益為 11 的 A 類交流功率放大器。其頻率響應的下限（-3dB 點）低於 50Hz。圖中由於 A 點為交流地電位，且 V_{in} 從非反相端輸入，故此放大器為非反相放大器。為了使輸出信號在直流電壓的中點電位兩端對稱變化，可調整 100Ω 電位器，以獲得正確的中點直流電壓。

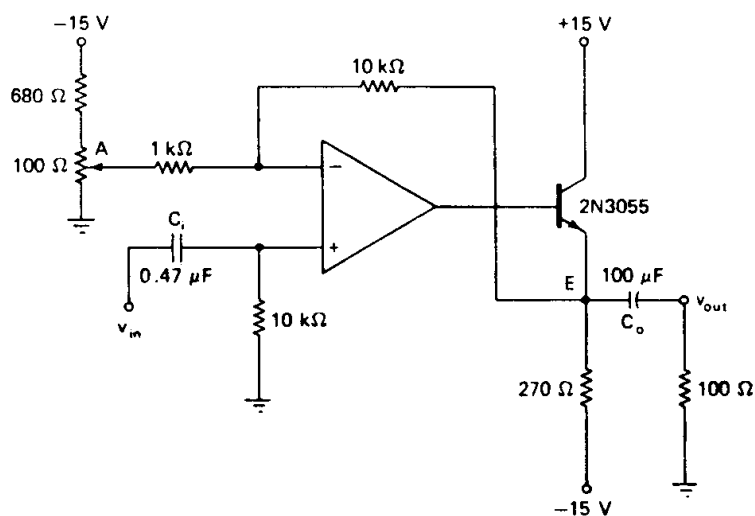


圖 A10-3 電壓增益為 11 的 A 類功率放大器

使用器材

OPA：741，307 或同等品

電晶體：2N3055 或同等品（但需 $(V_{CE})_{max} = 30V$ ， $I_{CE} \geq 500mA$ ）

電阻器：270Ω×1，680Ω×1，1kΩ×2，10kΩ×2，2.2kΩ×1，2W 100Ω×1，電位器 100Ω×1

電容器：0.47 μ/15V×1，100 μ/15V×1

電源供應器：能供應±15V，輸出電流至少為 250mA

示波器：雙跡一台

信號產生器：一台

數位三用表：一台

實驗步驟

- 求最大輸出電流及功率
 - 接線如圖 A10-2，但先不接功率晶體，且回授電阻暫時接在 OPA 的輸出端。
 - 將直流電壓輸入，量輸出電壓，證明此電路之增益是否為 10。
 - 將 OPA 的輸出端接上 100Ω 電阻，其另一端接地。同時將 V_{in} 端接地，調整 100Ω 電位器，使輸出端為 0V。
 - 依次將 0.05V，0.1V，0.15V，0.20V 和 0.30V 輸入 V_{in} ，量出輸出電壓，並據此算出輸出電流。
 - 找出輸出電流在多大時，電壓增益不再等於 10？
 - 找出最大輸出電流及最大輸出功率值。
- 求 $(V_{out})_{min}$ 及 $(V_{out})_{max}$
 - 將功率電晶體接上，如圖 A10-2 之接法。
 - 將 V_{in} 接地，作抵補調整使 $V_{out} = 0$ 。
 - 將負電壓輸入 R_E 端，量出輸出電壓，找出 $(V_{out})_{min}$ ，是否與公式 1 所算的相同？

- ④ 負電壓移開，接上正電壓於集極，量輸出電壓，找出 $(V_{out})_{max}$ ，切記不能做太久，否則晶體會發燙。
- ⑤ 根據上列步驟算出最大輸出電流與功率。
- ⑥ 證明在 $(V_{out})_{min}$ 與 $(V_{out})_{max}$ 之間，本放大器均為線性放大。

3. A 類功率放大器

- ① 接線如圖 A10-3，注意 R_E 改為 270Ω 。
- ② 輸入 $1V_{p-p}$ ， $300Hz$ 之正弦波，將示波器測試棒接於輸出端，調整 100Ω 電位器使輸出波形不失真。
- ③ 算出此放大器的交流增益。
- ④ 將信號產生器之頻率上升並下降，找出 $3dB$ 點的上、下限頻率，記錄之。
- ⑤ 將輸入信號還原為 $1V_{p-p}$ ， $300Hz$ ， R_L 依次用 100Ω ， 500Ω ， $10k\Omega$ 等電阻，再用示波器量出 V_{out} 。
- ⑥ 列出輸出電流與輸出電壓的對應值，說明本放大器的有效輸出電阻。

[附註] 所謂 $3dB$ 點係由公式： $-3dB = 20 \log (A_f / A)$ 所決定，其中 A 係頻帶中點的增益，而 A_f 係其兩端頻率的增益，其彼此之關係為 $A_f = 0.707 \times A$

實驗 A11：利用 OPA 推動繼電器與 SCR

相關知識

前幾個實驗中，我們談到如何利用 OPA 去提高線性放大器的功率，其所遭遇的問題，在非線性放大器中也會遇到。譬如，有時想利用 OPA 去開或關一個大電壓或大電流的電路。較常用的方法就是以繼電器作負載來處理。圖 A11-1 顯示一個零交叉檢波器（Zero-Crossing Detector）與繼電器的組合電路。（註：繼電器的動作屬數位式的動作）

當 $v_{in} < 0$ 時，電流流過繼電器線圈，因此接點閉合。而當 $v_{in} > 0$ 時，電流流經二極體（因其上端為負壓），所以繼電器斷路。學者可以發現負載回路與輸入信號 V_{in} 完全隔離，且為浮接方式（即不接地），因此在負載回路中可用交流電源、直流電源，可接地，亦可不接地等各種方式。其限制僅在接點的最大容忍電壓與電流值。至於繼電器的線圈所能耐的電壓與電流值，必須略小於 OPA 的輸出電壓與電流額定值（即一般 OPA 的 15V，25mA），這是與線性放大器同樣要考慮之處。

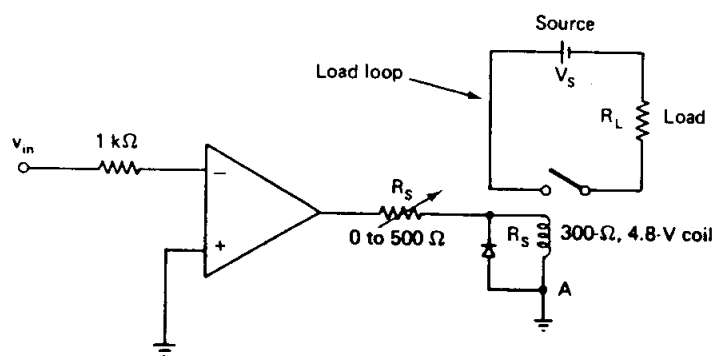


圖 A11-1 利用 OPA 推動繼電器之電路

但是很湊巧，一般繼電器的線圈電壓多用 24V，而您手頭也只有此型繼電器時，您將怎麼辦？請別慌！您只要把圖 A11-1 的 A 點接上 -15V 電壓即可。因為當 $v_{in} < 0$ （即輸出端為高電位時），線圈兩端的電壓即約為 30V，已足以使繼電器動作了！同時一般 24V 繼電器的線圈電流約在 10mA 左右，此種改裝電路已能供應其所需之額定電流值。唯接上 -15V 時，飛輪二極體即不需要了。

另一種用來作大電流與大電壓控制的電路，係以 SCR 代替繼電器。如下圖 A11-2 所示的防盜鈴電話：

當開關使 +15V 導通時，因稽納二極體導通，以致 SCR 的閘極接近 0V，無法使 SCR 觸發。而當開關使 -15V 導通時（即 OFF 時），OPA 的輸出就變成 +5V，此時就觸發了 SCR 而使 A~K 間導通，警鈴就響了，而且一直響到開關改變位置為止（因 V_s 為直流電源）。

圖的線路設計，必須根據 SCR 的特性額定值，例如選用 2N1595 SCR 時，其：

峰值順向阻遏電壓 $V_{FOM} = 50V$

最大順向電流（直流） $I_F = 1.6A$

最大閘極觸發電流 $I_{GT} = 10mA$

最大閘極觸發電壓 $V_{GT} = 3V$

其中 V_{FOM} ，意即當 V_s 大於 V_{FOM} 時，SCR 即自行導通，因此，外接的 V_s 必須小於 50V。同時。為了使閘極觸發信號能正常工作，必須使 $I_{GT} > 10mA$ ， $V_{GT} > 3V$ 。

此外，利用 SCR 觸發的電路，其閘極同路與負載回路必須有共同接地點，而此接地點即為 +15V 與 -15V 的共同點，這是它和繼電器電路不同之處。

倘若負載需使用交流電源時，就需將 SCR 改成 TRIAC，如圖 A11-3 所示，無論在正半週或負半週均能使 TRIAC 導通。而 OPA 的接線則為比較器的接法。當其輸出為負時，FET 的內阻甚高，

而使 TRIAC 斷路。當比較器的輸出為正時，FET 的內阻就降低，而使 TRIAC 導通。因此在正弦波的每一正峰或負峰開始時，如果比較器輸出均為正，則能使負載電路一直導通。

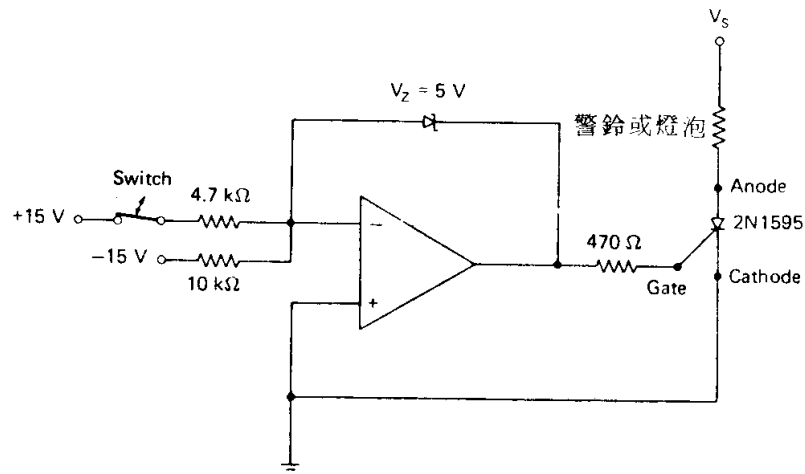


圖 A11-2 防盜鈴電路

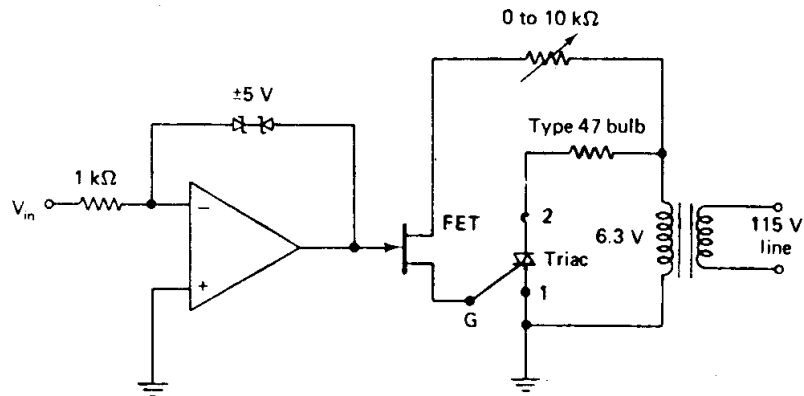


圖 A11-3 利用比較器控制 TRIAC 動作的應用電路

使用器材

OPA：741，307 或同等品

繼電器：12V，10mA 或 24V，10mA

SCR：一般用，如 2N1595

燈泡：53 型或 47 型

二極體：矽二極體×1 稽納二極體 5V×2

FET：N 通道 JFET，如 HEP801

TRIAC：最大順向電流 I_F 在 1A 與 10A 之間者，如 2N5754

變壓器：115V：6.3V 一只

函數波號產生器：2MHz 以下一台

示波器：雙跡一台

雙電源供應器：±30V，1A 一台

實驗步驟

1. 利用 OPA 推動繼電器並點亮燈泡

- ① 接線如圖 A11-1。
 - ② 假設 OPA 的輸出為 $\pm 14\text{V}$ ，求出與繼電器線圈串接的電阻值，將 R_s 調到此值。
 - ③ 將負載回路的 R_L 接上燈泡，並加上合適的電源。(例如用 15V 電源及 53 型燈泡，或用 5V 電源和 47 型燈泡)
 - ④ 在 V_{in} 處加上正電壓，證明燈泡會亮。
2. 利用 OPA 推動 24V 繼電器
- ① 將 1 中的繼電器改成 24V ，且將原並聯的二極體取下。
 - ② 將 A 點 (圖 A11-1) 接上 -15V 電源。
 - ③ 在 V_{in} 處加上正電壓，證明燈泡會亮。
3. 比較器的應用
- ① 接線如圖 A11-2，唯先不接 SCR 及 470Ω 電阻。
 - ② 將開關 ON，量出 OPA 的輸出電壓，再將開關 OFF，量出其輸出電壓。
 - ③ 接上 SCR 及 470Ω 電阻，並將 "警鈴" 改接成燈泡。
 - ④ 將開關 ON 或 OFF，觀察燈泡的反應，請問當燈泡亮了以後，您如何使它熄滅？
4. 利用 OPA 去控制 TRIAC 的動作
- ① 接線如圖 A11-4。
 - ② 加 $+5\text{V}$ 直流電壓於閘極，並用示波器觀察 2 點波形。
 - ③ 將 $10\text{k}\Omega$ 電位器緩慢調整，直到 TRIAC 導通為止，此時 2 點的電壓應下降，記錄導通時之波形。
 - ④ 改加 -5V 直流電壓於閘極，同樣觀察導通時之波形，並記錄其電壓值。
 - ⑤ 接線如圖 A11-3，調整 R_q $10\text{k}\Omega$ 電位器，使能在 $v_{in} > 0$ 及 $v_{in} < 0$ 兩種情況下，均能使 TRIAC 導通。
 - ⑥ 計算負載回路所消耗之功率，並與使用 SCR 之電路比較之。

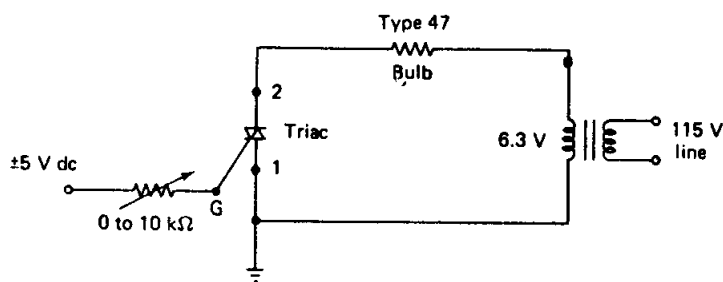


圖 A11-4 TRIAC 接線圖

實驗 A12：活性濾波器

相關知識

所謂 "活性" 濾波器係含有主動元件在其中的濾波器，一般也叫 "有源濾波器"，以別於僅由被動元件組成的 "無源濾波器"。若按頻率的通過情形來分，則可分為四種，如下圖所示，依次為低通 (Low-pass)、高通 (High-pass)、帶通 (Band pass) 及旁通 (Notch) 等四種。其中第一、二兩種約呈相反情形，第三、四兩種亦然。

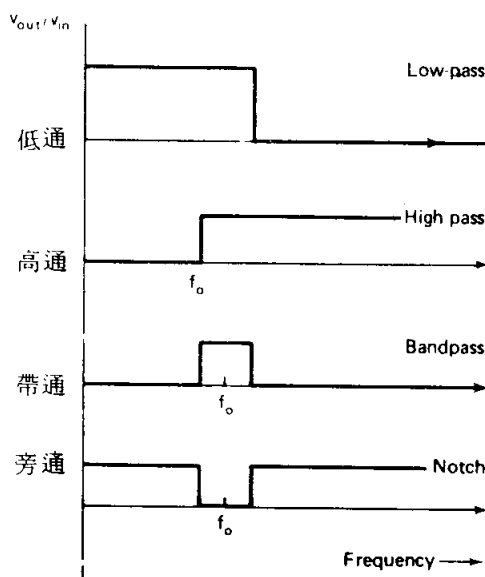


圖 A12-1 四種濾波器的理想響應曲線

假如您要使用活性濾波器，有兩種方式可遵循：一為參考別人所設計好的電路而加以應用。二為自行設計。平心而論，後者較具有教育價值。因此下文將介紹設計的步驟。我們先從無源的 RC 網路開始說明：

如圖 A12-2(a) 所示，係為一 RC 低通濾波器。首先要算出其總阻抗 $Z = R - jX_C$ 其中 $X_C = 1 / 2 \pi f_c$ ，然後算出電流值 $i = v_{in} / Z$ ，就可知道電容器兩端的電壓 v_{out} 為 $-j X_C i$ ，因此若以 $\omega = 2 \pi f$ 代入，則 $v_{out} = -j v_{in} / \omega C (R - j / \omega C)$ 簡化為

$$A_f(\omega) \equiv \left| \frac{v_{out}}{v_{in}} \right| = \frac{1}{(\omega^2 R^2 C^2 + 1)^{1/2}} \dots\dots\dots 1$$

根據上式，即可繪出圖 A12-2(b) 的 $n=1$ 響應曲線，稱為一階低通濾波器，其截止頻為 $\omega_o = 1/RC$ 或 $f_o = 1/2 \pi RC$ 。若要使響應曲線更平坦，則只要再串接幾級同樣的電路即可。

根據公式 1 可知：當 $\omega = 0$ (即直流通過時) $A_f(\omega) \equiv v_{out} / v_{in} = 1$ ，同時當 $\omega = \omega_o$ (截止頻率時) $A_f(\omega_o) = 1 / \sqrt{2} = 0.707$ ，意即當 v_{out} / v_{in} 降到最大值的 70.7% 時，增益衰減了 3dB ($dB = 20 \log v_{out} / v_{in}$)。此時的頻率即稱為截止頻率。學者可以進一步算出頻率增高時的 A_f 值，例如 $\omega = 10 \omega_o$ 或 $\omega = 20 \omega_o$ 時，其值約為 $A_f(10 \omega_o) = 1/10$ ， $A_f(20 \omega_o) = 1/20$ ，因此其衰減率為每八度 2 單位，或每十度 10 單位，以電子術語來說就是每八度 6dB (6dB/octave)，或每十度 20dB (即 20dB/decade)。

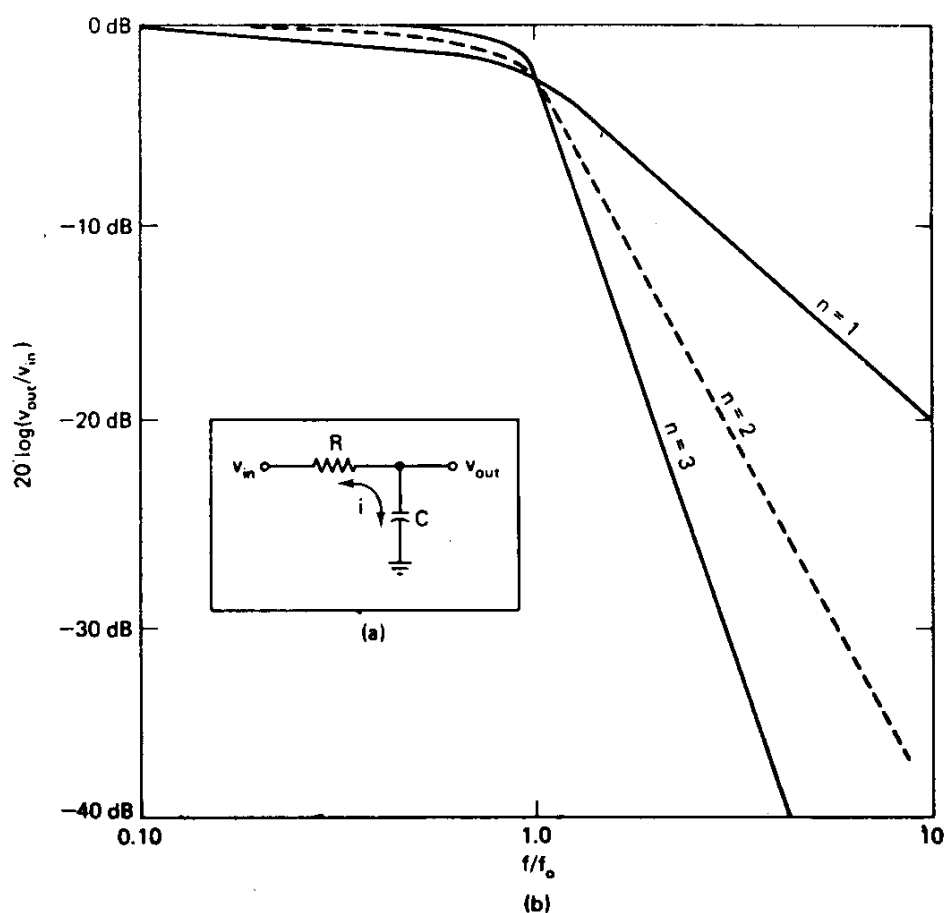


圖 A12-2 (A) 單型 RC 濾波器；(b) 不同節數的響應曲線

下一步就是選擇合適的 R 、 C 值，使 $RC = 1/2\pi f$ ，其中 f 為截止頻率。為了使高頻的 v_{in} 有合適的等效電阻，必先決定 R 值。例如產生 v_{in} 的振盪器具有 600Ω 的輸出阻抗，則需選用 $R = 1k\Omega$ 或更大些，然後再求得 C 值。

至於改進濾波器的方法有好幾種，最常用的乃是巴特爾多項式法 (Butter worth Polynomial method)。此種方法簡要的說，乃是把所要用的電阻、電容，及所希望的截止頻率寫成如下的函數式：

$$A_f(\omega) = A \left[a_n (\omega/\omega_o)^n + a_{n-1} (\omega/\omega_o)^{n-1} + \dots + 1 \right]$$

其中常數 a_n 係隨電阻、電容數值而變的， ω_o 也是一樣。A 為通過直流電時的增益。至於 a_n ， a_{n-1} ……等數值的決定，可由巴特爾多項式的參考表而推算出來。如下表所示。

表 A12-1 巴特爾多項式之變化
n Polynomial*

1	$S+1$
2	$S^2 + \sqrt{2}S + 1$
3	$(S+1)(S^2+S+1)$
4	$(S^2+0.77S+1)(S^2+1.85S+1)$

較高階的式子須由電腦協助求出。但一般只要利用上表即已足夠了。例如在 RC 串聯回路上，我們將將上表中 $n=1$ 的巴特爾多項式代入公式 1 中，而得到 $A_f(\omega) = 1/(j\omega/\omega_o + 1)$ ，式中 $\omega_o = 1/RC$ 為截止頻率。

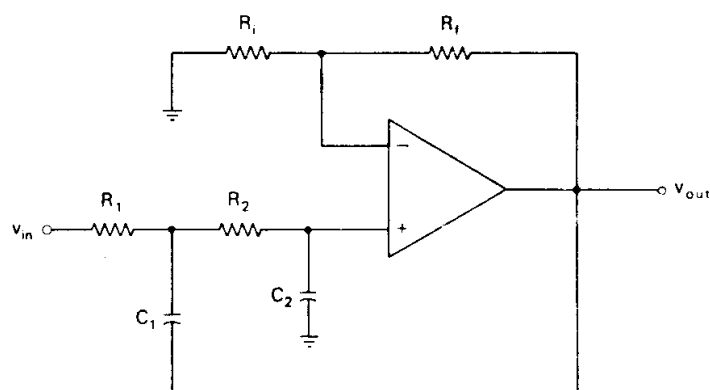


圖 A12-3 第二階低通濾波器

至於二階（ $n=2$ ）的濾波器，電路如圖 A12-3 所示。
經分析後，得到下式：

$$A_f(\omega) = \frac{A}{\left[(j\omega/\omega_o)^2 + (3-A)(j\omega/\omega_o) + 1 \right]} \quad \dots\dots\dots 2$$

其中 A 為 OPA 的非反相增益。且 $A = (R_f + R_i) / R_i$ ，而在二階濾波器中 $\omega_o = 1/RC$ （注意：有許多濾波器設計時 $\omega_o \neq 1/RC$ ）。將公式 2 與巴特爾多項式對照後，若能使 $3-A=1.414$ 或使 $A=1.59$ ，則公式 2 即為二階的巴特爾多項式。其頻率響應即如圖 A12-2 之 $n=2$ 曲線。若要設計一個四階濾波器，則只要將兩個二階濾波器串接即可（即第一個的輸出為第二個的輸入），其全部的轉換函數則為兩個單獨轉換函數的乘積。學者從表 A12-1 可以看出第四階的多項式，恰為兩個第二階多項式的乘積，因此，假如第一個放大器的增益為 2.2，同時第二個放大器的增益為 1.5，我們將可完成一四階濾波器。

帶通濾波器（Bandpass Filter）

一個 RLC 串聯電路具有特定的諧振頻率 f_o ，由於 $(\omega_o = 2\pi f_o = 1/(LC))^{1/2}$ ，所以 $f_o = \frac{1}{2\pi\sqrt{LC}}$ ，其頻帶寬度 $\Delta\omega$ 定義在 $A_f(\omega)$ 為最大值的 0.707 倍之兩點間。而 $A_f(\omega)$ 之轉換函數則為：

$$A_f(\omega) = \frac{v_R}{v_{in}} = \frac{R(j\omega L)}{-\omega^2 + (1/LC) + j\omega R/L} \quad \dots\dots\dots 3$$

至於其品質因數 Q 則以下式表之

$$Q = \frac{\omega_o}{\Delta\omega} = \frac{\omega_o L}{R} = \frac{2\pi f_o L}{R} = \frac{X_L}{R}$$

假如我們把 RLC 串聯電路中的 v_R 接到增益為 A 的放大器上，則可形成一個活性濾波器，其結果可獲得新的轉換公式：

$$A_f(\omega) = \frac{-j\omega(\omega_o/Q)A}{(j\omega)^2 + (\omega_o/Q)j\omega + \omega_o^2} \quad \dots\dots\dots 4$$

比較常用的帶通濾波器線路，如圖 A12-4 所示：

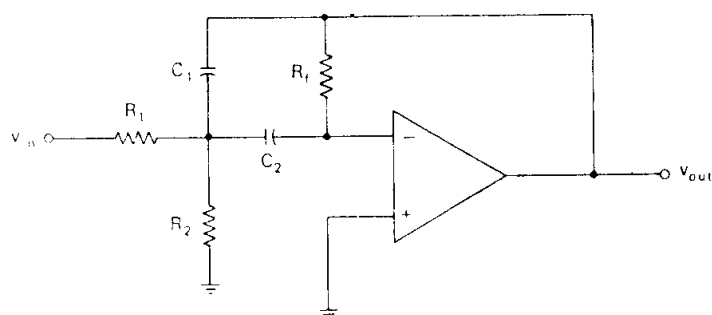


圖 A12-4 帶通濾波器

其電路的分析，可將所用的 R 及 C 寫成 $A_f(\omega)$ 式，如下：

$$A_f(\omega) = \frac{j\omega/R_1C_1}{-j\omega^2 + \frac{C_1+C_2}{R_fC_1C_2}j\omega + \frac{1}{R_pR_fC_1C_2}} \quad \dots\dots\dots 5$$

其中 $R_p = (R_1 R_2) / (R_1 + R_2)$ ，然後比較 4、5 二式，得知：

$$R_1\omega_oC_1 = \frac{Q}{A}$$

$$R_f\omega_o \frac{C_1C_2}{C_1+C_2} = Q$$

$$R_pR_fC_1C_2 = \frac{1}{\omega_o^2}$$

現在我們就可著手來設計任一帶通濾波器。例如，我們選擇 $Q=20$ （很尖銳的曲線），增益 A 為 20，且中心頻率為 1KHz。則通帶寬度為 f_o/Q 為 50Hz，接下去就是選擇 R_1 ， R_2 ， R_f ， C_1 和 C_2 值。

這時我們只能以嚐試的方法來進行。一般爲了方便，我們選擇 $C_1=C_2$ ，同時不用大於 1M 或小於數百歐姆的電阻，此外，電容的阻抗在 1KHz 時最好爲數 k Ω 。根據這些概略的原則，我們決定以 $C=0.1\mu F$ 開始推斷其餘零件。因爲 $R_1=Q/A\omega_oC_1$ 所以 $R_1=1600\Omega$ ，同時求得 $R_f=Q(C_1+C_2)/\omega_oC_1C_2=64k\Omega$ 。最後得 $R_p=1/(\omega_o^2C_1^2R_f)=40\Omega$ ，由於 $R_p=R_1R_2/(R_1+R_2)$ 所以此值太小，須重新再選定一個 C 值，使 R_1 ， R_f ， R_p 均在合理的範圍內。

這種設計程序，在高 Q 值的電路中顯得較難些，但學者可借助於電腦而完成設計。至於此種濾波器的增益要求，應限制在 OPA 的開環增益以下才好（在中心頻率時的增益）。

使用器材

OPA：741 或同等品

電阻器：1.5k $\Omega \times 2$ ，10k $\Omega \times 2$ ，15k Ω ，8.2k Ω ，330k Ω 、220 Ω 各一，電阻箱

電容器：0.01 $\mu F \times 1$ ，0.1 $\mu F \times 2$ ，0.02 $\mu F \times 2$

示波器：雙跡，10MHz 一台

函數信號產生器：2MHz 一台

實驗步驟

1. 單極 RC 濾波器 (Single-Pole RC Filter)

- ① 接線如圖 A12-3，其中 $R_2 = 15k\Omega$ ， $C_2 = 0.01\mu F$ ， $R_1 = 10k\Omega$ ， $R_f = 10k\Omega$ ，同時先將 R_1 ， C_1 拿掉，使 V_{in} 直接加到 R_2 ，且 v_{out} 與 v_{in} 間沒有接線。
- ② 輸入 $1V_{p-p}$ 的交流信號，頻率自 125Hz，250Hz，500Hz，1KHz，2KHz，4KHz，8KHz 到 16KHz 為止，共有八階，用示波器量出其輸出信號的大小。
- ③ 找出輸出電壓為低頻（假定 50Hz）時的 70.7% 之頻率，即為截止頻率（3dB 點頻率），將此頻率與計算值 $f_0 = 1/2\pi RC$ 比較之，是否相同？
- ④ 將所量得的資料，照圖 A12-2 的對數圖描出曲線。記住縱軸為 $20 \log_{10} V_{out}/V_{max}$ ，橫軸為 $\log_{10} f/f_0$ 。圖描好後，可從其上找出截止頻率 f_0 之點。
- ⑤ 從曲線圖中求出衰減率，即以 8KHz 的輸出比 4KHz 的輸出。因為從 4KHz 到 8KHz 恰好構成一個八度音階，所以衰減率可以用每八度音多少分貝來表示（dB/Octave）。此值應與圖中 4KHz 點到 8KHz 點的斜率相同。同時，您可將此值與典型的一階低通濾波器的衰減率相比較，二者應極相近才對。

2. 二階濾波器 (Seoond-Order Filter)

- ① 接線如圖 A12-3， $R_1 = R_2 = 1.5k\Omega$ ， $C_1 = C_2 = 0.1\mu F$ ， $R_1 = 10k\Omega$ ，且 $R_f = 15k\Omega$ （ R_f 用電阻箱較有彈性，最好用 16k Ω ）。
- ② 輸入 $1V_{p-p}$ 正弦波，其頻率依次為 250Hz，500Hz，750Hz，1KHz，1.25KHz，2KHz 和 4KHz，用示波器量出各個輸出值。
- ③ 照 1 之步驟，將測量值描在對數表上。
- ④ 找出 3dB 點，並算出衰減率，以 dB/octave 表示。
- ⑤ 將此衰減率圖與圖 A12-2， $n=2$ 之曲線比較之。（註）當我們把輸入信號向兩端延伸時，例如從 100Hz 到 10KHz 變化時，輸出信號可能會出現尖波（Peaking）情形。這是由於 OPA 的頻率補償不良所引起，學者可驗證之。

3. 帶通濾波器 (Bandpass Filter)

- ① 接線如圖 A12-4，其條件為 $f_0 = 1KHz$ ， $A = 20$ ， $Q = 20$ 。選用 $C_1 = C_2 = 0.02\mu F$ ， $R_1 = 8k\Omega$ ， $R_f = 318k\Omega$ ， $R_2 = 201\Omega$ ，利用標準電阻器使 $R_f = 330k\Omega$ ， $R_2 = 220\Omega$ 。
- ② 輸入 $0.1V_{p-p}$ 正弦波，頻率自 100Hz 到 2KHz 之間變化，用示波器量出輸出波形。可以看出接近 1KHz 時輸出最大，找出此頻率 f_0 。
- ③ 仔細地在中央頻率的兩端，找出輸出為最大值的 70.7% 之頻率（即 3dB 點），此兩頻率之差 Δf 即為頻帶寬度，
- ④ 再將頻率自 250Hz，500Hz，750Hz，1KHz，1.25KHz，1.5KHz 到 2KHz 調整，測出其輸出值。
- ⑤ 將所測之值，按對數表畫出，縱軸為 $20 \log v_{out}/v_{in}$ ，橫軸為 $\log f/f_0$ 。
- ⑥ 按照所測得的值 Δf ，算出 Q 值，是否與原定的 Q 值相同？ A 值是否也相同？

4. 頻譜分析 (Spectrum Analysis)

原理說明：任一週期性波形均可由一系列的正弦波所組成。例如某一頻帶之中間頻率 C 為 512Hz，則其品質（Quality）可說是由一連串之諧波所造成，對 512Hz 而言，為 1024，1536，2048Hz.....等與基本波合成之效應。頻譜分析就是把某一波形所含的一切頻率找出來。而帶通濾波器即可對方波進行分析。根據傅立葉級數（Fourier Series）的表示。若其電壓值為 $1V_{p-p}$ ，則可以下式表之：

$$\text{方波} = \frac{4}{\pi} \left(\sin 2\pi f_t + \frac{1}{3} \sin 6\pi f_t + \frac{1}{5} \sin 10\pi f_t + \dots \right), \text{可見方波頻率 } \gamma \text{ 中，含有 } \frac{4}{\pi}$$

的 f , $\frac{4}{3\pi}$ 的 $3f$等正弦波在內。

- ① 利用已接好的帶通濾波器，其中間頻率為 1000Hz。
- ② 依次以 $1V_{p-p}$ 的方波輸入，頻率自 1000Hz，500Hz，333Hz，250Hz 至 200Hz 變化，請問其結果是否與傅立葉級數的各項相同？

[註] 學者若有頻譜分析儀，則更能用來證明帶通濾波器的功能。

實驗 A13：振盪器

相關知識

以前所用的 OPA 電路大多為負回授方式。本實驗將以正回授（或叫再生）方式接線。意即把輸出信號的一部分以同相方式接到輸入端，造成 "相加" 的激勵作用，因此取回的信號愈大，輸出也就愈大，直到其限制點為止。比較器與樞密特觸發器即為正回授電路，其輸出最大值乃受電壓的限制。我們將可利用這種 "易變性" (Instability) 來組成相移振盪器。

首先，以數學式表示振盪的條件（按 OPA 的閉環增益計算）：

$$\frac{v_{out}}{V_{in}} = \frac{A_o}{1 + \beta A_o} \dots\dots\dots 1$$

式中 β 為回授率，表示加到輸入信號中的一部分輸出信號。其值可為 +、-、實數，或複數。假如 1 式中分母為 0，則 v_{out}/v_{in} 將為無限大，意即 $-\beta A_o = 1$ 時，也就是達到巴克豪森準則 (Barkhausen Criterion) 時，電路一定振盪。一般而言， β 係由電阻器和電容器所決定，因此巴克豪森準則包括兩部分：

- (1) 輸出和輸入的全部相移必須為 0，或 2π ， 4π 等，此時的頻率，即為振盪頻率。
- (2) βA_o 的絕對值必須等於 1，才能造成穩定振盪。

這兩條準則可由下圖之電路加以說明：

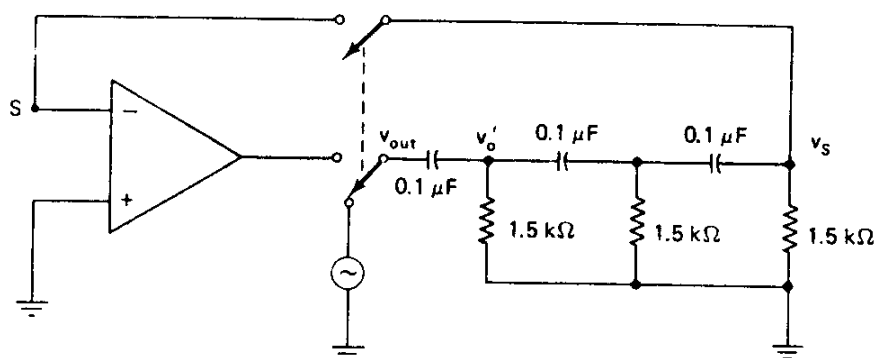


圖 A13-1 相移振盪器

首先考慮開關向下時的 RC 電路情況：由於每一 RC 節的相移角度為 $\phi = \tan^{-1}(1/2\pi f RC)$ ，可見此角度受 f 影響而有兩個極限，即當 $f \rightarrow \infty$ 時， $\phi = 0^\circ$ ，又當 $f = 0$ 時 $\phi = 90^\circ$ 。又可見圖中 V_o' 與 V_{out} 之間已有 $0 \sim 90^\circ$ 之間的相位差，而每一節之間又有類似的相位差，所以 V_s 與 V_{out} 之相位差約在 $0^\circ \sim 270^\circ$ 之間。但是我們希望 V_s 和 V_{out} 之間相差 180° ，好使 V_s 回授到 OPA 的反相輸入端後，再從輸出端得到 360° 的同相信號，才能造成正常的持續振盪。因此，必須調整 R，C 值以

獲得 180° 的相移，並求得 V_S/V_{out} 之函數式。

根據古典式的網路分析法，可以求出 RC 網路的轉移函數，即回授率的負值：

$$-\beta = \frac{V_{out}}{V_{in}} = \frac{1}{1 - 5\alpha^2 - j(6\alpha - \alpha^3)} \quad \text{而} \quad \alpha \equiv \frac{1}{\omega RC}$$

而當 $\alpha^2 = 6$ 時，虛數項為 0，即 $f_0 = 1/2 \pi RC\sqrt{6}$ 時 V_{out}/V_{in} 的相差是 180° ，在這振盪頻率下 $\beta = +\frac{1}{29}$ ，即 $V_S/V_{out} = -\beta = -\frac{1}{29}$ ，爲了滿足巴克豪森第二準則， $|\beta A_o| = A_o/29 = 1$ 即 OPA 的開環增益至少需要 29 才會振盪。應用時只要能使 $|\beta A_o| \geq 1$ 或 $A_o \geq 29$ 即能造成振盪。若因 $|\beta A|$ 稍大於 1 而造成失真，則只要在回授回路上串接一個電阻，即可減少其增益而不失真。

偉恩橋式振盪器 (Wien bridge Oscillator) 比相移振盪器性能更好，其電路如圖 A13-2 所示：

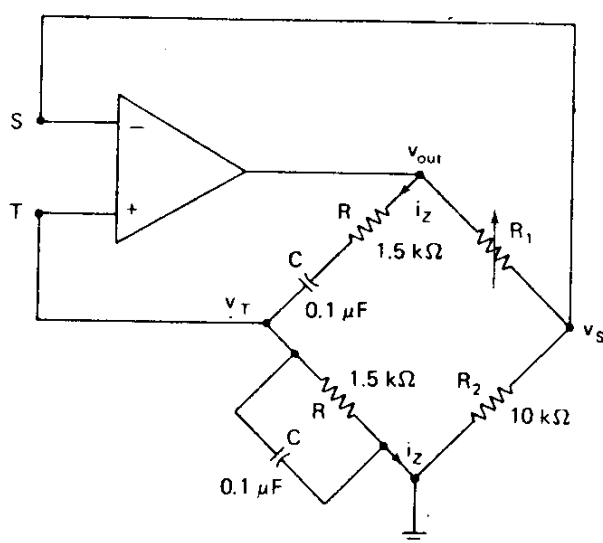


圖 A13-2 偉恩橋式振盪器

其設計的準則 (按照線路圖)，第一爲 $V_T - V_S$ 必須與 V_{out} 同相位。由於 $V_S = V_{out} \frac{R_2}{R_1 + R_2}$ 爲一實數，所以 V_T 必須不含虛數。而 $V_T = Z_2 V_{out} / (Z_1 + Z_2)$ ，其中 $Z_1 = R - j \frac{1}{\omega C}$ ，且 $Z_2 = R / (1 + j\omega RC)$ ，

$$\text{所以} \quad \frac{V_T}{V_{out}} = \frac{\omega RC}{2\omega RC + \omega^2 R^2 C^2 - j(1 - \omega^2 R^2 C^2)} \quad \dots\dots\dots 2$$

爲了滿足巴克豪森第一準則，2 中的虛數項必須爲 0，因此 $1 - \omega^2 R^2 C^2 = 0$ 就可求得諧振頻率爲 $f = f_0 = \frac{1}{2\pi RC}$ ，此時 $\frac{V_T}{V_{out}} = \frac{1}{3}$ 。

當頻率爲 $f = 1/2 \pi RC$ 時，只要 $V_T - V_S > 0$ 即可產生振盪。切記， R_1 必須調到大於 $2R_2$ 時，才會開始振盪。若 $R_1 < 2R_2$ ，則 $V_T - V_S < 0$ ，爲負回授而無法振盪。

弛緩振盪器 (Relaxation Oscillators)

許多振盪器的輸出並不需要正弦波，而是方波，三角波和脈波，因此有許多 IC 被用來產生這些波形。由於其所需外加的零件甚少，就顯得很方便。例如用來作 VCO (電壓控制頻率) 的 LM111 或 LM101，均具有 "可程式性" (Programmability)，意即其輸出之頻率係正比於輸入電壓的位準。這種電路也叫做電壓—頻率轉換器 (V-to-F converter)。

由於每個 IC 特性、工作情況均不同，無法在此進行一般性的分析。大體而言，許多 IC 中至少

包含一個恆流源，以便對電容器充電，而充電的時間常數則依電路中的 R、C 值而定。我們將在實驗步驟中介紹 566 振盪器的應用。

使用器材

OPA：741（或 307），566 各一

電容器：0.1 μF ×3

電阻器：1.5k Ω ×3，10k Ω ×1，電阻箱，10k Ω 電位器×1

稽納二極體：10V 以下×2

示波器：雙跡一台

雙電源供應器：一台

函數信號產生器：一台

實驗步驟

1. 相移振盪器

- ① 接線如圖 A13-1，但先不接到 OPA 上。
- ② 加 10V_{p-p} 之正弦波於 V_{out} 端，頻率自 100Hz 到 1000Hz 變化。
- ③ 用雙跡示波器同時觀測 V_{out} 與 V_S，並以 X-Y 模式觀測李氏圖。
- ④ 請問在多大頻率時，呈一斜線？即相位移 180°，將此頻率與公式 $1/(\sqrt{6}2\pi RC)$ 所算之值比較之。
- ⑤ 將 OPA 接上，觀察 V_{out} 與 V_{in} 是否與上列步驟相同？
- ⑥ 若 $|\beta A_o| \gg 1$ ，則振盪器飽和，頻率就與公式所算的不同，因此要避免飽和。
- ⑦ 將兩個稽納二極體背對背接在一起，其兩端跨在 OPA 的輸出端與反相輸入端。則輸出被箝位在稽納電壓中。即可防止飽和現象。

2. 偉恩橋式振盪器

- ① 接線如圖 A13-2，R₁ 以電阻箱代替。
- ② 將 R₁ 從 10k Ω 步進式增加，每次增加 1k Ω 。
- ③ 找出 R₁ 在何值時，振盪器啓振？此時 R₂ / (R₁ + R₂) 是否為 $\frac{1}{3}$ ？

3. 弛緩振盪器

- ① 利用 Signetics 公司做的 566IC 式函數信號產生器，接線如圖 A13-3。
- ② 參考製造廠的特性手冊，知道頻率是由 R₁，C₁ 決定，而電壓係加在第 5 腳。
- ③ 查表知振盪頻率約等於 $2(V^+ - V_5) / R_1 C_1 V^+$ ，而 V₅ 被限制在 0.75V⁺ 和 V⁺ 之間。因此先將 C₁，R₁ 固定，使 C₁ = 0.1 μF ，R₁ = 2k Ω ，然後調整 R，使 0.76V⁺ < V₅ < V⁺。（此時 V_{in}，C_{in} 均不加）
- ④ 用示波器觀察第 3 腳的輸出波，加以記錄。
- ⑤ 將 R₁ 改為 10k Ω ，20k Ω ，再調 R 使第 3 腳輸出不失真方波。
- ⑥ 繪出特性曲線，橫軸為頻率，縱軸為 (V⁺ - V₅) / V⁺，而參數為 R₁ = 2k，10k，與 20k。
- ⑦ 當 R₁ = 10k Ω 時 V₅ ≈ 12V，用示波器量第 4 腳所輸出之三角波，其頻率是否與第 3 腳相同？試說明原因。
（註）若 V₅ < 0.75V⁺，R₁ < 2k Ω ，或 R₁ > 100k Ω 時並不敢保證有不失真波形輸出。

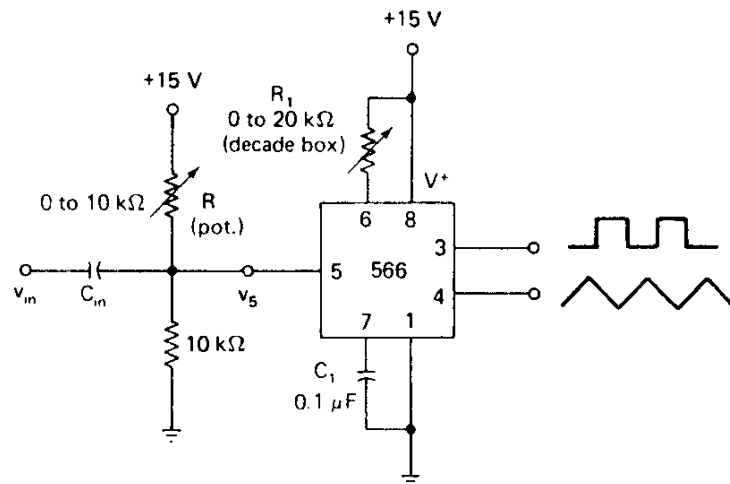


圖 A13-3 566 單石 IC 式函數信號產生器

4. 頻率調制

- ① 調整 R_1 使 566 輸出頻率為 1000Hz。
- ② 以 $4V_{p-p}$ ，頻率為 100Hz 的正弦波輸入 V_{in} 端。此時 C_{in} 接上， $C_{in} \approx 0.1 \mu F$ 。
- ③ 用示波器觀察第 4 腳波形，您將發現波形很不穩定，請說明原因。

第三部分

綜合作業

到目前爲上，您已對數位和類比兩大類型的電路有了基礎約了解，因此，我們再提供一些有趣而實用的應用電路給您。希望您至少能選擇其中的一項，從頭到尾親手做完，相信會給您臆想不到的成就感。若是您的時間夠，且確實有興趣，那我就建議您將每一項作業都做完，您的收穫將超過前者。

由於每一作業之間並無連續性，所以您要從哪個作業開始都可以，我們預祝您成功。

作業 P1：利用 OPA 做穩壓器

相關知識

由於高頻信號的傳送日漸頻繁，穩壓器的需要性也就日漸增加。要言之，穩壓器的輸出不可以受負載電流與交流線電壓的變動所影響，它能提供平穩的輸出電壓。一個好的穩壓器更能消除輸出電壓中的漣波成分。

我們分析一個背通的電源供給器時，都以一個電池和一個電阻串接來說明，這個電阻就是電源供給器的內阻，也就是它的輸出阻抗。當負載電流增加時，內電阻兩端的壓降就跟著增加，電源電壓也就下降。此時，若加上穩壓電路，情況就不同了，那就是說，穩壓器制止了電源電壓的下降。當然，您會懷疑到它能耐得住多少電流的變動，而輸出電壓不變。有一個鐵定的原則就是 "穩壓器的輸出電壓一定比沒有穩壓前的輸入電壓低"。

一個簡陋的穩壓器，可由一個電晶體接成射極隨耦器（即 CC 電路）而形成，如圖 P1-1(a) 所示。由於它具有很低的輸出阻抗，所以它的輸出電壓爲 $V_{ref} - 0.6V$ ，只要 V_{ref} 穩定如實驗 A9 的恆壓源即可。由於集極電流遠大於基極電流，所以輸出功率大多由未調整的電壓供應，而很少電流自參考電源流出。

爲了使輸出電壓不受 V_{BE} 影響，我們接上一個 OPA，如圖 P1-1(b) 所示。由於是非反相接法，所以電路的增益爲 $A_f = (R_i + R_f) / R_i$ ，其輸出電壓即爲 $A_f V_{ref}$ ，只要 V_C 一直大於 V_{ref} ，輸出即維持定值。OPA 在此係作爲誤差放大器；當 $V_{out} < A_f V_{ref}$ 時，負回授量就減少，OPA 的輸出就增加，即基極電流增加，導致射極電流增加，而使 R_E 上的電壓提升，因此 V_{out} 恢復定值。由此可見 OPA 有校正錯誤的功能。

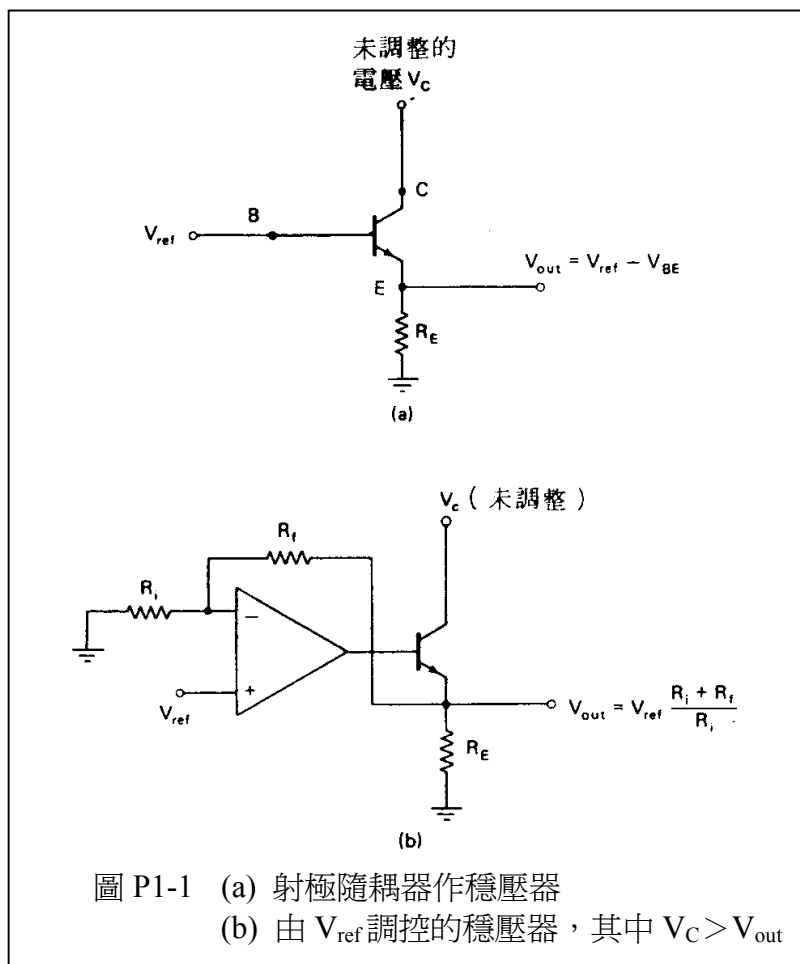


圖 P1-1 (a) 射極隨耦器作穩壓器
(b) 由 V_{ref} 調控的穩壓器，其中 $V_C > V_{out}$

此外，具有穩壓功能的 IC，如 723 有精密調節電壓的功能。根據特性手冊所記，723 包括一個溫度補償位準放大器，一個誤差放大器，一個串接的輸出晶體和一個廣範圍的電流限制器，其接腳及各部分結構如圖 P1-2 所示。

其應用範圍頗廣，它可對正電壓和負電壓作穩壓，也可以做限流裝置，唯一缺點就是外接零件較多。學者若要用單一電壓穩定器，則請參閱附錄 E。

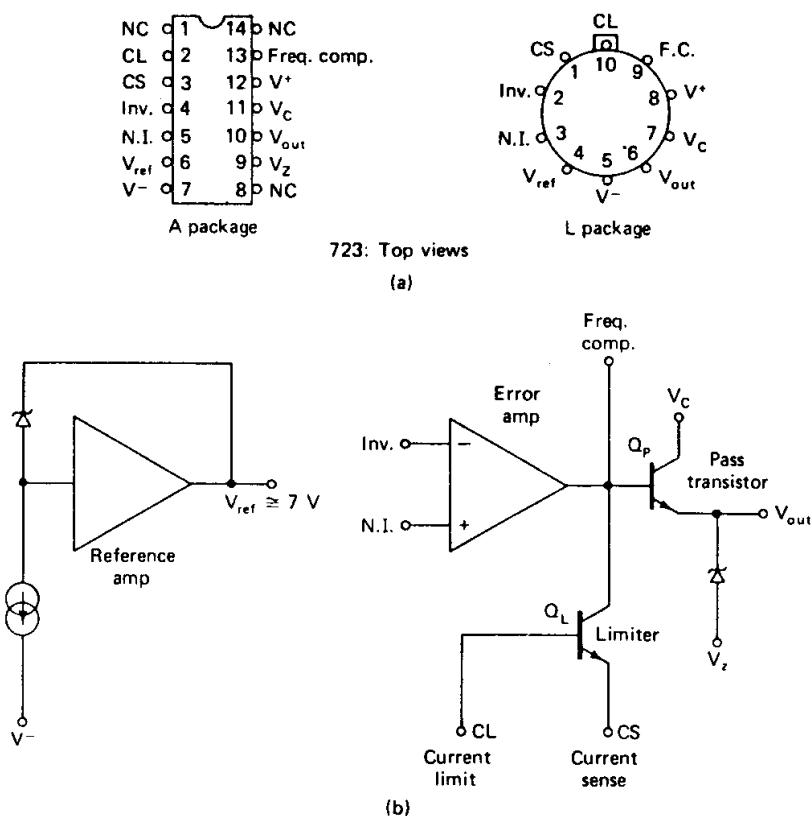


圖 P1-2 (a) 723 之接腳圖

(b) 左邊為等效電路，右邊為內部電路，唯未將 OPA 的 V⁺，V⁻標出

使用器材

IC：723

電容器：1 μF/10V，100p，0.001 μF

電阻器：10Ω，15Ω，1k，2.2k，2.7k，4.7k 各一

電位器 10kΩ×1，兩個電阻箱（或電位器 10kΩ兩個）

電晶體：2N3055 或同等品 (I_C)_{max} ≥ 250mA

數位三用表一只

實驗步驟

1. 7~37V 穩壓器

- ① 接線如圖 P1-3(a)，將其化成等效電路如圖 P1-3(b)，圖 P1-1(b) 極相似，因此其輸出電壓 V_{reg} 可表為

$$V_{reg} = V_{ref} \left(\frac{R_i + R_f}{R_i} \right) \dots\dots\dots 1$$

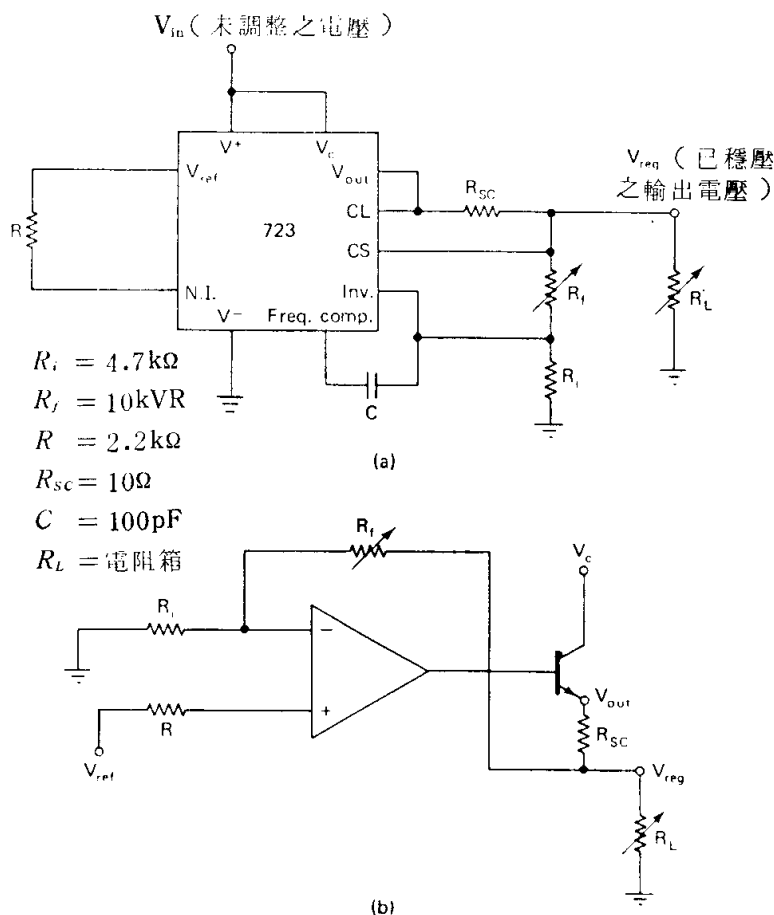


圖 P1-3 (a) 7~37V 穩壓器，各零件值記在圖左，(b) 等效電路（略去限流部份）

- ② 由於 723 的參考電壓放大器（在內部）提供 $V_{ref} \cong 7V$ ，所以當 $R_f = 0$ 時 $V_{reg} = 7V$ 為最小之輸出電壓。而電阻 R 是用來減少溫度漂移和輸入電流的抵補調整用的，其值選為：

$$R = \frac{R_i R_f}{R_i + R_f} \dots\dots\dots 2$$

- ③ 限流特性可由圖 P1-2(b) 了解。
- ④ R_{sc} 係作短路保護用電阻（Short-Circuit Protection），其兩端電壓係加在基極（ C_L ）與射極（ C_S ）之間，而有限流作用；設此電壓為 V_{sense} ，則當 V_{sense} 達到 $0.6V$ 時，限流電晶體 ON，而使傳輸電晶體（Pass）的基極對射極為負，所以 Q_P OFF，而無輸出。
- ⑤ 由於 Q_P 的最大集極電流為 $150mA$ ，所以 R_{sc} 至少需 4Ω ，以防止 Q_P 燒毀。因為 $R_{sc} = V_{sense} / I_{sc} = 0.6V / I_{sc}$ ，其中 I_{sc} 為短路電流。我們若選擇 $R_{sc} = 10\Omega$ ，則可限制 I_{out} 到 $60mA$ 。現在我們就可根據以上的分析選擇各個零件，使輸出電壓為 $15V$ 。
- ⑥ 以未調整的電壓 $17V$ ， $60mA$ 輸入 V_{in} （不可超過 $40V$ ），然後調整 R_f ，使輸出為 $15V$ 。
- ⑦ 當 $R_L = 10\Omega$ 時，輸出電流為多少？此時可因調整 R_L 而使 $14.85V \leq V_{reg} \leq 15V$ ，在此範圍內找到最大輸出電流。
- ⑧ 若 V_{in} （即 V_C ） $> 17V$ 時，輸出有何改變？

2. 2~7V 穩壓器

- ① 將電路修改成低壓穩壓器（2~7V 用），電路如圖 P1-4(a)，等效電路如圖 P1-4(b) 所示。

- ② 選擇 $R_f = \frac{R_1 R_2}{R_1 + R_2} \dots\dots\dots 3$ ，若 $R_f = 0$ ，則 OPA 為全一耦合器，但為防止溫度升高造成的漂

移，所以 R_f 需維持定值。

- ③ 輸出電壓可表示為 $V_{reg} = V_{ref} \frac{R_2}{R_1 + R_2}$ 4
- ④ 選用下列零件，並將其接在電路板上： $R_1 = 2.7k\Omega$ ， $R_2 = 10k\Omega$ ， $R_f = 2.2k\Omega$ ， $R_{SC} = 10\Omega$ ， $C = 100p$ ， $C_{ref} = 1\mu$ 。
- ⑤ 若 $V_{in} > 9V$ ，(但 $< 40V$)，電流為 $60mA$ ，調整 R_2 ，能否得到 $V_{reg} = 5V$ 的輸出。
- ⑥ 又若調 R_L 時，其最大輸出電流為多少？

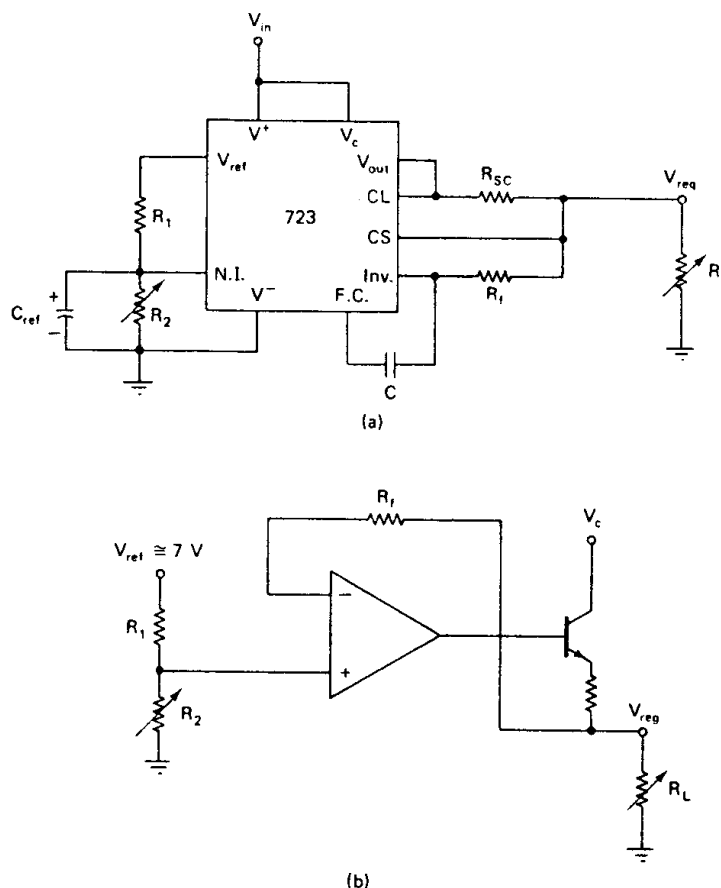


圖 P1-4 (a) 2~7V 穩壓器，(b) 等效電路

3. 摺疊式限流穩壓器 (Low-voltage fold-back Current-limiting regulators)

- ① 接線如圖 P1-5(a)，由於其輸出特性有反摺情形 (如圖 P1-5(b)) 所示，故名摺疊式限流穩壓器。
- ② 由於傳輸電晶體 (Pass Transistor) 係接在 IC 之外，故能將安全電流提升到 $15A$ ，(只用 IC 內部電晶體的為 $150mA$)。同時因回授電壓接到反相輸入端，所以輸出電壓並不受外加傳輸電晶體的影響，其電壓值仍為：

$$V_{reg} = V_{ref} \frac{R_2}{R_1 + R_2}$$

- ③ 其限流作用分析如下：

因為 $V_{CL} - V_{CS} \equiv V_{sense} = \frac{V_{out} \times R_4}{R_3 + R_4} - V_{reg}$ ，且 $V_{out} = V_{reg} + I_{out} R_{SC}$ ，所以由上二式解得：

$$I_{out} = \frac{R_3 \times V_{reg}}{R_{SC} \times R_4} + \frac{(R_3 + R_4) V_{sense}}{R_{SC} \times R_4} \quad \dots\dots\dots 5$$

當 $V_{sense} \cong 0.6V$ 時，輸出特性中的膝點電流為：

$$I_{knee} \cong \frac{R_3 \times V_{reg}}{R_{SC} \times R_4} + \frac{(R_3 + R_4) 0.6}{R_{SC} \times R_4} \quad \dots\dots\dots 6$$

當 $V_{reg} = 0$ 時為輸出短路之情況，其短路電流為：

$$I_{SC} = \frac{(R_3 + R_4) V_{sense}}{R_{SC} \times R_4} \cong \frac{(R_3 + R_4) 0.6}{R_{SC} \times R_4} \quad \dots\dots\dots 7$$

已呈減少之情形，而達限流之作用。

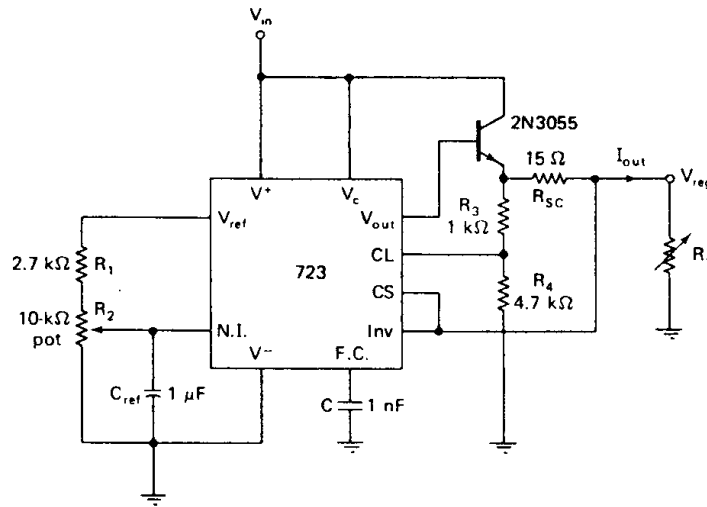
- ④ 綜合整理以上公式，可得各零件之關係式如下

$$\frac{R_4}{R_3} = \frac{V_{reg} I_{SC}}{V_{sense} (I_{knee} - I_{SC})} - 1 \quad \dots\dots\dots 8$$

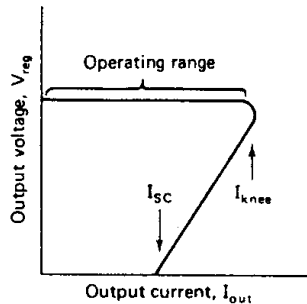
$$R_{SC} = \frac{R_3 + R_4}{R_4} \times \frac{V_{sense}}{I_{SC}} \quad \dots\dots\dots 9$$

據此可以由 V_{reg} ， I_{knee} ，及 I_{SC} 來決定 R_3 ， R_4 和 R_{SC} 之值。

- ⑤ 線路接好後，調整 R_2 電位器使 $V_{reg} = 5V$ ，然後接上 $R_L = 10\Omega$ 串接電流量出 I_{SC} 值。（電流表內阻必須 $\leq 10\Omega$ ）。
- ⑥ 將負載電阻改接 $0 \sim 100\Omega$ 的電位器，慢慢調整以找出膝點電流及電壓，將此值與公式 6 比較是否一致？



(a)



(b)

圖 P1-5 (a) 摺疊式限流穩壓器，(b) 輸出電壓與電流之特性

作業 P2：555 計時器

相關知識

555 計時器係由 Signetics 公司首先製造出來，其後至少有七家公司陸續製造、銷售。由於具有大的輸出驅動電流（可達 150mA），小的電源電壓（4，5V 到 18V 均可）及甚少的外加零件（通常只要 1，2 個電阻加上 1 個電容即可工作），和多種的用途，所以銷路甚廣。

它主要的功能是作為單穩態或不穩態多諧振盪器。在實驗 D4，D5 和 C5 所介紹的多諧振盪器，均可用 555 來代替使用。至於其內部方塊圖則如圖 P2-1 所示。

外加的零件 R_A ， R_B 和 C ，用來決定頻率和輸出的脈波寬度。而內部的動作則由兩個比較器 COMP1 和 COMP2 來決定。當第 6 腳的電壓達到 $\frac{2}{3}V_{CC}$ 時（即其臨限電壓值），COMP1 就被觸發而動作。而其因數 $\frac{2}{3}$ 係由 IC 內部的三個分壓電阻所形成。當第 2 腳的電壓到達 $\frac{1}{3}V_{CC}$ 時，COMP2 就被觸發而動作。而這兩個比較器的輸出用來觸發一個正反器，然後輪流去控制放電電晶體 T_D 。其充放電的步驟如下：當 V_{CC} ON 時電流經 R_A 、 R_B 向 C 充電，此時若正反器轉態，則電容器經 R_B ，向 T_D 放電，電容器上的電壓就在 $\frac{V_{CC}}{2}$ 與 $\frac{2}{3}V_{CC}$ 間變化而形成振盪。

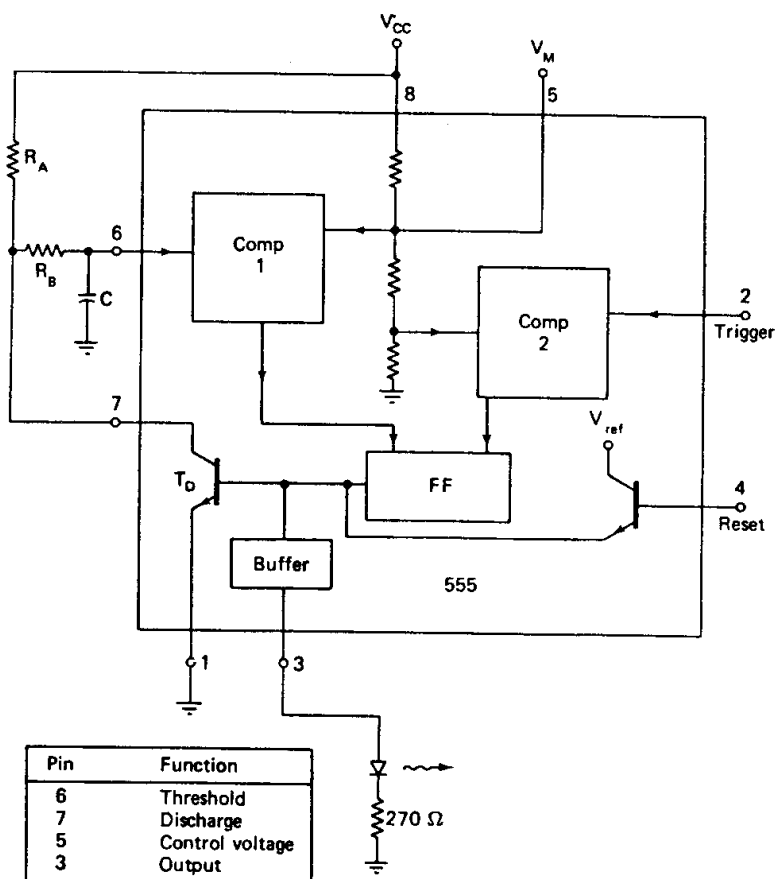


圖 P2-1 利用 555 做成單穩態多諧振盪器

我們若將第 2 腳接到第 6 腳，就可形成不穩態多諧振盪器，其振盪週期為 $0.693 R_B C + 0.693 (R_A + R_B) C$ ，而其工作週為 $R_B / (R_A + 2R_B)$ （即 duty cycle 的比率）。由於輸出係經正反器、緩衝器取出，所以是方波波形。

第 5 腳的電壓原為 $\frac{2}{3}V_{CC}$ ，是電容器的上限電壓，若我們外加一電壓 V_M ，則電容器將在 $\frac{1}{3}V_{CC}$ 和 V_M 之間振盪，因此我們若選取 V_M 在 $\frac{1}{3}V_{CC} < V_M < V_{CC}$ 之範圍內，即可達到頻率調制（Frequency Modulation）的作用。

學者若要利用 555 作單穩態振盪器，只要把第 2 腳和第 6 腳的接線移去即可。外加之觸發控制信號係加入第 2 腳，當此信號之值低於 $1/3V_{CC}$ 時，將可使 COMP2 在負緣端被觸發。正反器就會轉態，而使輸出變成高電位。此時電容器就經 R_A 、 R_B 充電，當充到 $\frac{2}{3}V_{CC}$ 時，COMP1 被觸發了，正反器輸出變成低電位，電容器就經 R_B 放電。一般取 $R_B=0$ ，即將 6、7 腳短路，形成常用之單穩態多諧振盪器。

使用器材

IC：555

電阻器：10k Ω ，100k Ω 各二，電阻箱 2 盒

電容器：0.1 μ ，50 μ 各一

LED 及限流電阻串接電路（270 Ω ）

電源供給器：0~30V，有 5V 定值輸出者

示波器：雙跡一台

函數信號產生器一台

實驗步驟

1. 單穩態多諧振盪器

- ① 接線如圖 P2-1，但使 $R_B=0$ ， $R_A=100k\Omega$ ， $C=50\mu F$ ，且將第 4 腳接至第 8 腳。
- ② 將第 2 腳瞬間碰地，以使 COMP2 觸發，觀察 LED 是否隨著變化？
- ③ 改變 R 、 C 值，使 $R_A=10k\Omega$ ， $C=0.1\mu$ 。
- ④ 加一正弦波（或三角波）於第 2 腳，找出當輸入信號多大時才有輸出信號？
- ⑤ 將輸出信號的寬度與由公式 $1.1RC$ 所算得的值此較，是否相同。

2. 不穩態多諧振盪器

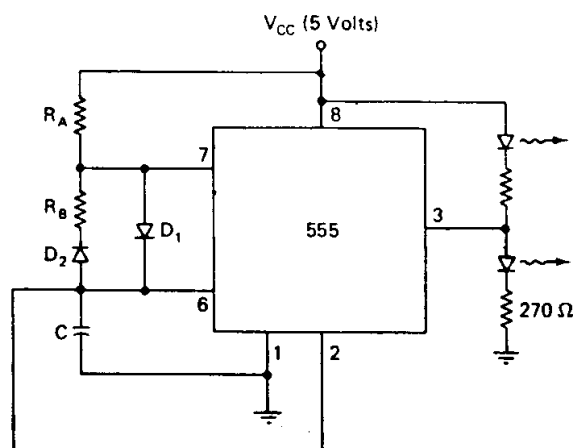
- ① 連接電路，使 $R_A=100k\Omega$ ， $R_B=100k\Omega$ ， $C=0.1\mu F$ ，且將第 2 腳連至第 6 腳，移走 LED 顯示器。
- ② 將示波器測試棒接在第 3 腳。若其輸出波形中有雜訊，則可在第 5 腳和地之間接上一只 0.01 μ 電容器以消除雜訊。此時第 4 腳仍接至第 8 腳。
- ③ 比較觀測的輸出波形週期與公式 $0.7(R_A+2R_B)C$ 所算得的值是否相同？
- ④ 算出工作週（Duty Cycle）的比率 $D = \frac{\text{脈波寬度}}{\text{全週期}}$ ，由於脈波的產生係因 C 向 R_B 放電的結果，所以 D 值應為 $\frac{0.7R_B C}{0.7(R_A+2R_B)C} = \frac{R_B}{R_A+2R_B}$ ，通常 D 值小於 50%。

3. 頻率調制

- ① 接線仍如不穩態多諧振盪器，加一可變的直流電源於第 5 腳。
- ② 當第 5 腳的直流電壓自 1.5V 至 5V 變化時，記錄其相對應的輸出週期。
- ③ 根據上述情形，解釋為何 555 能作電壓—頻率變換器？

4. 對稱方波

- ① 接線如下圖，注意 D_1 ， D_2 接法
- ② 請解釋為何本電路之全週期為 $0.7(R_A + R_B)C$ ？脈波寬度為 $0.7R_B C$ ？
- ③ 接上 LED 後，2 個 LED 閃爍時間將相等。
- ④ 你可把繼電器的線圈當負載，只要其電壓、電流值符合（例如 $V_{CC}=15V$ 時，可用 12V，100mA 的 Relay）。
- ⑤ 加一低頻正弦（或三角）波於第 5 腳，將形成調制閃光器，其閃亮情形將隨輸入信號而變，記錄此重變化情形。

圖 P2-2 具有 50% 工作週的不穩態多諧振盪器（其中 $R_A = R_B$ ）

作業 P3：溫度控制器

相關知識

溫度控制器一般用來維持定溫或一定的變化率。大多數的溫度控制電路如圖 P3-1 所示，具有感知器 (Senser)、控制器 (Controller)、功率源 (Power Source) 及電熱線 (Heater) 等部分。

感知器有很多種，如表 P3-1 所列，能將熱的變化變成電的信號，一旦感知器確定之後，控制器也就確定了，因其彼此之間需互相配合的。

控制器將感知器所送來的信號與預先置定 (Set Point) 的信號比較後，將其誤差量送到功率源，控制其功率輸出，以校正誤差的情形，使其回復常態。最簡單的控制型式為通與不通 (即 ON / OFF) 的控制。當溫度超出預置點時 (或低於預置點) 即 OFF (或 ON)，而使溫度降 (或升) 至預置點。因此溫度在預置點左右產生振盪現象。這種振盪現象可藉著比率控制器而加以消除或減少。電熱器所獲得的功率就隨著誤差量而成比率變化。較複雜的控制器即具有感知溫度變化率的功能。

至於 ON—OFF 控制器的動作，如圖 P3-2 所示，能在溫度低於預置點時，使電熱器 ON，而回復到預置的溫度。

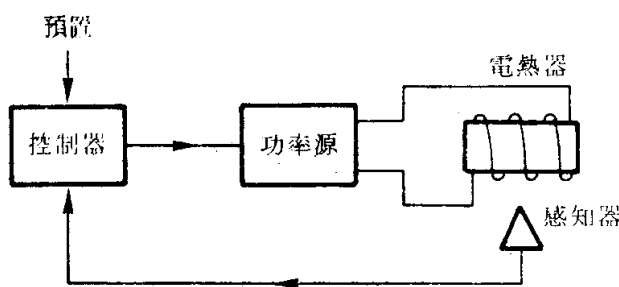


圖 P3-1 溫度控制器的方塊圖

表 P3-1 常用的溫度感知器

$T < -200^{\circ}\text{C}$	$-200^{\circ}\text{C} < T < 200^{\circ}\text{C}$	$T > 200^{\circ}\text{C}$
二極體 Diode	熱阻器 Thermistor	熱電偶 Thermocouple
熱電偶 Thermocouple	熱電偶 Thermocouple	
碳質電阻 Carbon resistor		

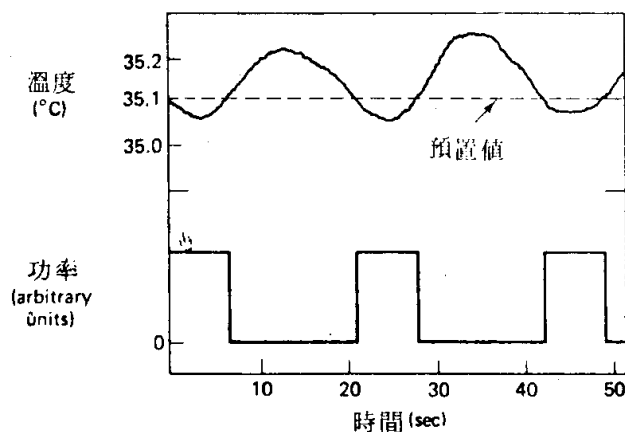


圖 P3-2 ON—OFF 控制器的動作情況

使用器材

變壓器：115V：12.6V，2A

OPA：307，741 或同等品

電阻箱 2 台

SCR： $I_{av} \geq 2A$ ， $V_{BRO} \geq 25V$

熱阻器：室溫時在 $1k \sim 5k\Omega$ 之間（即熱敏電阻）

可調熱敏電阻或熱電耦：附有調節資料，可用數位三用表讀出其阻值。熱電耦的材料為銅與銅鎳合金 Cu vs. Cu/Ni 或鐵與銅鎳合金 Fe vs. Cu/Ni，其數值之精確度為 $1\mu V$ 。

樣品和電熱器：取一小片銅管作樣品，將熱電耦置於管子的中空部分，而將電熱線繞在管子外面，每層用膠帶隔開。若無電熱線，就用 40W 燈泡和熱敏電阻即可。

數位三用表：4 $\frac{1}{2}$ 位，一台

實驗步驟

1. 熱敏電阻特性觀測

- ① 接線如圖 P3-3 之 ON—OFF 控制器，其感知器部分為熱敏電阻。
- ② 先接三用表測試棒接於熱敏電阻兩端，以手指壓住熱敏電阻，使溫度升高，看其阻值是否下降？

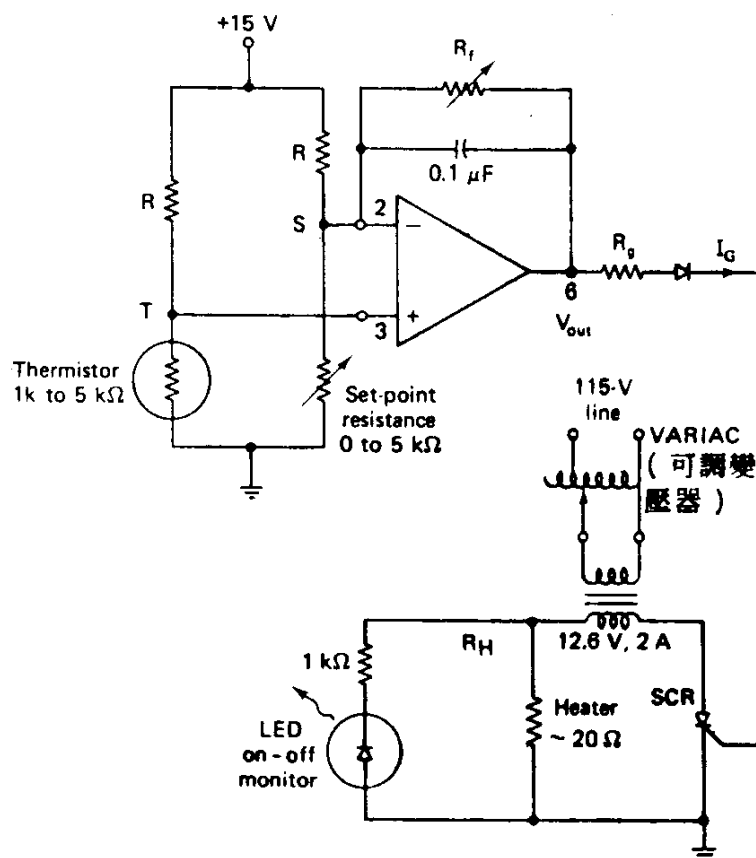


圖 P3-3 ON—OFF 溫度控制器實驗電路

2. 溫控電橋的調整

- ① 如圖 P3-3 之接線，但只接 OPA 輸入端的電橋部分，R 選擇在 5 倍的熱敏電阻值（常溫時

), 則此電橋之靈敏度較單一熱敏電阻為高。 R 愈小時靈敏度愈高。

② 調整預置調整之電位器, 使其阻值與常溫時之熱敏電阻值相等, 則電橋達到平衡狀態。

3. 利用 OPA 放大溫度之誤差值

① 將 OPA 接上, 先不接 R_f , 則因無回授電阻, OPA 就如比較器一樣。

② 證明當熱敏電阻溫度低於預置點時, OPA 的輸出為正, 反之則反之。

4. 證明比例控制器的動作

① 接上 R_f , 使 $R_f = 100k\Omega$, 則 OPA 的輸出, 正比於輸入的誤差量。(但以溫度接近預置點為準)。

② 調整預置電位器, 以另一預置點再作一次。

③ 由於 S、T 點為兩輸入阻抗, 所以輸出電壓正比於流入 S、T 之間的電流。即 $V_{out} = V_T - V_f$, 而 $V_f = I_f R_f$, V_f 為回授電阻 R_f 上的電壓降, 改變 R_f 即可改變其增益。

5. 功率控制器與電熱器的關係

① 將 OPA 的輸出接至一個 SCR (或 TRIAC) 的閘極, 如圖 P3-3 所示。

② R_q 的選擇需使最大閘極電流超 SCR (或 TRIAC) 的 I_{GT} 額定值。即 $I_G > I_{GT}$, 以保證 SCR (或 TRIAC) 能被觸發。(OPA 最大輸出電壓為電源電壓 $\pm 15V$)

③ SCR 的陰極需與電橋的接地端同點, 而將變壓器接在陽極上, 使其與地形成隔離接法。

④ 線路全部接妥後, 接上電源, 且將預置點調到比室溫高 $10^\circ C$ 至 $15^\circ C$ 之值。

⑤ 利用一已校正過的熱敏電阻或熱電耦來觀測溫度的改變, 此時將預置調整之電位器阻值逐漸降低。

⑥ 當溫度降到靠近預置點時, 量出電壓調整器 (Variac) 的工作週。(此時 Variac 之電壓為 $100V$)。此工作週的計算為 $\frac{ON \text{ 的時間}}{ON \text{ 的時間} + OFF \text{ 的時間}}$, 測量時可利用碼錶量出 LED 的 ON 與 OFF 的時間。

⑦ 改變 Variac 的電壓為 $80V$, 再量其工作週。

⑧ 算出以上兩種的工作週中, 送到電熱器的平均功率。(註: 以示波器量出電熱器的峰壓 V_p , 而經 SCR 半波整流後送出的功率為 $P_{ON} = V_p^2 / 4R_H$, 因此在全週中送到電熱器的功率為 $P_{ON} \times \text{工作週}$ 。)

6. 溫度振盪的測量

① 改變 R_f 值, 使控制器的增益改變, 觀察其受工作過長短的影響。

② 對每一 R_f 值均需調整到預置的工作點, 您可發現甚為不易, 而常在預置點上下變動, 此即為溫度之振盪。

7. 以繼電器作負載的控制電路

① 將繼電器線圈接在 OPA 輸出端, 如下圖所示:

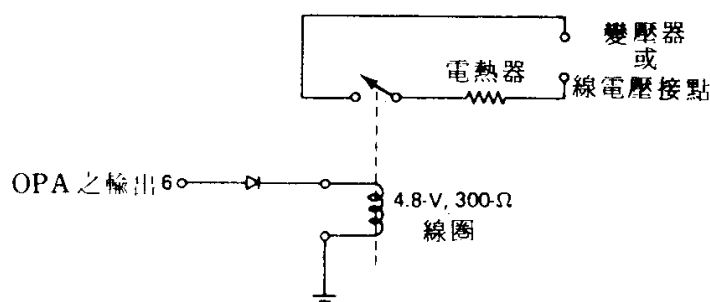


圖 P3-4 以繼電器作負載的控制電路

- ② 注意只能將繼電器線圈之一端接地，其他變壓器之接線均不得接地。
- ③ 參照第 6 項之實驗，使繼電器能進行溫度控制之作用。

8. 比例控制

當電路中加上回授電阻 R_f 時，輸出就與輸入的溫度差成正比例，此種模式的電路可用任意合用的電源供給，而得到所需求的輸出。實驗如第 4 項中所說明。

9. 實際應用的情形

本實驗之電路亦可應用在一般控制，唯其他許多場合之應用，例如洗澡水的保溫控制，需較大的電壓與電流，因此所用的 SCR，或繼電器之功率規格均較大。例如 500W 的控制器，需用 125V，5A 的繼電器接點。在將線電壓直接接到控制電路的情況中，需以較低電壓端（或中性點）作為共同接地點，才能使整個電路穩定工作。目前在保溫的熱水瓶中已有很多應用電路，寒冷地區的設備中也應用很廣，學者可從其他書籍中看到此類型的電路，要言之，那些熱敏電阻或熱電耦均可浸在水中而不壞。

作業 P4：音頻功率放大器

相關知識

從實驗 A10，我們知道 OPA 的功率輸出，可藉著加一級放大級（Boosting Stage）而獲得加強。而此放大級一般由功率晶體組成。因此其最大輸出功率係由該功率晶體的額定值所決定。利用這種方式很容易做到 10W 或略多一些的輸出功率。意即可以將一般 OPA 如 741 或 307 等的輸出放大 100 倍以上。

但由於外加元件價格較高，且增加複雜性，所以想用功率 IC 來代替。目前所開發出來的功率 IC 已可達 2W 以上（也有 100W 的），其負載一般為 8Ω ，380 OPA 即為此類型之一。它具有 34dB 的增益（即 50 倍），由於係利用內部回授電阻，所以不需要（也不合適）再外加一個回授電阻；而且由於它的反相輸入與非反相輸入甚為類似，其反相輸入端能使輸入信號與輸出信號產生 180° 的倒相，同時並不希望有直流信號混在其中，所以實際上 380 並不像一般的運算放大器。其兩輸入端對地之輸入阻抗均為 $150k\Omega$ 。

380 另有一特點，為可使用單一電源（單極性），並可接受零交叉的輸入信號（Zero-Crossing Input Signals）。當輸入為 0 時，輸出為電源電壓的一半。因此輸出信號的最大擺動量係由對地的交流輸入信號而定。例如，電源電壓為 10V，當輸入為 0V（即接地）時，輸出就是 5V。假如輸入信號為 $\pm 0.1V$ ，則輸出信號在 0 和 10V 之間振盪（意即在 5V 上下變化）。此種放大器可單獨使用在增益為 50 的場合，亦可加一前置放大，以獲得更高的增益。

使用器材

IC：741（或 318），380

電阻器： 100Ω （2W） $\times 1$ ， $100k\Omega$ ， $220k\Omega$ 各一， $1k\Omega$ 電位器，電阻箱一盒

電容器： $1\mu F$ （無極性）， $500\mu F/15V$

備用物：麥克風，喇叭（ 8Ω ，2W）， $250k$ 電位器， $0.0022\mu F$ 電容器各一

電源供應器： $\pm 15V$ ，輸出電流至少為 100mA

函數波產生器：2MHz 一台

示波器：雙跡一台

實驗步驟

1. 音頻功率放大器的預調工作

- ① 接線如圖 P4-1，但先不接音質電路。
- ② 輸入 $500Hz$ ， $\leq 0.2V_{p-p}$ 的正弦波於 Input 端，證明 741 的工作正常。此時需將 380 的輸入斷開。
- ③ 若前置放大級的輸出抵補電壓大於 $0.2V_{dc}$ ，則需加一直流抵補電路（如實驗 A4 及 A10 所示）。

2. 輸出功率與頻率響應的測試

- ① 將線路接妥，並以 100Ω 負載電阻接在 380 的輸出端。
- ② 輸入一小正弦波信號，並以示波器觀察負載電阻兩端最大不失真信號之振幅，算出最大輸出功率。
- ③ 改用 $100k\Omega$ 電位器作負載，使其在 10Ω 與 $100k\Omega$ 間變化，但輸出電壓均需為 $2V_{p-p}$ ，請問輸出電阻範圍為何？（不失真輸出之情況下考慮）

- ④ 將 100Ω 負載接回來，並上下改變輸入信號頻率，找出 3dB 點（即輸出減少 30% 之點）的頻率，以此測出其頻帶範圍。

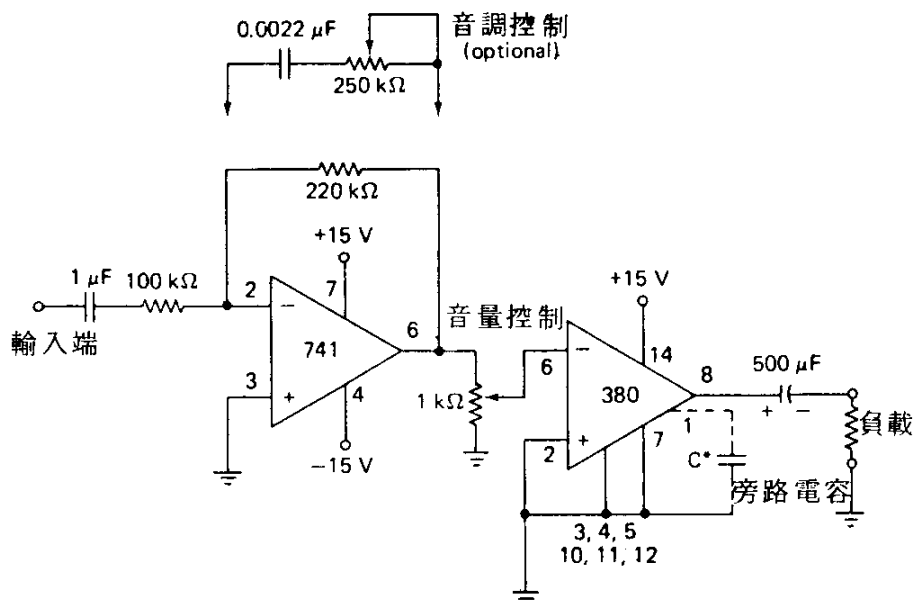


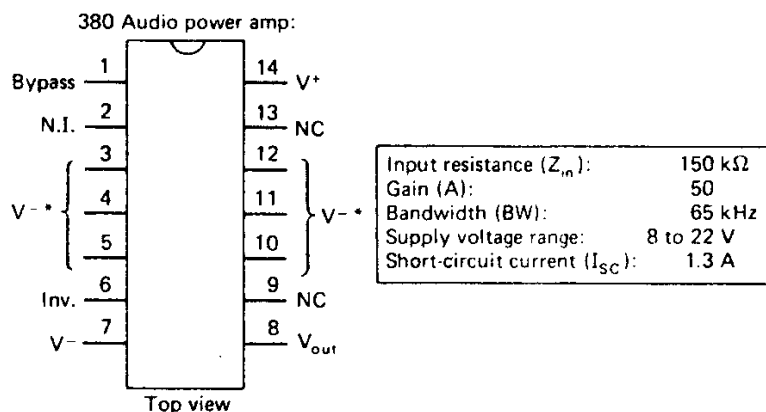
圖 P4-1 利用 380 作成 2W 音頻放大器

3. 全機試驗

- ① 將 Mic 接到輸入端，而將喇叭接到輸出端，進行系統測試。
- ② 以示波器觀察輸出端，若有失真波形出現，則將 100Ω 電阻並聯接於喇叭上。
- ③ 你能否用口哨輸入一正弦波？

4. 加上音質控制電路

- ① 將線路圖 P4-1 中的音質控制 Tone Control 線路接上，就以函數波產生器輸出 1KHz 的正弦波與方波作為輸入信號。
- ② 一面調整 $250k\Omega$ 電位器，一面聽其輸出之響應，是否有音質控制之效果。
- ③ 找出何時（即調 $250k\Omega$ 之某一點）正弦波與方波的聲音最像？說明為何有此現象？（附註）380 的接腳及特性：



- 說明：
- ① 第 1 腳係用來接上 $0.1\mu F$ 電容器以改善漣波效果。（除去漣波）
 - ② 第 3, 4, 5, 10, 11, 12 各腳均接到散熱片上

作業 P5：取樣及維持電路

相關知識

取樣及維持電路的功能就如同類比記憶器，當二個電壓傳送到輸入端時，它可以被儲存起來，繼續供給輸出端用。直到另一個控制指令將它改變為止。這種電路比起同功能的數位電路顯然較遲鈍，同時，其所儲存的資料經過一段時間後也會逐漸消失，這都是比較明顯的缺點。至於其優點，乃在不需使用 A/D（類比變數位）轉換器而有轉換的功能。若僅作類比信號傳送，則其線路將更簡化，價錢也跟著降低。

取樣及維持電路特別被應用在簡單的記憶電路，例如要求兩個不是同時出現之電壓的平均值時，需先將第一個電壓取樣並且保留著，直到第二個電壓與它平均後才消失。這種技巧可用來求出隨時間變化的信號（例如正弦波）的平均值。圖 P5-1 表示最基本的取樣及維持電路。

其類比電壓位準係儲存在電容器上，而經電壓隨耦器被讀到輸出端。所接的 RC 輸入網路係用來作高頻雜音的濾波器。由於電容器的漏電電流，將使輸出電壓逐漸降低，如實驗 A2 所示的維持模式。

實用的取樣及維持電路如圖 P5-2 所示。由於使用 4016A 雙向開關，所以電源電壓必須在 $\pm 7.5V$ 以下（即 $V^+ - V^- = 15V$ ）。且第 1 腳 I_n 與第 13 腳 Control 所加的電壓不能超過 V^+ 與 V^- 。

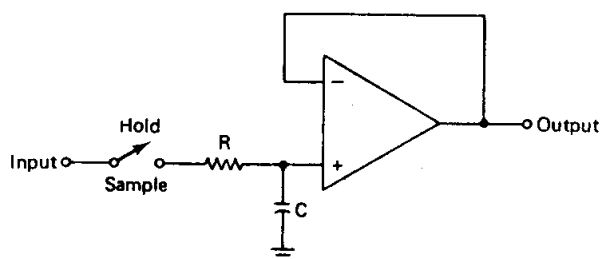
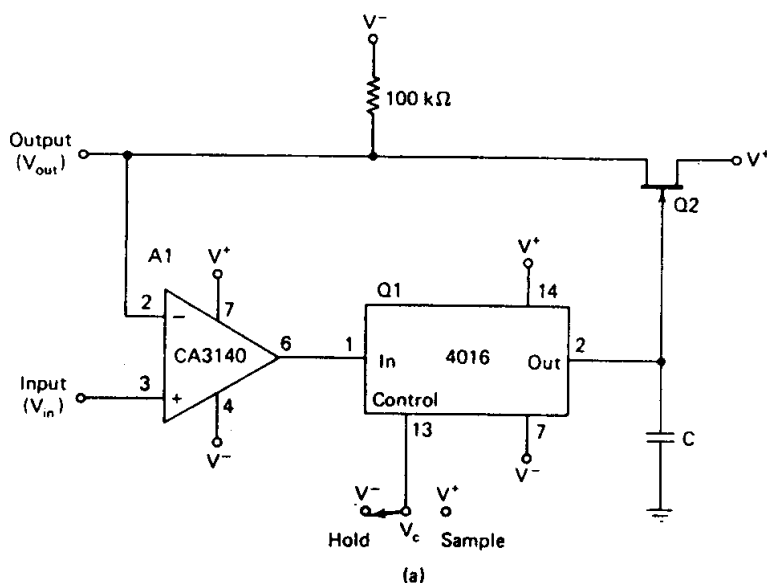


圖 P5-1 簡化的取樣及維持電路



Components:

- A1: CA3140, 318, or equivalent.
- Q1: 4016 CMOS quad bilateral switch, or MOSFET transistor.
- Q2: HEP801. N-channel JFET, or equivalent.
- C: 0.047- μF nonpolarized, preferably polycarbonate or mylar.

圖 P5-2 實用的取樣及維持電路

倘若將 4016 改成 MOSFET 則電源電壓可提升為 $\pm 15\text{V}$ 。此外，為了減小輸出電壓的漂移，最好採用漏電量少的雲母電容或碳酸電容（Polycarbonate）。其取樣的時間係由 4016 的導通電阻（約 300Ω ）與電容量相乘而得。如圖所示 $RC=14\text{mS}$ 。

整個電路基本上是電壓隨耦器，其記憶電容與取樣開關均在回授回路中，這樣可以減小因開關或 JFET 所造成的電壓損耗。而電壓隨耦器的特性又能使輸出信號自動調整到與輸入信號相同。

使用器材

IC：4015，CA3140，318 或同等品各一

二極體：1N914x2

JFET：N 通道 JFET HEP801 或同等品一個

稽納二極體：5V，1Wx2

電阻器：4.7k Ω x2，47kx3，470kx1，100kx1，100 Ω /1Wx2，電位器 2.5k Ω x2

電容器：0.047 μF 雲母質x1

電源供給器： $\pm 30\text{V}$ ，2A 一台

函數波產生器：一台

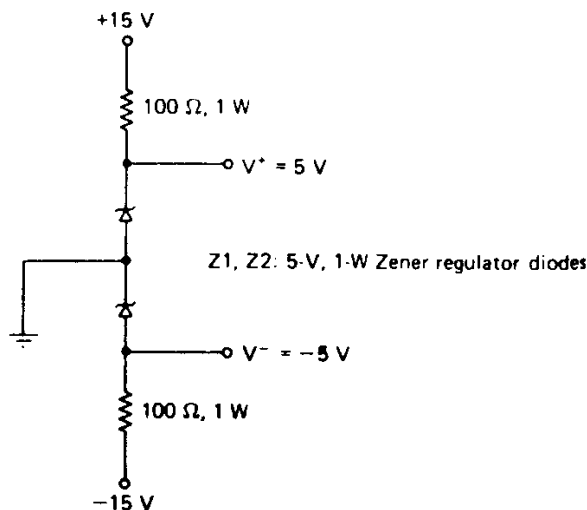
數位三用表：顯示 4 $\frac{1}{2}$ 位，一台

示波器：雙跡一台

實驗步驟

1. 取樣及維持電路特性試驗

- ① 接線如圖 P5-2，取 $V^+=5\text{V}$ ， $V^-=-5\text{V}$ ，若無 $\pm 5\text{V}$ 電源則可利用下圖之電路取得 $\pm 5\text{V}$ 電源。



區 P5-3 將 +15V 改成 +5V 之電路

- ② 輸入 +1V，用示波器觀察 V_C 在 +5V 與 -5V 之間變化：當 $V_C=-5\text{V}$ 時，將輸入端 V_{in} 接地，則輸出 V_{out} 將仍保持在 1V。
- ③ 將輸入改為 -1V，重複②之步驟，看輸出是否保持在 -1V。（以高阻抗的 DVM 或 VTVM 測量）
- ④ 當輸出為 1V 時，使 $V_{in}=0$ ，觀察輸出之漂移情形，以 V/min（每分鐘漂移多少伏特）為單位表示之。

2. 利用比較器作 TTL—CMOS 介面電路

- ① 設定輸出 +5V 為取樣電壓，-5V 為維持電壓，在利用 CMOS 邏輯電路去推動閘電路時，選定 $V_{DD} = +5V$ (即邏輯 1)， $V_{SS} = -5V$ (即邏輯 0)。但若用 TTL 去推動時，必需選定 +5V 為邏輯 1，0V 為邏輯 0，因此需利用圖 P5-4 之電路作 TTL 和 CMOS 之間的介面電路，以調整交換位準在 TTL 的 ON 和 OFF 之值內。

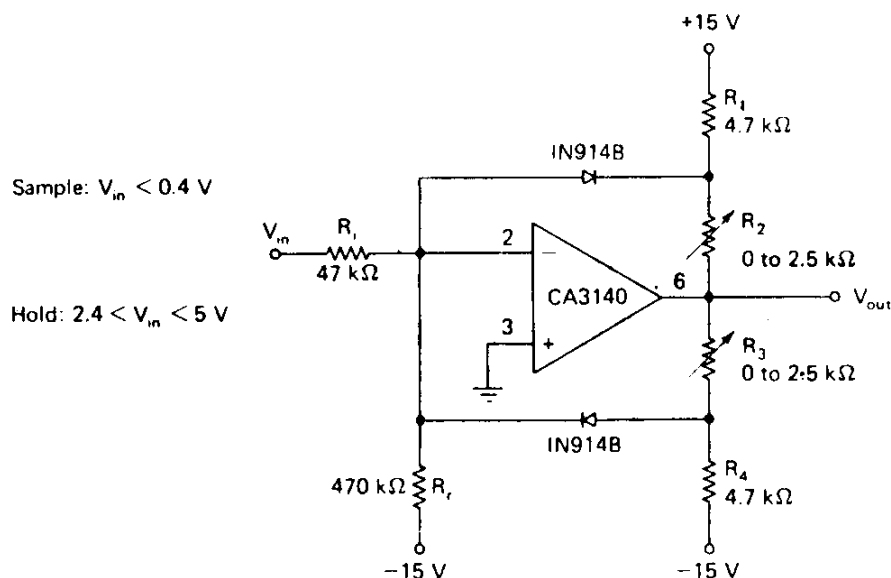


圖 P5-4 利用比較器作 TTL 對 CMOS 的介面電路電阻 R_1 R_f 的值選定在當 $V_{in} = 1.5V$ 時能使比較器觸發，輸出 V_{out} 係接到 4016 的第 13 腳

- ② 接線完成後，調整 R_2 及 R_3 ，使 $V_{out}^+ = 15 (R_2 / R_1) = V_{DD} = 5V$ ，且 $V_{out}^- = -15 (R_3 / R_4) = V_{SS} = -5V$ 。
- ③ 將 V_{out} 接至圖 P5-2 的 V_C (第 13 腳)，證明 $V_{in} < 0.4V$ (即 TTL 的 0 位準時) 電路有取樣功能，而 $2.4V < V_{in} < 5V$ (即 TTL 的 1 位準時) 電路有維持的功能。
- (附註) 4016 尚有三組開關未用，學者可將其利用來作三個並聯的取樣電路。

作業 P6：編碼與轉換電路

相關知識

數位信號一般可用許多不同的數碼來表示，例如二進制數碼（Binary Code）、二進制碼化的十進制（BCD Code，包括 8421 碼、4221 碼、2421 碼、3321 碼……等，其中以 8421 碼最常用）、格雷碼（Gray Code）、美國標準碼（ASCII：American Standard Code for Information Interchange）……等。編碼時最常遇到的問題乃是如何將十進制變成二進制的表示。在數位電路的實驗中，我們已經學會把 0000 到 1001 等信號輸入計數器、暫存器、加法器、記憶器等電路，同樣地，我們可以很容易地把十進制的 0 到 9 輸入這些電路中並加以處理。本次作業就是要告訴您如何把十進碼變成二進碼。

學者可以花一點錢，在舊貨攤買到十進制的鍵盤，其每一數碼均由一個按鍵（或開關）所構成，上面標著 0 到 9 等十個字。但必須注意：許多計算器（Calculator）的鍵盤，並非單純的十進碼，而是所謂的萬用鍵盤（Universal Keyboard）。也有一些更貴的鍵盤是用美國標準碼（ASCII）或其他數碼所組成的。

鍵盤式的編碼乃是將十個開關接到二極體編碼矩陣中，如圖 P6-1 所示。其中有接線的地方是用黑圈來表示。圖上虛線表示數字 3 的開關按下去後信號的通路。學者可以看出開關了 "ON" 以後，就有兩個二極體導通。此時就 DCBA 的輸出端而言，即為 0011，就是 BCD 碼或二進碼的 3 之意義。

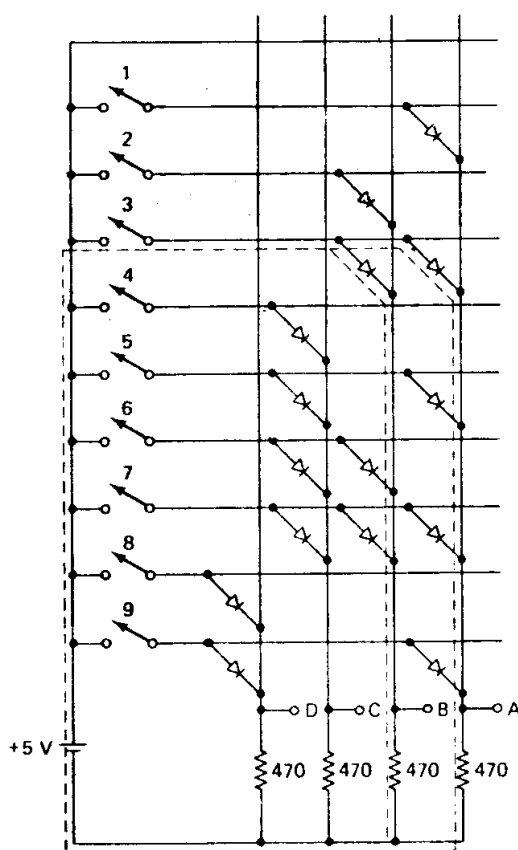


圖 P6-1 將十進制換成二進制的二極體矩陣，圖中表示 3 = 0011

圖中雖然只有十個開關，但也可表示 15（即 1111），或 11（1011）等數碼。例如要編寫 11 時，可同時按 8 和 3，而獲得 1011。但若按 5 和 6 時，則變成 7（0111）。可見超過 9 的數字必須按 8 和其加數才能湊合而成（例如 $14 = 8 + 6$ ）。

學者若要測試編碼器，可將輸出端 DCBA 接到 7448 解碼顯示器的輸入端，如實驗 D8 所示（或實驗 C8 所示的 4511B）。您也可利用編碼鍵盤和解碼顯示器來作加法、減法的算術運算。

現在我們要看另一方面，即 A/D，D/A 的轉換（Conversion）。因為我們生活的環境中較多 "類比"（Analog）的現象，所以需要將數位信號變成類比信號，有時也需要將類比信號換成數位信號。最常用的 A/D 轉換器就是數位電壓表。其電路構造較難，學者可參閱全華出版的數位電子儀表第十一章（陳錫棋編著），或買一個現成的 A/D 轉換器（其中包含數個 IC，如 741，7400，AY-5-5054 等及其他零件組合而成）。至於 D/A 轉換器之電路則較易組成，其精確度也可做得更高。

圖 P6-2 顯示簡易的 D/A 轉換器，其中 7417（具有六個集極開路的緩衝器）係用來將邏輯 1 提升為 5V，將邏輯 0 定在 0V 之用。圖中虛線所框的範圍內係二進位階梯電路（Binary Ladder）。倘若我們選用 $R = 10k\Omega \pm 5\%$ ，則 V_{out} 將如表 P6-1 所示之值（誤差 10%）。此種階梯電路能使每一個輸入具有相同的輸入阻抗。

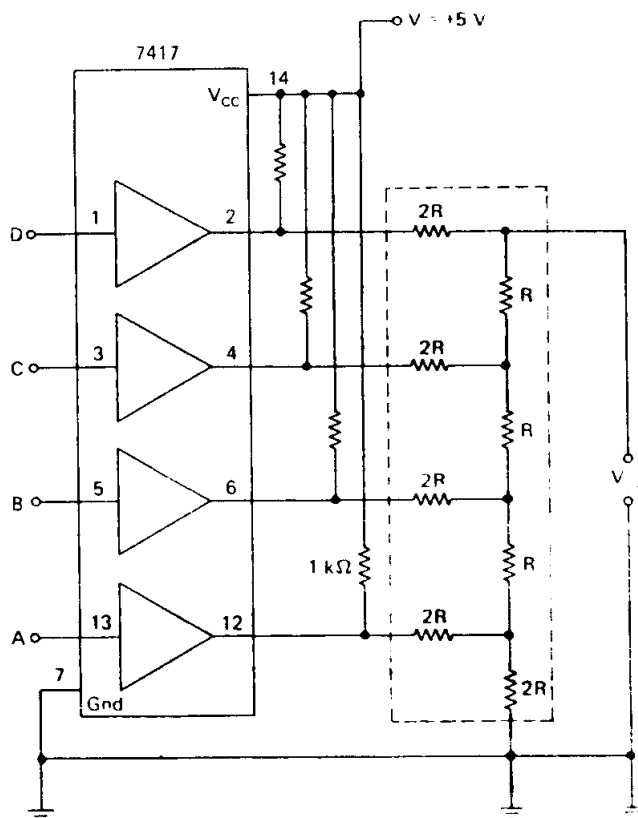


圖 P6-2 利用二進位階梯電路的 D/A 轉換器

表 P6-1 二進位階梯電路的輸出

D	C	B	A	V_{out}
0	0	0	0	0
1	0	0	0	$\frac{V}{2}$
0	1	0	0	$\frac{V}{4}$
0	0	1	0	$\frac{V}{8}$
0	0	0	1	$\frac{V}{16}$

任何從 0 到 15 的數字均可由對應的 V_{out} 相加而得，例如 7 寫成二進碼是 0111，其輸出電壓即為 $\frac{V}{4} + \frac{V}{8} + \frac{V}{16} = 0.438V$ ，此輸出電壓為線性增加，因每增加 1 位即增加 $\frac{V}{16}$ 。

使用器材

IC：7417，7475，7448，CA3082，MAN-4

二極體：整流二極體×15

電阻器：470Ω×4，10kΩ×3，20kΩ×5，1kΩ×4

電源供給器：±15V

開關：單刀單擲開關（或用鍵盤）

數位三用表：3¹/₂ 位

實驗步驟

1. 編碼矩陣

- ① 接線如圖 P6-1 及 D8-3，將兩個電路之 DCBA 互接。
- ② 按任一開關，觀察其輸出所顯示之數碼。
- ③ 請問 0 如何顯示出來？
- ④ 依序使 DCBA 輸出 10 至 15 之編碼。

2. D/A 轉換器

- ① 接線如圖 P6-2，使 $R=10k$ ， $2R=20k$ ，其餘提升電阻均用 $1k\Omega$ 。
- ② 利用編碼矩陣之 DCBA 輸出作 7417 之輸入。
- ③ 依序自 0000 至 1111 輸入，記錄 V_{out} 之變化。

作業 P7：多工器（Multiplexers）

相關知識

所謂多工器乃是一種能處理多種信號的電路，例如並聯—串聯轉換的數位多工器，能將並聯輸入的信號變成串聯輸出。因此，倘若我們要把並聯式 8 位元的字（word）存入 8 個正反器，而變成串聯方式的輸出，就需要把每一個並聯位元接到 8 線對 1 線的多工器 74151 之輸入端，然後以二進碼的方式從 0 到 7 中任選一數，將多工器定址（Addressing），作為啟動地址。接著將多工器的單一輸出線接到所指定的輸入地址線，則當此地址之信號輸入時，輸出線上的信號即為該位址所應對之輸入線上的信號。例如地址輸入為 $A_2 A_1 A_0 = 001$ ，則將選出 D_1 資訊作為輸出信號，如圖 P7-1 所示，為 8 通道多工器。由於多工器具有此種隨意設定地址的功能，所以也叫可定位址的開關（Addressable Switches）。但此處所說的多工器與音響電路中的立體 MPX 解調電路並不相同，希望學者不要混淆。

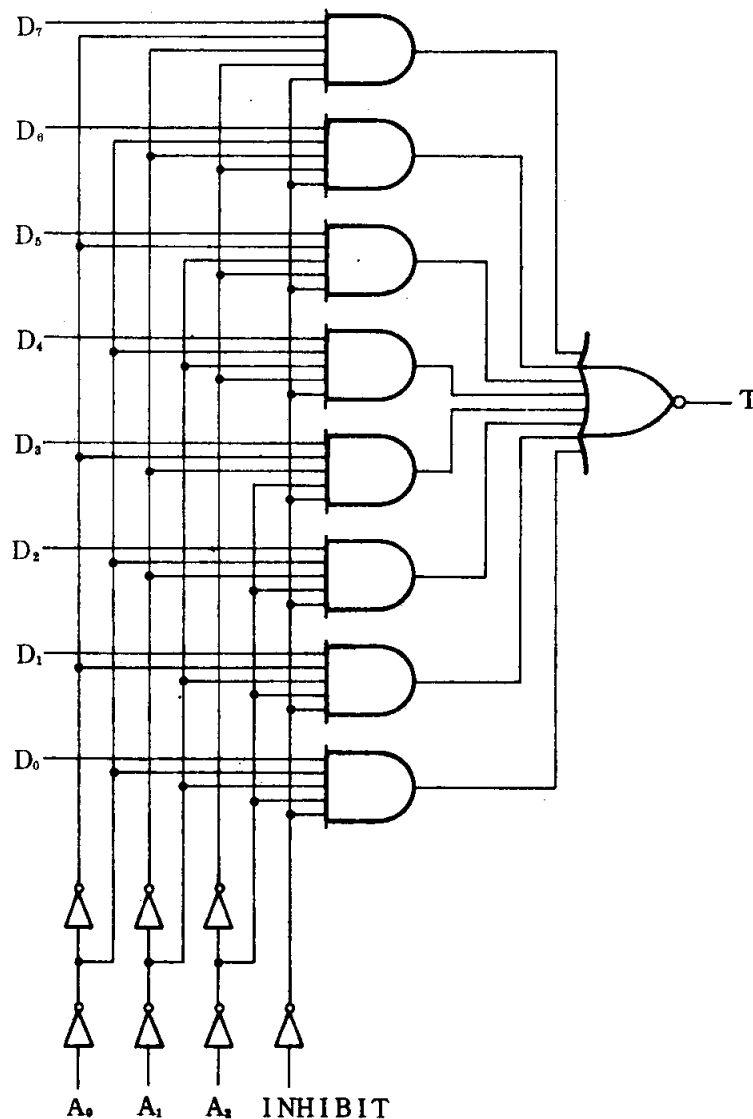


圖 P7-1 8 通道多工器

本作業將以一個很簡單又很有用的示波器附加電路作為多工器的介紹。如圖 P7-2 所示，為將單跡變成雙跡的轉換電路。也就是所謂的“電子開關”電路。圖中顯示輸入信號在 $-7.5V$ 到 $+7.5V$

之間，但只要在輸入端加一分壓器（例如除以 5 的分壓器）即可將輸入電壓範圍擴大很多。

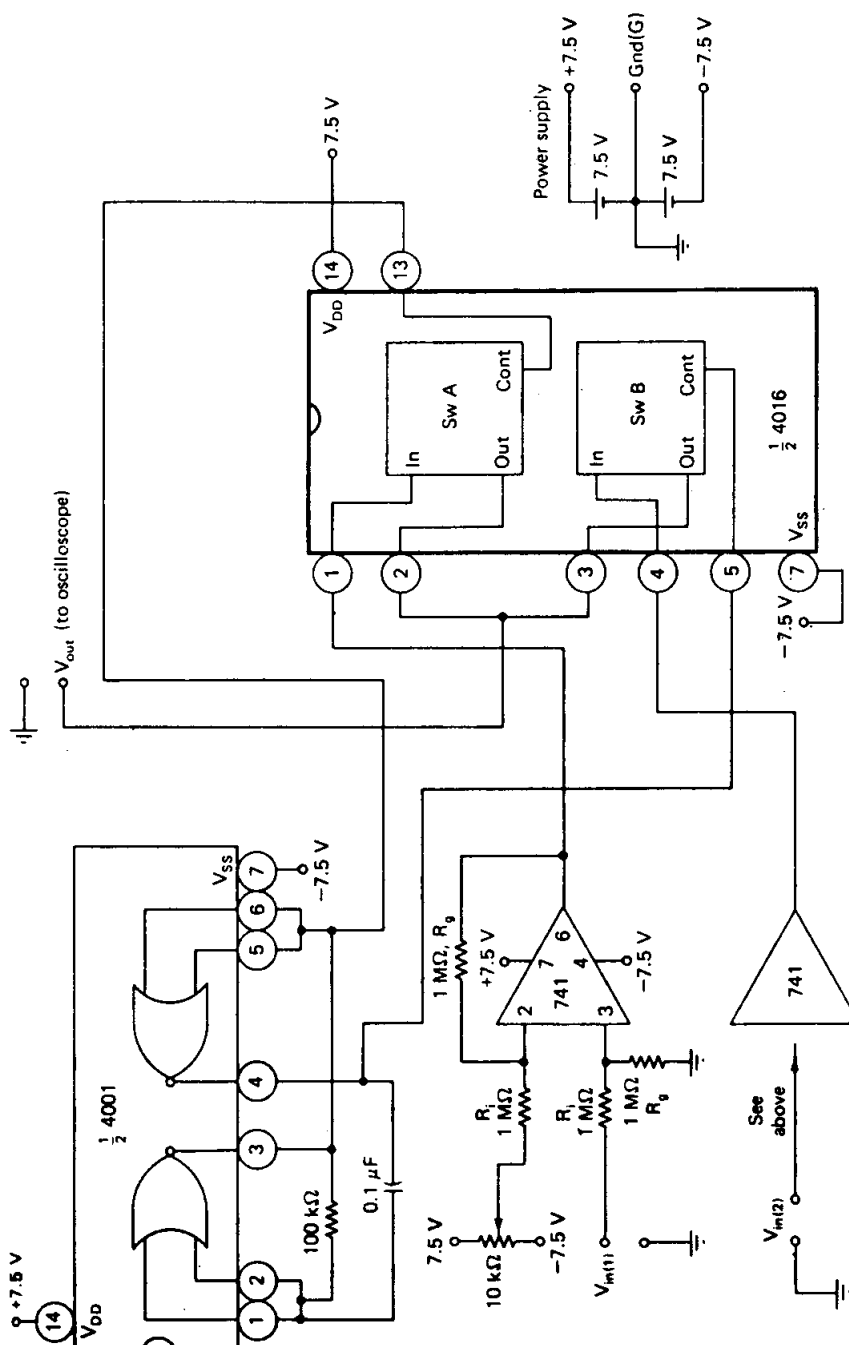


圖 P7-2 利用 4016 雙向開關將單跡示波器變成雙跡示波器應用的電路

既然單跡示波器只有一個輸入，我們必須把這輸入端分成兩個，即 V_{in1} 和 V_{in2} ，並使示波器的開關在此二輸入端來回 "開"、"關"，如此當有二不同信號輸入時，均有二分之一的時間掃描過該信號上。而這種掃描速率（或開關速率）係由一不穩態多諧振盪器所控制。

圖中之開關電路係由具有四組雙向開關的 CMOS 4016 所組成，每一組開關在 $V_C = V_{SS}$ 時為開的邏輯 0（Opened）狀態，在 $V_C = V_{DD}$ 時為關的邏輯 1（Closed）狀態。即當開關 Closed（ON）時，接觸電阻有 300Ω ，而當開關 Opened（即 OFF）時，電阻超過 $10^9\Omega$ 。同時此 4016 的輸出端具有傳輸閘（Transmission-gate, TG）邏輯的特性，能使兩個輸出端結線為一（Wired together），而在某一時間內僅有一信號被傳送出去。至於其開關的速率係由 4001 所組成的不穩態多諧振盪器所控制；OPA741 則作零抵補電壓的調整之用。

像 4016 這種 CMOS 開關，除了具有上述 ON 和 OFF 的電阻值之外，尚能接受雙極性元件的類比信號。譬如在 $V_{DD}=7.5V$ ， $V_{SS}=-7.5V$ 時，凡峰對峰值達 $\pm 7.5V$ 的類比信號，均能使開關動作。

此外，當兩個信號自 V_{in1} 和 V_{in2} 輸入時，若 OPA741 已作過抵補調整，則只要調整回授電阻即可獲得所希望的增益值，因為 OPA 的輸出為 $V_{in} \times \frac{R_q}{R_i}$ ，若調整 R_q 使 $\frac{R_q}{R_i}$ 比值為 $\frac{1}{5}$ ，則 V_{in} 可達 $\pm 37.5V$

，這樣能使輸入信號範圍擴大。至於處理多工的數位信號時，因波幅大多相同，且無內部抵補作用，所以需作外部抵補調整，一旦調整好了就可對同波幅的輸入信號進行多工處理。

再者，兩個輸入信號的變換速率是由不穩態多諧振盪器的 RC 時間常數所決定。其所送到 4016 的時序波必須是對稱的，才能對 V_{in1} 與 V_{in2} 進行等時間的掃描。當然，若是使用高速示波器時（或用高頻檔時），開關速度必須相對的提高。一般說來，超過 60Hz 的影像頻率已足以使肉眼獲得穩定印象。若選用 $R=10k\Omega$ ， $C=0.01\mu F$ ，則可獲得 10KHz 的時序波頻率，若選用 $R=100k\Omega$ ， $C=0.1\mu F$ ，則可獲得 100Hz 的時序波頻率（註：頻率值亦受 4001 的臨限電壓所影響）。假如不幸所選用的頻率，剛好與輸入信號的低次諧波一致，則示波器將出現混亂的畫面。此時只要把掃描速率（即示波器的頻率）略作調整，即可獲得穩定畫面。我們建議學者採用 100Hz 的時序波頻率，若要提高頻率，最好不要超過 100KHz，因為那是 CMOS 開關的上限頻率。此外，當多工器的片斷掃描（Chopping Frequency）大於示波器的掃描速率時，畫面將出現雜音尖波，但並不影響大體的波形。由於此種多工器造價甚低，約為市售商品的五分之一，所以出現小的雜音尖波並不是很嚴重的事，學者若有興趣，可進一步想辦法消除之。

使用器材

IC：4016，4001，741×2，或 747（或 324），4027，4017

電阻器：1M Ω ×8，100K Ω ×2，10K Ω 電位器×2

電容器：0.1 μF ，50 μF

示波器：單跡

電源供給器： $\pm 30V$

函數波產生器：二台

數位三用表：顯示 4 ½ 位

實驗步驟

1. 多工器與單跡示波器接線試驗

- ① 接線如圖 P7-2，並將 V_{out} 接到示波器的 EXT TRIG 輸入端，其觸發模式選用 EXT 方式。注意接地端為 G，而非 V_{SS} 。
- ② 先不接 V_{in} ，調整 10k Ω 電位器作 OPA 的零位抵補調整。
- ③ 檢查 4001 多諧振盪器的頻率是否為 100Hz，是否為對稱方波。
- ④ 檢查接線無誤後，將 V_{out} 接到示波器的 EXT TRIG 輸入端。
- ⑤ 將二台函數波產生器輸出信號接到 V_{in} 端，一台產生 $\pm 7.5V$ 峰對峰值正弦波頻率為 1KHz，一台產生 $\pm 7.5V$ 峰對峰值方波，頻率為 2KHz，觀察示波器上之波形，並記錄之。
- ⑥ 將 V_{in} 增大為 22.5V，則 R_q 應減小為多少，才能使輸出不失真？

2. 利用 4027 JK 正反器產生方波作脈波產生器

- ① 將 4027 JK 正反器的輸出接到 4016 的 5 和 13 腳，當然需移去 4001 的接線。
- ② 以 $\pm 7.5V$ 電源供應 4027，找出其臨限電壓點，約為 $-3V$ 與 $+3V$ 。則 4016 的開關能否動作？

- ③ 按 1 之信號源輸入 V_{in} ，將頻率升高，則波形有無失真，原因何在？
3. 將示波器改用紙帶記錄器，或 xy 描點器
- ① 學者若有紙帶記錄器，或 xy 描點記錄器，可將開關電路的 V_{out} 作為其輸入信號，而將 V_{in1} 與 V_{in2} 記錄在紙帶上。
 - ② 為使記錄線條明晰，需選用 $C=50\mu F$ ， $R=100k\Omega$ 以降低開關頻率。
 - ③ 以紙帶記錄器繪出正弦波與方波、三角波等波形，何者較易失真？
4. 將多工器的輸入擴充之方式
- ① 利用 4017（或 4022）與 4001 組成除以 4 的計數器，即 4001 的脈波作為 4017 的輸入。
 - ② 將計數器的 0，1，2，3 輸出接到 4016 的 13，5，6，12 等控制輸入端。
 - ③ 另加二台函數波產生器，使 4 個 V_{in} 加入此多工器，則可在示波器上看出四現象波形。
 - ④ 如要看八現象的波形，將如何接線？時序波是否要提高 2 倍？

作業 P8：電子音樂箱

相關知識

在數位電子的領域中，有許多很有興趣的輸出裝置，譬如 LED，MAN-4 和 Nixie（水精管）等數字顯示器器材。本作業則介紹會發出音樂的數位電路，如圖 P8-1 所示，係具有記憶功能的簡易型電子琴。由於聲音的變化是類比式的升降，所以為了使輸出更優美，本電路組合了數位 IC 和類比 IC。

圖中 7489 係一易變的隨意存取記憶體 (RAM)，它能以每次 4 位元的方式存入 16 個字 (Words)。當 R/W (Read out 或 Write in) 開關打開時 (OFF)，RAM 即將從 7493 輸入的 0 到 15 的地址資訊以 4 位元的方式輸出。其動作詳細說明如下：例如我們要把 123421 的資訊順次存入 0 到 6 的位置中，首先必須把 0001 送到 DATA 線上，其次將 7493 復置為 0 (Reset)，然後把 R/W 開關瞬間接地，等下一個時序波送到 7493 時，就使 7489 的地址上存進 0001 了。此時，接著將 0010 送到 DATA 線上，又將 R/W 瞬間接地，繼續上述操作，就能將資訊依次存入 7489 的地址中。當要讀出所存的資訊時，先將時序波頻率調整為 1Hz，同時將 R/W OFF，就可在輸出端 11, 9, 7, 5 四腳量出輸出情況 (可用 LED 或解碼顯示器測出)，發現輸出訊號全部和輸入反相，因此需再做類比信號的處理以獲得原來訊號的音樂。

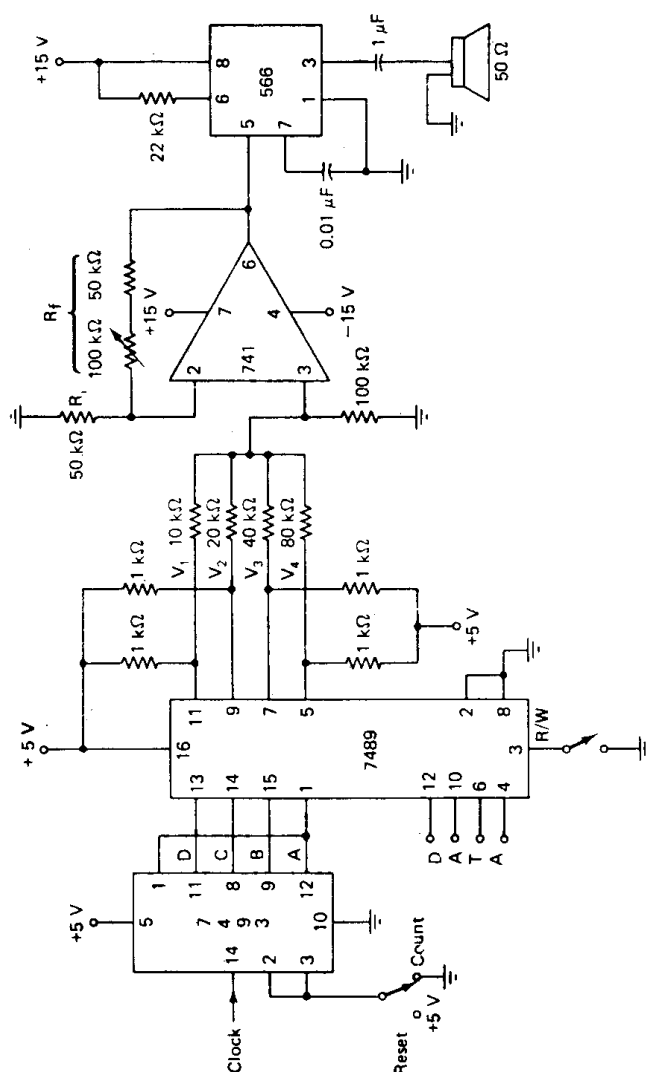


圖 P8-1 電子音樂箱，其中電阻值並非很準確，而輸入 7489 的 DATA 必須是二進位方式，輸入 7493 的時序波必須是可變頻率的振盪器 (0.2Hz 或更大)

接著我們簡要地說明，如何合適地產生 DATA 的輸出信號。由於 7489 的輸出信號是反相的（例如原來是 3 的 0011 變成了 1100），但當我們把它加到非反相的加法器時（如實驗 A3 所示），則可獲得：

$$V_{out} = \frac{R_i + R_f}{R_i} \times \left(\frac{V_1}{2} + \frac{V_2}{4} + \frac{V_3}{8} + \frac{V_4}{16} \right)$$

式中 V_1, V_2, V_3, V_4 可為 5V 或 0V，例如在 RAM 的輸出為 1000（即輸入為 0111）時， $V_1 = 5V, V_2, V_3, V_4$ 則均為 0V。

由於下一級的 566 函數波產生器電源電壓為 15V，且其輸出信號的週期係受第 5 腳輸入信號電壓的影響。在本電路中，566 的輸入端僅對 9V~14V（或略高）的電壓有反應，其餘均不起作用。因此，如果我們選擇 $R_i = 50k\Omega, R_f = 100k\Omega$ ，則當 V_1, V_2, V_3, V_4 均為 5V 時，則 $V_{out} = 7.5V$ ，這兩種情況即等於輸入信號的 0000（ $V_{out} = 15V$ ），和 1000（ $V_{out} = 7.5V$ ）兩種狀態。566 就會對 0000 產生低頻的響應，而對 0001 有較高頻的反應，但對 1000 並無反應。若要全部有反應，則需調整 R_f 值。

至於 566 的頻率係由 RC 所決定，若選用 $R = 22k\Omega, C = 0.01\mu F$ ，則可獲得略低於 1KHz 的頻率。其輸出信號可直接推動 50 Ω 喇叭，若用 8 Ω 喇叭，則需用變壓器匹配，或加裝一級功率放大器。

使用器材

IC：741，566，7493，7489 各一

電阻器：1k $\Omega \times 2$ ，10k，20k，22k，40k，80k，100k 各一，50k $\Omega \times 2$ ，電位器 100k $\times 1$

電容器：0.01 μF ，1 μF

喇叭：50 Ω ，或 8 Ω

變壓器：阻抗變壓器 50 Ω ：8 Ω

電源供應器： $\pm 30V, 2A$ 兩台

解碼顯示器（利用實驗 D8 所做的）

低頻振盪器：能產生 0.2Hz 或略高之頻率者

實驗步驟

1. 簡易音樂箱試作

- ① 先將 7493 與 7489 接線完成，並試驗 RAM 的讀與寫的功能是否正常。切記電源 OFF 時，RAM 的資料將消失。試驗時，以低頻振盪器或防止彈跳開關（Bouncefree Switch）產生 0.2Hz 的 Clock 信號，輸入 7493。則 7493 的 DCBA 輸出，將依次產生 0000 至 1111 的信號，作為 7489 的位址信號（可用解碼顯示器檢驗）。
- ② 接上 741 非反相加法器，選擇 R_f 在 100k 至 150k 之間，而以 0000 的 DATA 送入 RAM，輕按 R/W 開關，用解碼顯示器或數位三用表檢查 $V_1 = V_2 = V_3 = V_4 = 5V$ ，調好 R_f 使 741 的輸出電壓為 14V。再以 0111 存入 RAM 中，證明 741 的輸出為 8V 左右。
- ③ 將 741 的輸出接到 566 函數波產生器，並接上喇叭。可聽出當輸入信號為 0000 時，輸出為低頻，當輸入為 0100 時，輸出為高頻，而當輸入為 1000 時，即無輸出（相當於音樂中的休止符）。
- ④ 利用作業 P6 的編碼鍵盤，編成一簡單音譜，例如以：383838111888888 可表示貝多芬的第五交響曲第一小節。將此音譜輸入時，須依地址計數器之顯示，依次在 1，3，5，9 到 15 之地址時，按下鍵盤上的 8，即輸入 1000 字碼，同時每次輕按一下 R/W 開關。然後

，在地址為 0，3，5 時按下鍵盤上的 3（即 0011），在地址為 6，7，8 時按下 1 的鍵，如此就把整節音譜存入 RAM 中了。

- ⑤ 將低頻振盪器輸出頻率調整為 5Hz，即可將所存的音譜唱出。

2. 改進的電路

- ① 將 741 改用 CA3140，其第 7 腳接 5V，第 4 腳接地，則可省去雙電源。

- ② 將 566 改用 555，則可從其第 3 腳接出一個 $1\mu\text{F}$ 電容後直接接 8Ω 喇叭。

註：目前已有許多市售音樂 IC，配上簡單輸出電路即可唱歌，學者可參考此類電路加以改進。）

作業 P9：布爾迷題

相關知識

一個數位系統經常被用來對某些特殊事件或其發生的順序作偵察用。這種應用就不是把它當作計算工具用（Computational Tool），而是作為控制器（Controller）與記錄器（Recorder）之用。例如，設計一個防盜鈴，需考慮到①起來開門，②使入口的燈點亮，③且在 20 秒內關掉另一個燈，④同時停止鈴聲……等順序。又如有系統的工業生產中，需對每一事件的處理有固定的順序，才能提高品質與產量。

要設計數位控制電路，除了需要一些理論基礎（如布爾代數）以外，更需有大量的聰明與發明才能。本作業提供大家一些設計時思考的難題，雖然電路看起來很簡單，只用一個 7400，與一個 7402 組成，但要解開疑難卻不太容易，這就是對數位電路設計者的挑戰，也是引起興趣的所在。作者切盼那經經常抱怨「機器將使人失去人性」的人，和那些「把立體音響當作留聲機的人」，均能在此一試。

迷題一 組合鎖（Combination Lock）

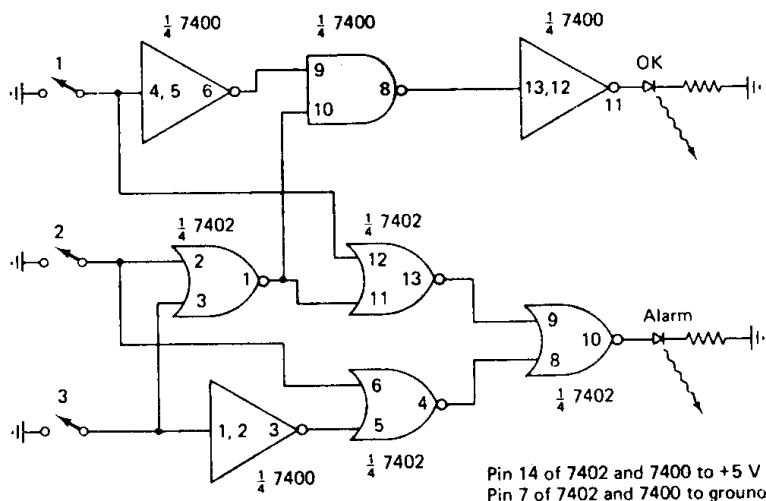


圖 P9-1 組合鎖電路（亦可作警鈴電路，圖中反相器係用 7400 的 NAND 閘組成，每個 IC 的 14 腳均接 +5V，第 7 腳均接地。

如圖 P9-1 所示，三個開關按一定的順序接通以後，就能點亮 OK 燈光，同時不使警示燈（Alarm Light）熄滅。您可能會反對說，只要三個開關都 ON 以後，OK 燈和 Alarm 燈一定都亮的！然而，假如您先使開關 1 導通，則 Alarm 燈會熄滅，直到開關 1 斷開或其他開關接通為止。此時我們若用 74121 負緣觸發的單穩態電路代替 Alarm 燈接上，則可看出此單穩態電路停在 ON 的狀態一段時

間（這時間可用來撥自動電話給警察局）。事實上，只有一個順序能使 OK 和 Alarm 燈都點亮。（意即 123, 132, 213.....等六種順序中的一種）。

您可能會懷疑，如果同時把三個開關接通不就可以了嗎？問題在這個 "同時"（Simultaneously）用在數位電路中，必須小於 $1\mu\text{S}$ 的誤差之內，而且這些開關都無彈跳（Bounce）現象才算。以單穩態電路代替 Alarm 的情況來說，當它的輸出維持在 ON 時，即使觸發脈衝降至 0，任何偏離正規順序在 $1\mu\text{S}$ 內的，均能使鈴聲（Alarm）響起。

要分析這個迷題有兩個路線，此較科學的是列出 SW1, SW2, SW3 和 OK, ALARM 的真值表，依次以 111 填入 SW1, SW2, SW3 中，最後以 000 填入，按邏輯之推演算出其結果，然後以實際電路操作證明之。第二個方法是隨意試驗法（hit-and-miss），先以 231 試試看、再以 312..... 試試，直到獲得答案為止。（註：答案在附錄 A 的最後一段）

迷題二 機械環（Mechanical Rings）

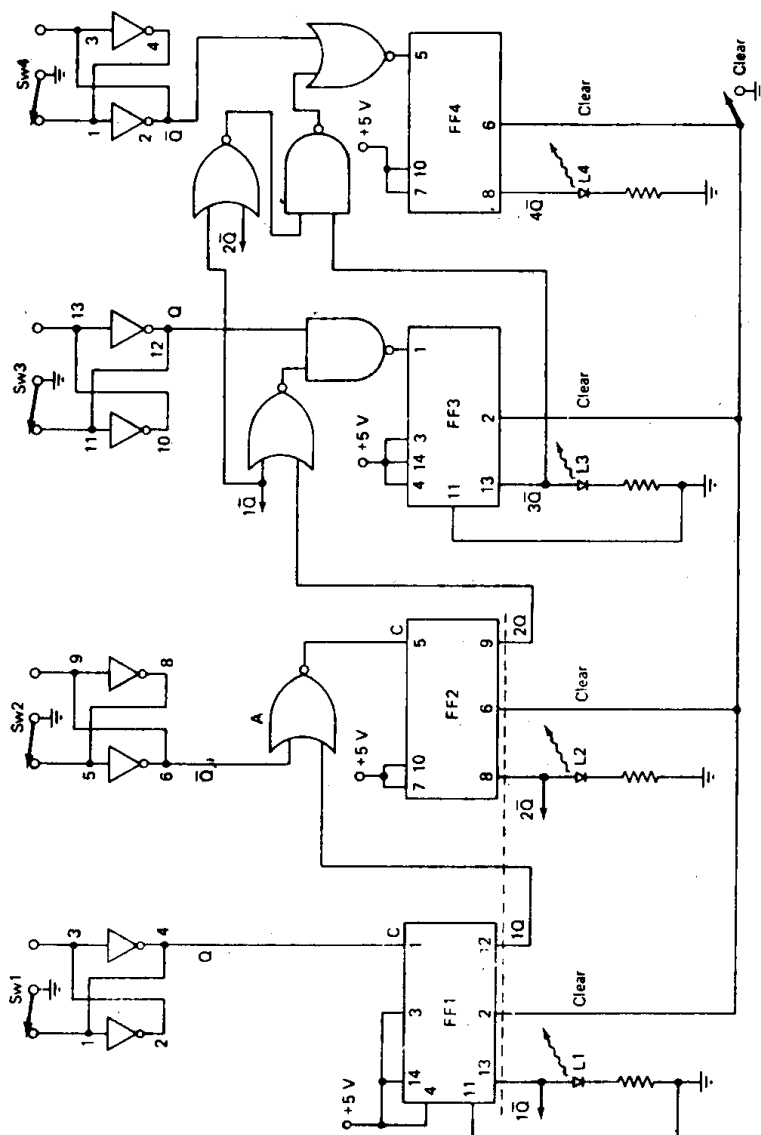


圖 P9-2 機械環迷題，所有反相器均用 7404，NAND 閘用 7400，NOR 閘用 7402，FF1 與 FF2 用一個 7473，FF3 與 FF4 用另一個 7473，開關為常態（Normal）位置

這個迷題是將古時候的一種玩具數位化，該玩具係將一串由大到小的金屬環，利用一根木棒作傳遞，而將這些金屬環依次從一根木樁傳送到另一根木樁。其規則為每次僅能傳送一個金屬環，並且不能有一個大的環子壓在小環子的上面。

根據這種玩法，設計成一數位電路。如圖 P9-2。係利用 4 個瞬時開關 SW1，SW2，SW3，SW4 去控制 4 個 LED，L1，L2，L3，L4。每個開關均由兩個反相器（7404）組成的防止彈跳栓鎖電路控制（比實驗 D7 用 NAND 閘做的效果更好）。這種設計能使反相器的輸出，在開關發生瞬間短路時，仍為高電位。但當每個開關作來回變化時，就能使所接的正反器轉態。而每個開關之間並無叉話現象（Cross talk）：即沒有一個開關能使別的 LED 點亮或熄滅，它只能控制自己所對應的 LED。最後當清除開關（Clear）ON 時，卻能使所有的 LED 都被點亮。本題目的即在找出當所有 LED 都點亮時，依次使其熄滅的開關順序，即最後全部熄滅之狀況。

電路的分析並不難，由圖中可見，L1 一直在轉態（Toggle）狀態，L2 則當 1Q 為低電位時才有轉態現象。即若 $1Q=0$ （當 L1 亮時）由於 \bar{Q} 一直處在高電位，就使 A 的 NOR 閘輸出為低電位。當 SW2 轉態時（Toggled），Q 就變為低電位，而使 A 的 NOR 閘瞬間輸出為高電位，而使 JK 正反器 FF2 在負緣時被觸發，因此 L2 就被改變了。假如 1Q 是高電位的話，A 的 NOR 閘輸出就為低電位，此時不論 SW2 是否轉態，均無法改變其狀態。至於 L3 與 L4 的情況，學者可自行類推。

您若想把這迷題擴展成更多級，必須注意慎選防止彈跳開關的輸出 Q 和 \bar{Q} 。例如，把 SW2 的輸出誤弄成 Q，則當 L1 熄滅後，L2 就接著熄滅。因此，若加一級 L5 時，其與 L4 的關係必須參照 L1 與 L2。若再加一級 L6 時，其條件仍與 L1，L2，L3 相同。至於本題之正確答案，請參閱附錄 A 後面所示。

使用器材

組合鎖部分： IC：7400，7402
LED：紅×2
電阻：限流電阻 $330\Omega \times 2$
開關：SPST×3

機械環部分： IC：7473×2，7404×2，7400×1，7402×1
LED：紅×4
電阻：限流電阻 $330\Omega \times 4$
開關：SPST×4

實驗步驟

1. 組合鎖

- ① 接線如圖 P9-1，使開關均在 OFF 狀態。
- ② 繪製 SW1，SW2，SW3 與 OK，Alarm 的真值表，從 111 開始填入，直到 000 為上。（1 為 Opened，0 為 Closed）。
- ③ 按真值表之順序，接通 SW，觀察 OK 與 Alarm 的反應，將其結果記錄在表上。
- ④ 找出能使 OK 與 Alarm 均點亮的狀態，將開關的順序寫出。與附錄 A 之末段答案比較，是否相同。

2. 機械環

- ① 按圖 P9-2 接線，先使 Clear 接通，則 L1，L2，L3，L4 均被點亮，然後將 Clear 接線 OFF。
- ② 操作 SW2，使 L2 ON 與 OFF，最後使 L2 ON。
- ③ 操作 SW1，使 L1 OFF，同時注意當 L1 OFF 時，L2 無法被轉態（即無法使它亮或熄滅）。
- ④ 找出一個能使每一個 LED 均熄滅的開關順序。切記每一個 LED 的熄滅均受前一個 LED 的狀態所影響。找出使所有 LED 均熄滅的 SW 順序後，與附錄 A 的答案對照一下，是否相同？

作業 P10：反應速度比賽電路

相關知識

本作業介紹一個具有教育性的遊戲電路，看誰的手指較敏捷，誰就得獎。如圖 P10-1(a) 所示，兩個競賽者各控制一個開關，以使 LED 點亮或熄滅。誰能先把自己的 LED 點亮，同時能防止對方的 LED 被點亮，誰就是勝利者。而這比賽規定，與賽的雙方均需對某一信號反應動作，以控制開關。此信號係用圖 D5-2 的 74121 單擊電路作成，當此電路的 LED 亮時，雙方就開始比賽。

但是圖 P10-1 的電路有一漏洞，就是對於尚未發出 "開始" 信號就領先動作的一方，並未施予處罰。因此，在圖 P10-2 建議您設計一個電路，能使過早動作的一方，點亮對方的 LED，如此就不會有投機取巧的情形。圖中觸發 (Trigger) 用的 LED 是常通狀態，只當其開關 ON 時，才熄滅。等到 LED 再亮時，雙方即可閉合各自的開關。

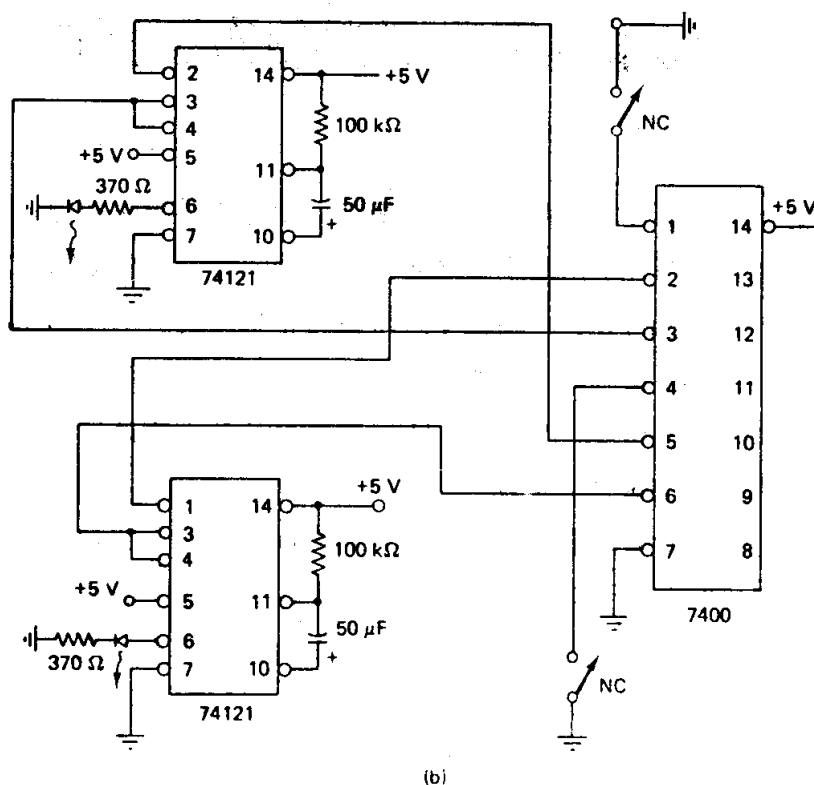
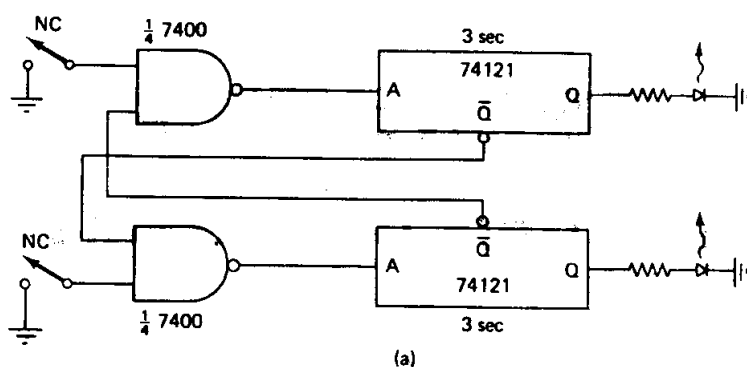


圖 P10-1 (a) 電路方塊圖，(b) 接線圖

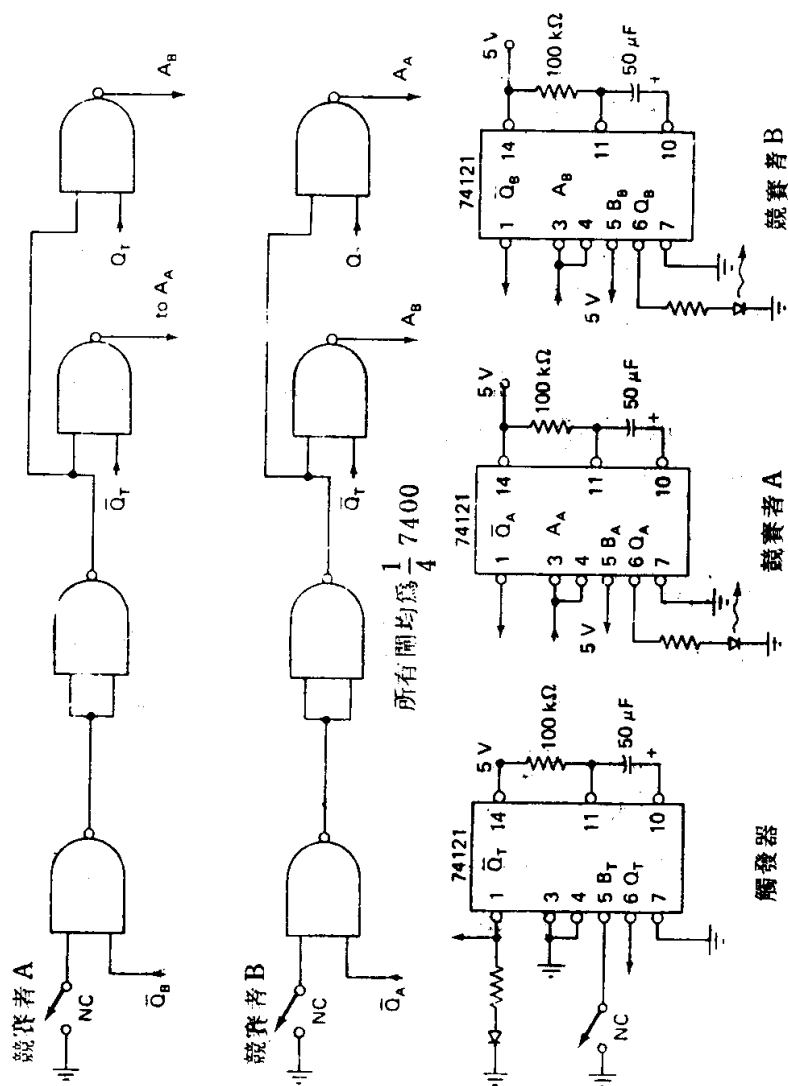


圖 P10-2 較完善的反應速度競賽電路

使用器材

IC：7400×2，74121×3
 電阻器：100kΩ×3，330Ω×3
 電容器：50μF×3
 LED：紅×2，綠×1
 開關：SPST×3

實驗步驟

1. 先接線如圖 P10-1(b)。
2. 將開關 ON 時，觀察 LED 亮的情形，若閃爍不定，則將 R 減少為 47kΩ，將 C 增加為 68μF，直到穩定為止。
3. 順次撥動開關，觀察 LED 的反應。然後同時使開關 ON，看 LED 的反應。
4. 將線路改成圖 P10-2 之接線。
5. 先操作觸發開關，等其 LED 亮又熄再亮時，才操作另二開關，此時可找到另二人，進行比賽。一為裁判，另二人即互相較量。

- (附註) 如果所用的開關是常閉的話 (Normally Closed) 操作時, NAND 閘的輸入均為 High, 而輸出變為 Low, (即負緣型)。但如果是常開 (Normally Opened) 的話, 則需加一邏輯閘才可, 其接法為: 將圖 P10-1(b) 第 13 腳接到開關, 而將開關另一端接地。且將第 12 腳接到 High (第 14 腳), 將第 11 腳接到第 1 腳。如此, 當開關閉合時, 第 11 腳從 Low 變成 High (即第 1 腳變成 High); 此時若第 2 腳仍為 High, 則第 3 腳輸出將變成 Low。同理, 第 2 個開關, 可利用 8, 9, 10 三腳接線, 而將第 8 腳接到第 4 腳。

作業 P11：分鐘計時器

相關知識

數位電路非常適合於製作時鐘電路。本作業為求更省電, 特介紹一個利用 CMOS 做的分鐘計時器。如圖 P11-1 所示, 係利用 60Hz 的線電壓頻率作為時基 (Time Base)。而此時基電壓係由 120V, 60Hz 的線電壓經變壓, 截波後所獲得小於 10V 的信號源電壓。因為 $V_{DD}=10V$, $V_{SS}=0$, 所以信號源電壓不得超出 10V。接著, NAND 閘樞密特觸發器 4093, 係將載波後的信號變成脈衝波, 以適合觸發 CMOS 計數電路。

第一個計數器 4018 作除以 6 的計數, 將 60Hz 調成 10Hz (參閱實驗 C10)。這個移位計數器的輸出是以一個高電位脈衝開始, 然後經過 6 個脈衝以後再回到高電位。其輸出接到另一個 4018 作除以 10 的計數 (註: 4018 可作除以 N 的計數)。由於所有 4018 計數器都是正緣觸發型, 所以當第一個 4018 完成一週 6 個計數以後, 第二個 4018 就接著作 10 模的計數, 結果就可獲得每秒 1Hz 的頻率。

我們將這 1 秒鐘的脈衝繼續輸入第三個 4018, 作除以 6 的計數, 然後再輸入 4518 的第一部分作除以 10 的計數 (註: 4518 具有兩組 BCD 計數器)。此時更需注意, 每一值計數器都要接成正緣綺發型。結果在 Q4 的第 14 腳, 即 4518 的第一組 BCD 除 10 計數器上, 得到每 3600 週線電壓才有一個脈衝輸出的電壓。意即從開始計數到現在, 正好過了 1 分鐘, 而 Q4 第 14 腳的脈衝正好處於負緣部分。此負緣恰可用來觸發 4518 的第二組計數器。只要把第 14 腳接到號 2 腳 CE (Clock Enable), 又把第 1 腳 CK (Clock) 接地即可。(參閱圖 C10-2)

這最後一個計數器的輸出, 從第 3 腳到第 6 腳, 將所經過的分鐘數記在裏面, 然後送到 4511 作解碼, 最後由七節 LED 將其顯示出來。此外, 由圖中可見從第 2 個 4018 十模計數器的 \bar{Q}_5 輸出端, 接一條線經 4093 緩衝器, 而到小數點的位置, 這能使小數點每秒閃爍一次。而此處 $\frac{1}{2}$ 4093 作為緩衝器, 係為節省空間用。如果您覺得效果不佳, 亦可改用 4069 或 4049 反相器, 但需知道如何將反相器接成樞密特觸發器 (請參閱實驗 D4)。至於 5k Ω 電位器, 則為調節小數點亮度之用。

使用器材

IC: 4018 \times 3, 4518 \times 1, 4511B \times 1, 4093B \times 1 (或 4069)

電阻器: 1.5k \times 7, 1k \times 1, 5KVR \times 1

稽納二極體: 6.8V \times 1

變壓器: 初級 120V, 次級 6.3V (或 12.6V)

電源供應器: $\pm 15V$ 以上

示波器: 雙跡一台

實驗步驟

1. 先用變壓器、稽納二極體和樞密特觸發器完成時基電路, 並以示波器證明線電壓已被變成脈衝波。

2. 完成 4518 到 4511B，MAN-4 的解碼顯示電路，並以時基脈衝接到 4518 的第 9 腳 CK 端。約多久數字變化一次？
3. 接上三個 4018A，分別接成除以 6，除以 10 及除以 6 的計數器，並證明其動作無誤。
4. 完成全部接線，並試驗其顯示無誤。
(附註) 為了使電路更完整，學者可參閱附錄 E，自行製作 10V 電源供給器。

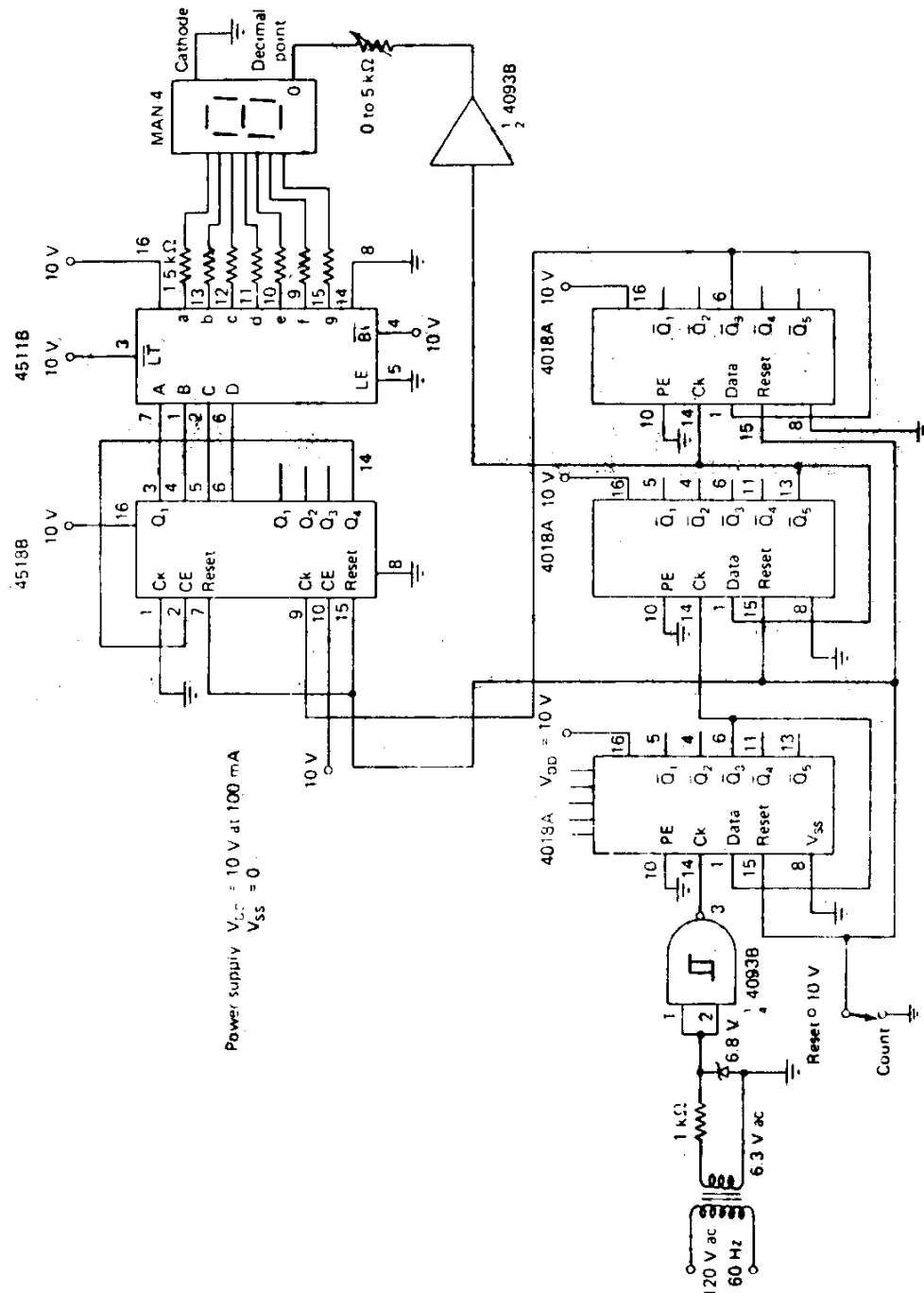


圖 P11-1 分鐘計時器，其小數點每秒閃一次

作業 P12：計頻器

相關知識

計頻器通常包含四大部分：1. 計數器 2. 顯示器 3. 控制器 4. 電源供給器。其中計數器部分是由十進計數器串接而成（請參閱實驗 D10 與 C10）。顯示器部分通常用七節 LED 組成（請參閱實驗 D8 與 C8），也有用其他方式顯示者。控制器部分則負責將簡單的計數器變成校準過的計頻器。例如，所有的計數器若只能對 1 秒作準確計算，則其總數將為輸入脈衝的頻率。控制器即利用電路內的時基衝脈，輸入一個閘控電路，以控制閘路在精確時間內導通或截止。如圖 P12-1 的 $\frac{1}{2}$ 7413 所示，為控制器的心臟部分。

圖中 7413 係 TTL 四輸入 NAND 閘植密特觸發器，它不只作為輸入閘路，也作為脈波整形器。不管輸入信號是緩慢變化或帶著雜訊，只要在 0 到 5V 之間即可經此閘路而輸出脈波。現將圖中各部分所用 IC 之功用列於表 P12-1。

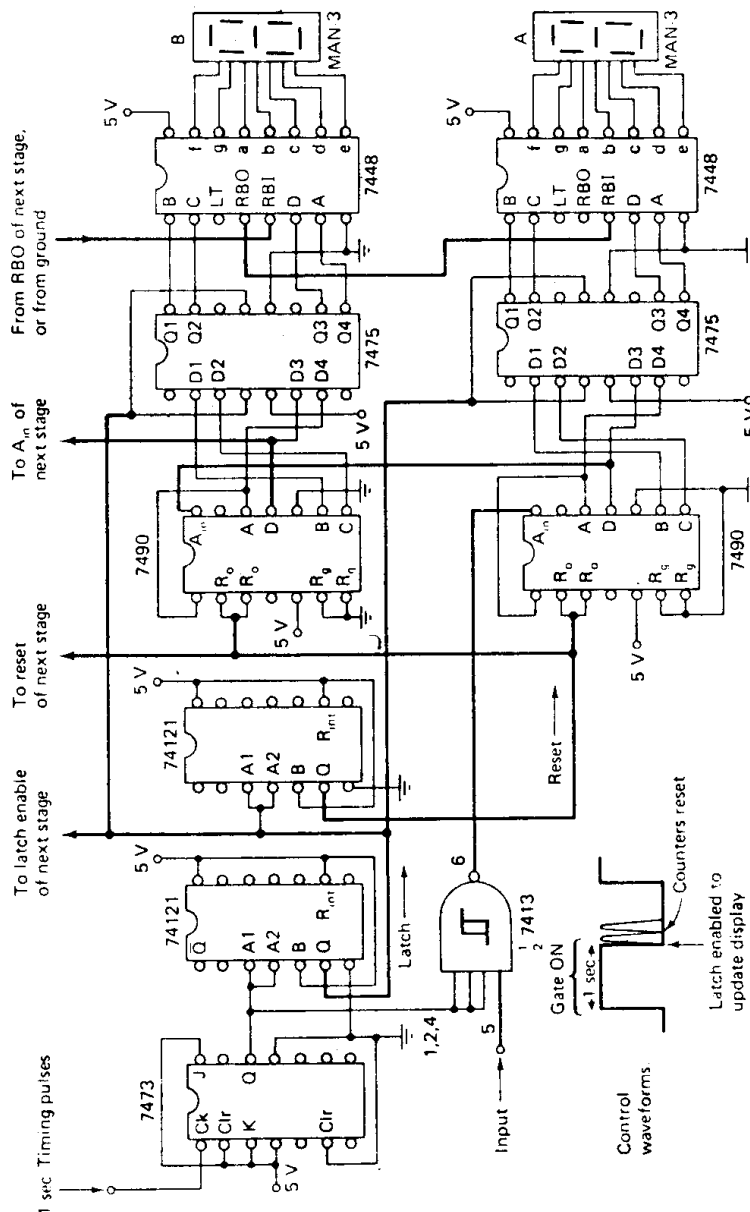


圖 P12-1 二位數計頻器，箭頭表示要增加顯示數字時的接線

表 P12-1 各部分所用 IC 之功能

控制器 (Control section)	7413	Four-input dual NAND Schmitt trigger
	7473	Dual M-S J-K FF
	74121	Monostable multivibrator
計數器 (Counter)	7490	Decade BCD counter (negative-edge triggered)
顯示器 (Display)	7475	Quad bistable latch
	7448	BCD-to-seven-segment decoder-driver
	MAN-3	Seven-segment LED (common cathode)

由於計時脈衝 (Timing Pulse) 的週期為 1 秒，即 7473 的 CK 為 1Hz，所以它的輸出就變成 1 秒鐘高電位，1 秒鐘低電位的情形 (因為是主僕式 JK 正反器)。輸入脈衝就只能在正反器的輸出為高電位的狀態下 (即開路 ON 時) 被計數，等高電位消失時，負緣波形就會觸發第一個 74121，而產生尖銳的正脈衝 (約 30nS)。這個正脈衝將使 7475 栓鎖電路改變狀態，而使顯示器出現新的數字。但若這正脈衝變成低電位時，則所顯示的數字將繼續保持者，直到另一個驅動脈衝再來時。此外，栓鎖信號的降緣 (Falling Edge) 部分，將使第 2 個 74121 產生第 2 個脈衝，而使計數器復置 (Reset) 為 0。

7490 十進計數器串接時，只要把前一級的 D 輸出接到下一級的 A 輸入即可。而整個計數的量則由計時脈波的長度決定。對於 1 秒鐘的開控時間而言，顯示器 A 顯示個位數 (即 1 到 9Hz)，顯示器 B 則顯示十位數，若把開控時間改為 0.1 秒，則顯示器 A 顯示十位數，顯示器 B 顯示百位數 (即 A=10'S, B=100'S)，其餘依次類推。

本計頻器尚具有遮沒無效的零之功能，例如要顯示 6Hz 時，是以 6. 表示而非 06.，60Hz 則以 60. 表示。這是利用 7448 的自動遮沒功能而完成的。當 RBI (Ripple-Blanking Input) 為 0，且 DCBA = 0000 時，顯示器就不亮。同時，若 RBI = 0，DCBA = 0000 同時發生時則 RBO = 0。我們若將 B 顯示器的 RBO 接到 A 顯示器 RBI，就能保證當 B 顯示器為 0 時，A 顯示器不會顯示 0。但若 B ≠ 0，則 RBO_B = 1，A 顯示器就顯出 0 來。

使用器材

IC：7413 (或 7400)，7473，74121×2，7490×2，7475×2，7448×2

顯示器：MAN-3 LED (或同等品) 2 個，請參考圖 D8-1，C8-1 或 C10-2(b) 之顯示器

電源供應器：+5V 穩壓供應

函數波產生器：2MHz 二台

示波器：雙跡一台

實驗步驟

- 按圖 P12-1 接線，先完成計數和顯示器部分。(註：計數部分可利用圖 C10-2(b) 之電路，但接到 74121 時，需在第 10 腳和第 11 腳之間接上一個 0.01 μ 到 0.001 μ 之間的電容，以延長栓鎖和復置脈衝的時間。同時因為 4511B 所需的栓鎖 (Latch) 脈衝與 P12-1 圖的脈衝反相，所以需從第一個 74121 的第 1 腳 Q 取出。而 74121 的 Q 輸出則作為第 2 個單穩態電路的觸發用。)
- 完成控制開路的接線，利用雙跡示波器觀察兩個 74121 的輸出信號。
- 將各部分接線完成，並以函數波產生器輸入 1s (秒) 的計時脈衝到 7473 的 CK 端。然後再外加一抵補的正弦波或脈衝波到 7413 的第 5 腳 (可用另一台函數波產生器或作業 P11 之輸出)

，將頻率從 0 到 100Hz 間調整，輸出有何變化？

4. 若將計時信號改為 0.1 秒或 10 秒，則輸出又有何改變？

附註：簡化的電路

若您想把以上的電路當作另外一個電路的一部分，則可將 P12-1 的電路簡化如下圖。此時省略了顯示器的拴鎖電路，所以當閘控信號 ON 時，顯示器就更新它的數字，意即直接將計數的結果顯示出來。

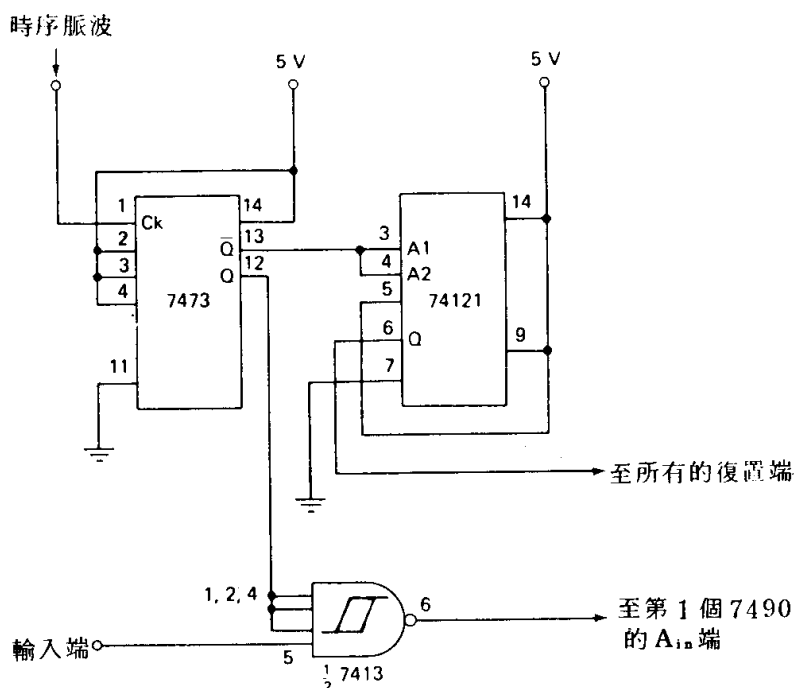


圖 P12-2 簡化的計頻器，其中沒有使用拴鎖電路

第四部分

附 錄

附錄 A：必備器材

本書所列舉的各項實驗和作業，均需利用某些標準的設備和器材，才能順利完成。所謂工欲善其事必先利其器，每一位裝備良好的實驗者，必須具有一台示波器，一台函數波產生器，一台數位三用表，一台直流電源供給器和一塊免銲電路板。以下是每一種必要設備的簡單規格，和它的主要製造廠商：

示波器 (Oscilloscope)：雙跡示波器，響應頻率為 10MHz，價廉而可用的廠牌為 Tektronix，Philips……等。

函數波產生器 (Function Generators)：用 LSI 製造的，輸出頻率至少 2MHz，且有數位顯示的裝置，比較好用的廠牌有 Hewlett-Packard 和 Wavetek。

數位三用表 (Digital Multimeter)：顯示 3 ¹/₂ 位，可測交直流電壓、電流和電阻，較合用的為 Hickok，Fluke 和 Keithley 等廠牌。

直流電源供應器 (Power Supplies)：具有限流保護裝置，輸出電壓最大為 $\pm 30V$ ，電流為 2A，且具有 +5V 和 $\pm 15V$ 單獨輸出者，以供 IC 使用。較好的廠牌為 Lambda，目前台灣已有相當標準的電源供應器出售。

免銲電路板 (Breadboard Systems)：有 +5V 和 $\pm 15V$ 的電源輸入接頭，且有電位器插孔，整塊板中央部分均適合 IC 接線。較好的廠牌為 E&L。

實驗 D13 之解答

RAM (Random-access Memory)：隨意存取記憶器

DIP (Dual-in-line Package)：雙排並列型包裝

LED (Light-emitting Diode)：發光二極體

Modulo-8：8 模計數器 (即除以 8 計數器)

JFET (Junction field effect Transistor)：接面型場效應電晶體

MOS (Metal-oxide Semiconductor)：金屬氧化物半導體

SOS (Silicon-on-sapphire)：著矽於藍寶石上

TTL (Transistor-transistor Logic)：電晶體－電晶體邏輯

I²L (Injection Logic)：注入邏輯 (或寫成 DCTL)

RTL (Resistor-transistor Logic)：電阻－電晶體邏輯

MSI (Medium-Scale Integration)：中型積體電路

PROM (Programmable Read-only Memory)：可程式僅讀記憶器

M/S FF (Master-slave flip-flop)：主僕式正反器

DTL (Diode-transistor Logic)：二極體－電晶體邏輯

WOM (Write-only memory)：僅寫記憶器

MOSFET (Metal-oxide semiconductor field effect Transistor)：金屬氧化物半導體之場效應電晶體

LSI (Large-scale Integration)：大型積體電路

μP (Microprocessor)：微處理器

I/O (Input-output)：輸入輸出處置

DPDT (Double-pole, double-throw Switch)：雙極雙擲開關

A/D (Analog-to-Digital)：類比對數位之轉換

LSB (Least significant bit)：最小位數

CMRR (Common-mode rejection ratio)：共模拒斥比

S/N (Signal-to-noise)：訊號雜音比

BW (Bandwidth)：頻帶寬度

BCD (Binary-coded decimal)：二進碼式十進制

ASCII (American Standard Code for Information Interchange)：資訊交換用美國標準碼

VCO (Voltage-controlled Oscillator)：電壓控制振盪器

SCR (Silicon-controlled rectifier)：矽控整流器

作業 P9 之答案

1. 組合鎖之正確開關順序為 321。
2. 使機械環所有的燈熄滅的開關順序為 2141213121。

附錄 B：瞭解資料手冊

目前一般 IC 的特性大多彙集在廠商所提供的資料手冊裏，學者若沒有清楚的瞭解，就很難有合適的應用。以下列出 TTL 數位 IC、CMOS 數位 IC 和 OPA 的特性說明，以供參考。

TTL 數位 IC

首先必須明瞭特性手冊中的名詞和符號，才能充分瞭解其工作條件。譬如當您看到四組 NAND 閘合成的 7400 時，其中有一欄列出建議的工作條件：其中標明 NOM (nominal values for power supply voltage and operating temperature) 即表示最佳的工作電壓和工作溫度，而在其兩旁的 MIN 和 MAX 則表示工作電壓和溫度的最小值與最大值。使用時若超出廠商所建議的範圍，將會造成錯誤或燒毀 IC。至於扇出數 (Fan-out) N 是指每一個閘所能推動的下一級 TTL 單位負載數，如 $N=10$ ，即表示 7400 中一個 NAND 閘的輸出，能推動 10 個 TTL 的輸入，這是保證的值 (Guaranteed)，不會造成誤動作。

此外，尚有一表列出電氣特性 (Electrical Characteristics)，我們以 7400 為範例說明於下：

1. $V_{in(1)}$ ：高位準輸入電壓 (High-level input voltage) 或簡寫為 V_{IH} 。表示任一輸入電壓只要超過 $V_{in(1)}$ 的最小值時 (在 7400 為 2V)，都可被看做高態 (即 1 狀態) 的輸入。當 7400 的兩個輸入都超過 2V 時，輸出就為 0。
2. $V_{in(0)}$ ：低位準輸入電壓 (Low-Level input voltage) 或簡寫為 V_{IL} 。表示任一輸入電壓只要低於 $V_{in(0)}$ 時，就是低態輸入 (即 0 狀態)。在 7400 的場合，只要有一端輸入低於 0.8V，就能使輸出為 1 (即高態輸出)。
3. $V_{out(1)}$ ：高位準輸出電壓 (High-level output voltage) 或簡寫為 V_{OH} 。表示任一輸出電壓只要大於 $V_{out(1)}$ 的，就算為高態輸出 (即邏輯 1)，在 7400 的場合為大於 2.4V，就算高態輸出。
4. $V_{out(0)}$ ：低位準輸出電壓 (Low-level output voltage) 或簡稱 V_{OL} ，表示低於此值的輸出電壓，就算低態輸出 (即邏輯 0)，在 7400 的場合 $V_{out(0)}=0.4V$ ，輸出低於此值的均算 0 輸出。
5. $I_{in(0)}$ ：低位準輸入電流 (Low-level input current) 或簡稱 I_{IL} ，表示在低位準輸入電壓的情況下流入輸入端的電流，若有負號則表示該電流是從輸入端流出去。在 7400 的場合 $I_{in(0)}=-1.6mA$ 。
6. $I_{in(1)}$ ：高位準輸入電流 (High-level input current) 或簡稱 I_{IH} ，表示在高位準輸入電壓的情況下流入輸入端的電流。在 7400 的場合 $I_{in(1)}$ 受 $V_{in(1)}$ 的範圍影響而有兩個數值，一為 $40\mu A$ ，一為 $1mA$ 。
7. I_{OS} ：輸出端短路時的輸出電流 (Short circuit output current)，在 7400 的場合 I_{OS} 有兩個數值，一為 $-18mA$ ，一為 $-55mA$ 。且不得有兩個輸出同時短路。
8. $I_{CC(0)}$ ：輸出低態時的電源電流 (Supply current, Outputs low)，簡稱 I_{CCL} ，表示當所有輸出均為低態時，流入電源 V_{CC} 端的電流。表中 TYP** 係指典型值 (Typical) 為 $V_{CC}=5V$ ， $T_A=25^\circ C$ 時之狀況，MAX 則為最大值。
9. $I_{CC(1)}$ ：輸出高態時的電源電流 (Supply current, outputs high)，簡稱 I_{CCH} ，表示當所有輸出均為高態時，流入電源 V_{CC} 端的電流。在 7400 的場合， $I_{CC(1)}$ 典型值為 $4mA$ ，最大值為 $8mA$ 。
10. $t_{pd(0)}$ ：使輸出從高態變成低態的傳送延遲時間 (Propagation delay time, high-to-low-level output)，簡稱 t_{pHL} 。表示當加入新的輸入信號而使輸出從高態變成低態的整段時間，即從輸入到轉態的全部時間。
11. $t_{pd(1)}$ ：使輸出從低態變成高態的傳送延遲時間 (Propagation delay time, Low-to-high-level output)，簡稱 t_{pLH} 。表示當輸入新的信號，而使輸出從低態變成高態的全部時間。

此外，若要計算輸出的驅動電流，必須把扇出數，與負載的 $I_{in(0)}$ ， $I_{in(1)}$ 合併考慮。例如扇出數為 10，而輸出為高態時，總輸出驅動電流就是 $10 \times I_{in(1)}$ (電流向外流)。若輸出為低態時，則總輸出驅動電流為 $10 \times I_{in(0)}$ ，電流方向向內，為吸入 (Sink) 電流。在特性表中，7400 每一個閘在

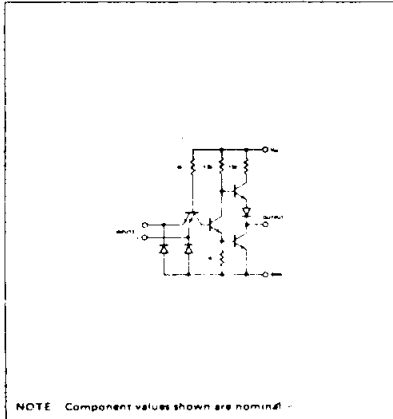
高態時能提供負載 $400\ \mu\text{A}$ ，即 $I_{\text{load}} = -400\ \mu\text{A}$ ，在低態時能吸入 16mA ，即 $I_{\text{sink}} = 16\text{mA}$ 。

signetics**QUADRUPLE 2-INPUT POSITIVE
NAND GATE****S5400
N7400**

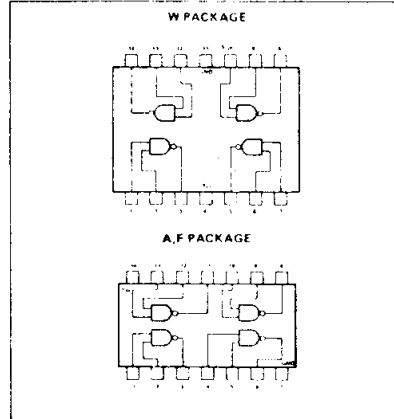
S5400-A, F, W • N7400-A, F

DIGITAL 54/74 TTL SERIES

SCHEMATIC (each gate)



PIN CONFIGURATIONS



RECOMMENDED OPERATING CONDITIONS

	MIN	NOM	MAX	UNIT
Supply Voltage V_{CC} : S5400 Circuits	4.5	5	5.5	V
N7400 Circuits	4.75	5	5.25	V
Normalized Fan-Out from each Output, N			10	
Operating Free-Air Temperature Range, T_A : S5400 Circuits	-55	25	125	$^{\circ}\text{C}$
N7400 Circuits	0	25	70	$^{\circ}\text{C}$

ELECTRICAL CHARACTERISTICS (over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS*	MIN	TYP**	MAX	UNIT
$V_{in(1)}$ Logical 1 input voltage required at both input terminals to ensure logical 0 level at output	$V_{CC} = \text{MIN}$	2			V
$V_{in(0)}$ Logical 0 input voltage required at either input terminal to ensure logical 1 level at output	$V_{CC} = \text{MIN}$			0.8	V
$V_{out(1)}$ Logical 1 output voltage	$V_{CC} = \text{MIN}$, $I_{\text{load}} = -400\ \mu\text{A}$, $V_{in} = 0.8\text{V}$	2.4	3.3		V
$V_{out(0)}$ Logical 0 output voltage	$V_{CC} = \text{MIN}$, $I_{\text{sink}} = 16\text{mA}$, $V_{in} = 2\text{V}$		0.22	0.4	V
$I_{in(0)}$ Logical 0 level input current (each input)	$V_{CC} = \text{MAX}$, $V_{in} = 0.4\text{V}$			-1.6	mA
$I_{in(1)}$ Logical 1 level input current (each input)	$V_{CC} = \text{MAX}$, $V_{in} = 2.4\text{V}$ $V_{CC} = \text{MAX}$, $V_{in} = 5.5\text{V}$			10 1	μA mA
I_{OS} Short circuit output current†	$V_{CC} = \text{MAX}$	S5400 N7400 -20 -18		-55 -65	mA

DIGITAL 54/74 TTL SERIES • S5400, N7400

ELECTRICAL CHARACTERISTICS (Cont'd)

PARAMETER	TEST CONDITIONS*	MIN	TYP**	MAX	UNIT
$I_{CC(0)}$ Logical 0 level supply current	$V_{CC} = \text{MAX}$, $V_{in} = 5\text{V}$		12	22	mA
$I_{CC(1)}$ Logical 1 level supply current	$V_{CC} = \text{MAX}$, $V_{in} = 0$		4	8	mA

SWITCHING CHARACTERISTICS, $V_{CC} = 5\text{V}$, $T_A = 25^{\circ}\text{C}$, $N = 10$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{pd(0)}$ Propagation delay time to logical 0 level	$C_L = 15\text{pF}$, $R_L = 400\ \Omega$		7	15	ns
$t_{pd(1)}$ Propagation delay time to logical 1 level	$C_L = 15\text{pF}$, $R_L = 400\ \Omega$		11	22	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

** All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^{\circ}\text{C}$.

† Not more than one output should be shorted at a time.

Courtesy of Signetics Corp. from *Signetics: Digital, Linear, MOS*, Sunnyvale, California, 1972.

[illegible]

DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A = 25^\circ\text{C}$, $C_L = 15\text{ pF}$, Input $t_r, t_f = 20\text{ ns}$,
 $R_L = 200\text{ k}\Omega$

CHARACTERISTICS	TEST CONDITIONS	LIMITS					UNITS
		VDD (V)	D,F,K,H Packages		E,Y Packages		
			Typ.	Max.	Typ.	Max.	
Propagation Delay Time: Low-to-High Level, tPLH		5	50	75	50	100	ns
		10	25	40	25	50	
High-to-Low Level, tPHL CD4011A and CD4023A		5	50	75	50	100	ns
		10	25	40	25	50	
CD4012A		5	100	150	100	200	ns
		10	50	75	50	100	
Transition Time: Low-to-High Level, tTLH		5	75	100	75	125	ns
		10	40	60	40	75	
High-to-Low Level, tTHL CD4011A and CD4023A		5	75	125	75	150	ns
		10	50	75	50	100	
CD4012A		5	250	375	250	500	ns
		10	125	200	125	250	
Input Capacitance, Ci	Any Input	5	—	5	—	—	pF

Courtesy of RCA Corp.

- (4) V_{OL} : 低位準輸出電壓 (Low-level output voltage), 即當輸出為邏輯 0 (低位準) 時, 從輸出端對 V_{SS} 所量得的電壓。
- (5) V_{OH} : 高位準輸出電壓 (High-level output voltage), 即當輸出為邏輯 1 (高位準) 時, 從輸出端對 V_{SS} 所量得的電壓。
- (6) V_{NL} : 低態輸入時的雜訊免疫電壓 (Noise-immunity Voltage, Low-level input), 即不使輸出邏輯位準轉態的最大低態輸入電壓。(對 V_{SS} 測量)
- (7) V_{NH} : 高態輸入時的雜訊免疫電壓 (Noise-immunity Voltage, high-level input), 即不使輸出邏輯位準轉態的高態輸入電壓衰退值 (對 V_{DD} 測量)。
- (8) I_{DN} : N 通道的輸出驅動電流 (Output drive current, N-Channel), 即當輸出端在特定的低位準時 ($V_O = 0.5V$), 輸出端的吸入電流值 (流進輸出端的電流)。後面所加的 N 是因為這個吸入電流 (Sink current) 即等於互補輸出的 N-MOS 部分之洩放電流 (drain current) 值。當輸出為低態時, P-MOS 部分為 OFF 狀態, 所以隨著低態輸出電壓的增加, 吸入電流就跟著增加。
- (9) I_{DP} : P 通道輸出驅動電流 (Output drive Current, P-Channel), 即當輸出端在特定的高位準時 ($V_O = V_{DD} - 0.5V$), 從輸出端向外流出去的電流值。此時 N-MOS 部分為 OFF 狀態, 所以此驅動電流即為 P-MOS 部分的洩放電流 (drain current)。
- (10) I_I : 輸入電流 (Input Current), 即當輸入電壓為 V_{DD} 或 V_{SS} 時的輸入端之電流。

2. 動態特性 (Dynamic Characteristics)

- (1) t_{PLH} : 使低態變成高態輸出的傳播延遲時間 (Propagation delay time, Low-to-high level), 從加入一新的輸入信號起, 直到輸出變成高態為止的時間, 即為 t_{PLH} 。
- (2) t_{PHL} : 使輸出從高態變成低態的傳播延遲時間 (Propagation delay time, high-to-low level), 即從加入一新的信號起, 直到輸出變成低態的整段時間。
- (3) t_{TLH} : 從低態變成高態的過渡時間 (Transition time, low-to-high level)。即使輸出從 10% 的

$V_{DD}-V_{SS}$ 值上升到 90% 的 $V_{DD}-V_{SS}$ 值之時間。

- (4) t_{THL} ：從高態變成低態的過渡時間（Transition time, high-to-low level）。即使輸出從 90% 的 $V_{DD}-V_{SS}$ 值降到 10% 的 $V_{DD}-V_{SS}$ 值之時間。
- (5) C_I ：輸入電容（Input Capacitance），即每一輸入端與 V_{SS} 之間的有效電容值。

運算放大器（Operational Amplifiers）

由於 OPA 種類較多，規格差異較大，所以此處只列出較常用的名詞及其定義。其他較不常用的名詞則列在附錄 F 裏，學者可以自行參閱。現在先列出典型的 OPA 等效電路，然後再一一說明各個名詞的意義，最後列出 $\mu A741$ 的所有規格，您可一面看規格表，一面看名詞解釋，就能對特性手冊一目了然。

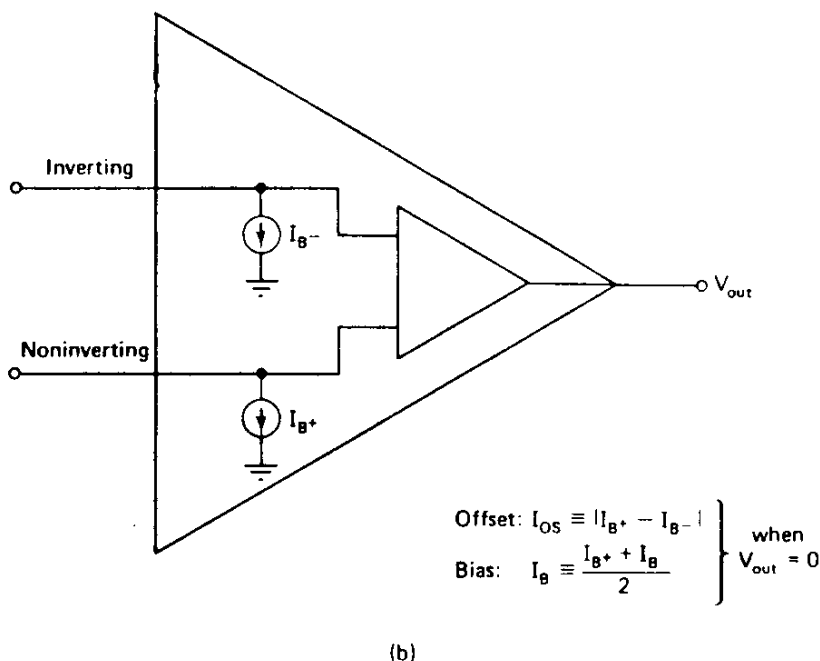
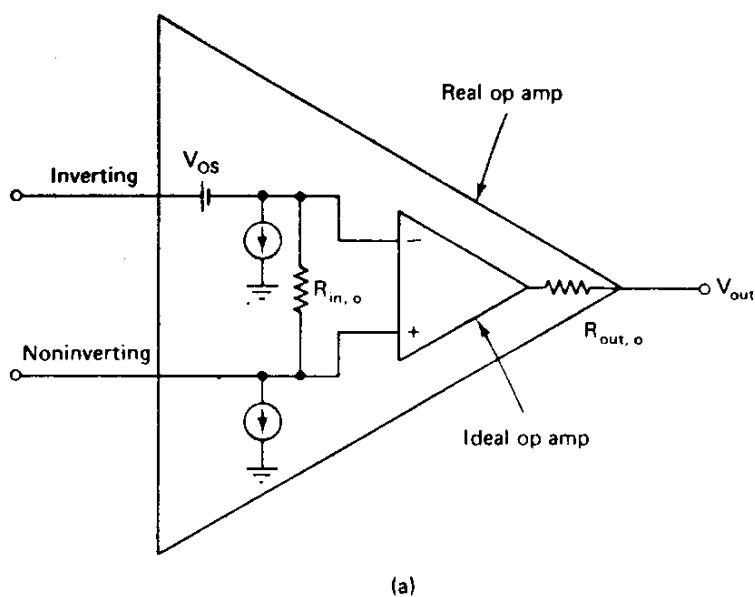


圖 B1 (a) OPA 的有效輸入電阻，輸出電阻及輸入抵補電壓的等效電路。
 (b) 輸入電流的等效電路

1. 名詞定義

V_{CM}	共模輸入電壓範圍，或輸入電壓範圍（Common mode voltage range），即同時加到兩輸入端的電壓範圍。例如 $V_{CM} = \pm 12V$ ，即表示凡超過此範圍的電壓均不許可。若加 +16V 到反相輸入端，加 +15V 到非反相輸入端均不許可。
CMRR	共模拒斥比（Common-mode rejection ratio），表示 OPA 對同時加一信號於兩輸入端時的拒斥能力。其值為 $CMRR = 20 \log \frac{A_D}{A_C}$ ，其中 A_D 為差模增益，以 $A_D = 20 \log \frac{V_{out}}{V_{in}}$ 表之， A_C 為共模增益， $A_C = 20 \log \frac{V_{out}}{V_{in}}$ 以表之。
I_H	輸入偏壓電流（Input bias current），即兩輸入端電流的平均值（請參閱圖 B1）。
I_{OS}	輸入抵補電流（Input offset current），為兩輸入端電流的差額。即 $I_{OS} = I_B^+ - I_B^- $ （當 $V_{out} = 0$ 時）。
V_{OS}	輸入抵補電壓（Input offset voltage），即使輸出端電壓為 0 的輸入電壓差額。一般此二輸入電壓均串接相同的限流電阻而加到輸入端。
$R_{in,o}$	開環路時的輸入電阻（Input resistance），表示 OPA 接成開環（Open loop）時，即不接回授電路時，任一輸入端對地的電阻。
A_o	大信號電壓增益（Large-signal voltage gain, Open loop gain）。表示在開環路時，最大輸出電壓的擺動量與產生此擺動量之輸入電壓變量的比值。
$I_{o,max}$	最大輸出電流（Maximum output current），表示保證使 OPA 能正常工作的最大輸出電流。
$R_{out,o}$	開環路時的輸出電阻（Output resistance, Open-loop），表示在開環路時，與輸出端相接的有效內電阻。測量此值時，需使輸出電壓接近 0（即小信號情況），然後算出輸出電壓的變化與輸出電流的變化量之比，即為 $R_{out,o}$ 。
I_{SC}	輸出端短路時之電流（Output short-circuit current），即當輸出端短路時，或與任一電源短路時的最大輸出電流。
Output voltage swing	輸出電壓擺動量，表示輸出端電壓最大的擺動量，其極限為輸出飽和之電壓值。
PSRR	電源電壓拒斥比（Power supply rejection ratio），表示輸出電壓對於電源電壓變動的拒斥能力，其值係由輸入抵補電壓的變量與產生此變量的電源電壓變量相比而得。一般電源的漣波電壓為造成此變量的原因，而此 PSRR 值通常在 $2.0 \mu V/V$ 與 $200 \mu V/V$ 之間，其值越小越好。
SR	電壓轉動率（Slew rate），表示當輸入電壓變化時，所造成輸出電壓變化的最大速率，其值以 $\Delta V / \Delta t$ ，或 dv/dt 表之，以 LM741 為例，它的 SR 為 $0.5V/\mu S$ ，表示輸出電壓在 $1 \mu S$ 內，最大可有 0.5V 的變化。通常此值越大越好。當電路加上補償電容之後，轉動率就會隨電容量的增加而減少，即 SR 變成 I/C ，單位為 $\mu A/pF$ 。
Supply Current	電源電流，表示當輸出電壓和電流均為零時，從電源流向 OPA 的電流值。
UGB	單位增益頻帶寬度（Unity-gain bandwidth），表示當 OPA 的開路增益為 1 時，從 0 到該頻率之頻帶範圍，其值一般等於增益頻寬乘積 GBP（Gain-bandwidth Product），例如 $UGB = 1MHz$ ，即表示在 1MHz 時 $A_o = 1$ ，在 100KHz 時 $A_o = 10$依此類推。
GBP	增益頻寬乘積（Gain-Bandwidth Product），表示在一特定頻率時，其開路增益與頻寬之乘積。請注意 UGB 係 $A_o = 1$ 時之頻寬，但 GBP 則不限於 $A_o = 1$ 。

附錄 D：邏輯測試棒

在對於數位電路的測試方法中，一般不希望把 LED 直接接到它的輸出端，由於消耗電流太大，且易造成其他問題，所以在有些 TTL IC 測試時，用 270Ω 的降壓電阻與 LED 串接。但即使是這樣，其所消耗的功率仍然很大。圖 D1 顯示一些較好的測試電路。a 圖是用來測試 TTL IC，b 圖則不只可測 TTL IC，也可用來測 CMOS IC，其所消耗的功率甚低，所以連 A 系列 CMOS IC 都可測試。若 LED 的亮度要求不高的話，可將其與 4050A 緩衝器直接連接。

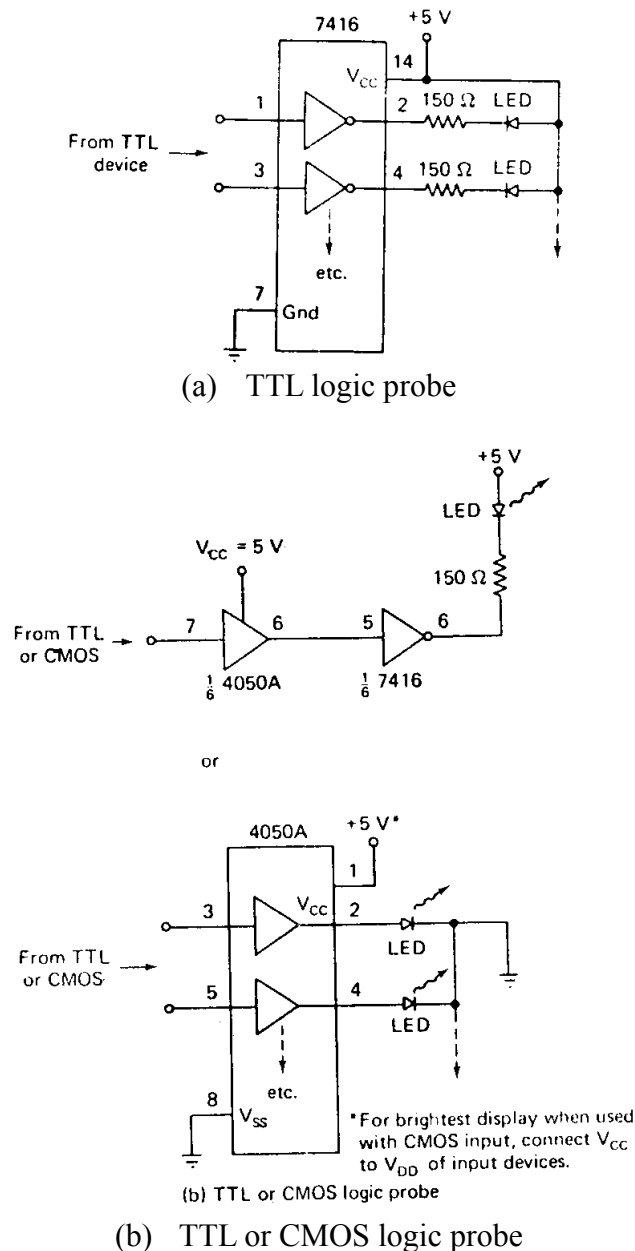


圖 D1 (a) 利用 7416 作緩衝級的 TTL 邏輯測試器，圖中顯示 1 輸入時 LED 會亮
(b) 利用 4050A 作緩衝級的 TTL，CMOS 邏輯測試器

圖 D2 是較複雜的測試電路，特別在被測信號呈現脈衝波形時，此測試器的 LED 將緩緩閃亮。因此它也可用來分辨到底該數位信號是脈衝波或是定值電壓。

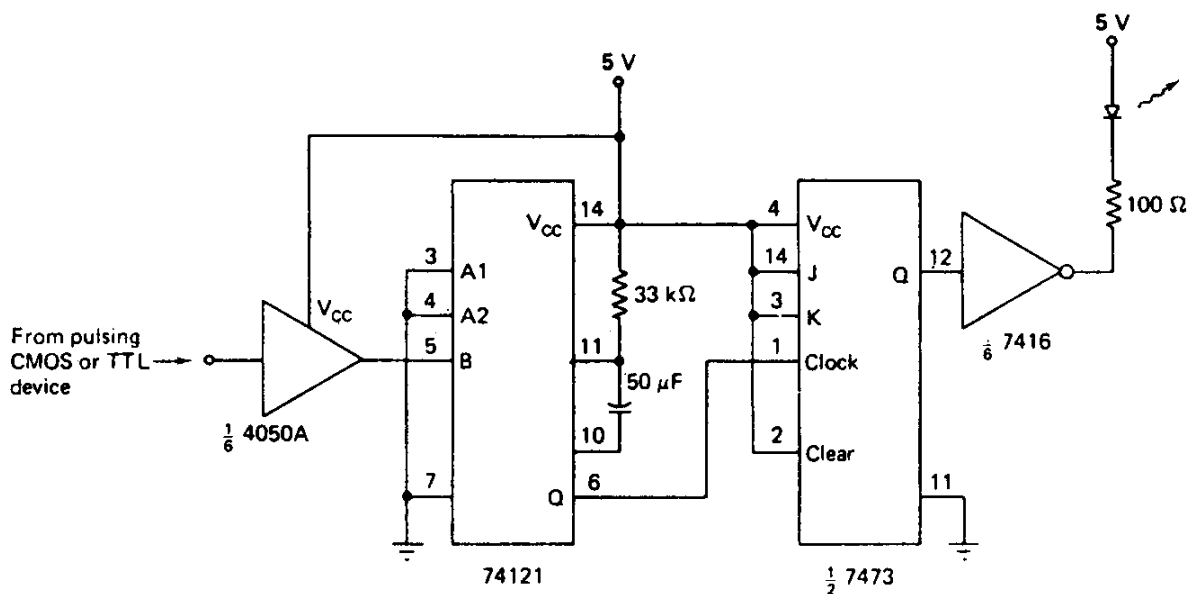


圖 D2 利用一個單隱態電路和一個 JK 正反器作成的脈波測試電路。即使輸入脈衝頻率甚高，LED 仍然緩慢閃爍。當輸入信號非脈衝波時 LED 就不會閃爍。但 LED 的亮或不亮並不表示輸入信號是高電位或低電位

附錄 E：IC 用的穩壓電源供應器

下列電路均為價廉易製的 IC 電源供應器，對於一般的 IC 電路已足可應用。

1. 線性 OPA 所用的 $\pm 15\text{V}$ 雙電源供應器

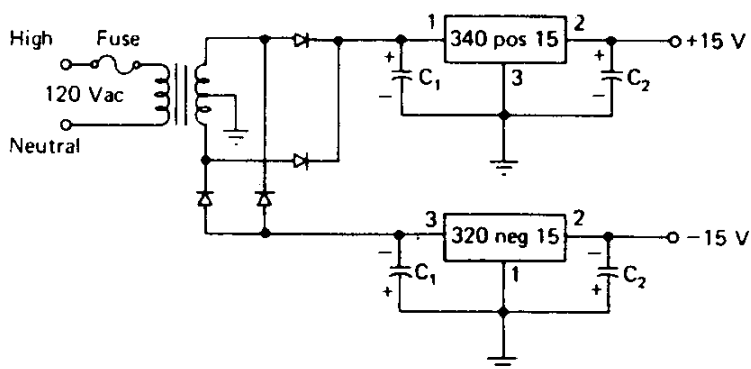


圖 E1 $\pm 15\text{V}$ 雙電源供應器

① 500mA 型所用零件

IC：LM340，+15V 穩壓器

LM320，-15V 穩壓器

二極體：1N4002（1A，100PRV）

電容器： C_1 ：1000 μ /50V， C_2 ：10 μ /25V（鉭質）

變壓器：25.2V 有中間抽頭，電流 2A

保險絲：0.5A 易熔式

② 250mA 型所用零件

IC：同上

二極體：同上

電容器： $C_1: 500\mu/50V$ ， $C_2: 10\mu/25V$ （鉭質）

變壓器：26.5V 次級中間抽頭，電流 0.6A

保險絲：0.25A

2. CMOS 數位 IC 的電源供應器

一般 CMOS IC 所用的電源必須能供應 $V_{DD}-V_{SS}=15V$ 的電壓。因此比較簡易的方式，是把上述電路中的 IC 改成 LM340，+5V 和 LM320，-5V 的穩壓器。同時由於 CMOS 耗電很小，所以變壓器可用 12.6V 具有中間抽頭的，且保險絲只要用 0.125A 的即可。

當然用來推動 TTL 的電源，也可用來推動 CMOS。但在較高的電壓位準，CMOS 電路的工作較佳，所以比較少用 +5V，而用 $V_{DD}=12V$ ， $V_{SS}=0V$ 。因此，可用 LM340，+12V 穩壓器代替圖 E2 的 7805，變壓器改用 24V，1A，二極體用 1N4001，保險絲用 0.125A。

3. TTL 電源供應器

所有 TTL 電路均需 $+5\pm 0.25V$ 的電源電壓，一般 TTL IC 製造廠都建議使用者，要用穩壓良好、無雜音的電源。圖 E2 的電路已可應付此類需要。

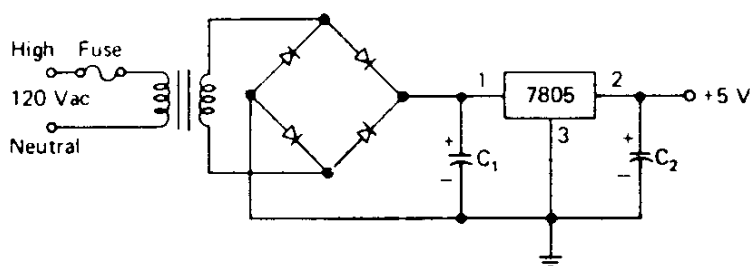


圖 E2 +5V 穩壓供應器

① 1A 型所用零件

IC：7805，309，或 340 等 +5V 穩壓器

二極體：1N4816（1.5A，50PRV）或同等品

電容器： $C_1: 2000\mu F/25V$ ， $C_2: 1\mu/15V$ （鉭質）

變壓器：12.6V，2A

保險絲：0.25A

② 250mA 型所用零件

IC：同上

二極體：1N4001（1A，50PRV）

電容器： $C_1: 2000\mu F/15V$

變壓器：6.3V，0.6A

保險絲： $\frac{1}{16}A$

附錄 F：名詞釋義

ASCII：美國標準碼（American Standard code for information interchange，讀作 "as key two"），一種以串接方式傳遞資料的數碼，用在電報通信。其每一字碼（word）均由 8 位元（bits）組成，例如 1011 0010 表示 2，而 1011 0111 則表示 7。

Asynchronous：非同步方式，係計數器處理資訊的一種方式，訊號逐級傳送過去，例如漣波計數器（ripple counter）即是。

BCD：二進碼式十進數（Binary coded decimal），即以二進制碼表示十進位數，其最常用的一種為 8421 碼，如 12 寫成 0001 0010。

Bit：位元，是數位資訊的最小單元。表示在數位電路中某一點的電位是高或低，該點就是一個二進位位元。

Blanking：遮沒，加一脈波或電位而使顯示器消失的情形。

Bounce：亂跳，發生在機械式開關接通時，其接點自行彈跳起來，因此造成多次的接觸。

Buffer：緩衝器，將兩個無法直接連接的器材或電路連接起來的電路，即為介面電路（interface）。一般緩衝器具有放大電流，或使電壓匹配的功能，例如 741 能將數位信號變成類比信號，即為緩衝器之一種。

Clamped output：箝位輸出，即被限制在某一定值電壓，或在其兩定值電壓間的輸出電壓。

Clear：清除，在 IC 的接腳中，能使所有輸出均為 0 的那一腳。

Clock：時序波，為計數器或正反器的基本脈衝信號。在複雜的數位系統中，作為高度穩定的脈波產生器，以用來調節各個操作的順序。

Closed loop condition：閉環狀況，即具有回授迴路的放大器接線。

Closed-loop parameter：閉環參數，即在閉環接線的情況下所量得的特件數據。對一理想的 OPA 閉環迴路而言，其參數全由回授元件的數值與接線方法而定。

Common：接地，是指電路中共同的電壓參考點，而不是指通用地電位（Universal ground）。

Complementary outputs：互補式輸出，按電路的兩個輸出互為反相，一個為 Q，另一個為 \bar{Q} 的情況，二者不能同相輸出。

dB/octave：每八度的 dB 值，表示頻率每加倍一次所造成的增益（Gain）增加或減小的數量，用分貝（dB）來表示。

Decibel（dB）：分貝，係一對數單位，用來表示兩量之間的比值，在電子學裏，求電壓的 dB 值為 $20 \log (V_{out} / V_{in})$ ，而求功率的 dB 值為 $10 \log (P_{out} / P_{in})$ 。

Decoder：解碼器，將二進位信號變成十進位信號的電路。

Duty cycle：工作週，表示一週的脈波中，高電位所占的時間百分比。一個對稱方波具有 50% 的工作週。

Enabled：啟動，當電路中某些點的電壓到達其預定值時，該電路就開始動作。一般作讀出或計算等動作時，各點電壓必須均到達啟動電位，才能動作。

Encoder：寫碼器，即將十進位數碼變成二進制碼的轉換電路。（註：寫碼器也叫編碼器）

Fanout：扇出，表示能推動後級的負載數目，其電流為流出（Source）或吸入（Sink）均可。

Feedback：回授，或叫反饋，係將放大器輸出的一部分取出，而加入輸入端，若使輸出信號減少，則為負回授，若使輸出信號增強則為正回授。

Filter order：濾波器級數，表示濾波器串接的級數，其級數越高，濾波效果越好。

Floating：浮接，不接到電源的共同點或地的接線法。

Fourier synthesis：傅立葉綜合函數式，以正弦波的函數和來表示某一週期性波形的函數式，譬如方波或三角波均可用正弦波函數來表示，表示時有的頻率是基本波，有的是諧波。

Ground：接地，即通用地電位（Universal ground）之意，就是以“地球”為接地點，它可作為無限的電荷吸收器，也是一切電壓的基準零電位。

Hybrid parameter：拼合參數，表示某一電晶體動作特性的數值，或代號，例如 h_{fe} ， h_{ie} 等。

Inhibit：禁止，特別在數位電路中，加一高電位或低電位於某一點，就能防止電路的動作。例如一個作除以 2 的 JK 正反器，當 J 或 K 端為低電位時，就停止其動作。

Integrated Circuit：即 IC，積體電路之意，將許多主動元件與被動元件集合做在一個矽基質上，而具有特定功能的集合元件。其中具有 100 個以內元件的 IC，叫 SSI（Small Scale Integration），具有 100~1000 個元件的叫 MSI（Medium Scale Integration），具有 1000~10000 個元件的叫 LSI（Large Scale Integration），而具有 10000 個元件以上的則稱為 VLSI（Very Large Scale Integration）。

Interface：介面，即將兩個不同種類的電路連接起來的電路，例如將類比電路與數位電路連起來的中間電路，或將 TTL 數位電路連到 CMOS 數位電路的中間電路。

Invert：反相，在數位邏輯中，把 1 變成 0，或把 0 變成 1，即取其補數的情形叫反相。在類比電路中，則指將直流信號之 +、- 變換，或將交流信號移相 180° 而言。

Latch：栓住，將資訊儲存在正反器中，直到新的資訊來到為止，譬如 LED 顯示器的顯示情形。

Latch-up：鎖定，假如某一電路突然被迫轉態，而無法正常地復原，則謂之 "鎖定"。

Least-significant bit (LSB)：最小位數，即數位表示法中最右邊的一個位元，例如在 01101 中，其 LSB 即為 1。

Light-emitting diode (LED)：發光二極體，為能發光之二極體，當加一適當電壓（一般約 2V）於其兩端時，即發出光來，其中能發紅光的係由 G_aA_a 製成，發綠光的係由 G_aP 製成。

Modulo-N：N 模，表示能作除以 N 的計數器。

Most significant bit (MSB)：最大位數，即在數位表示中最左邊的一個位元，例如在 01101 中，其 MSB 即為 0。

Multiplex：多工方式，即數個信號共用一個顯示器，或共用一組傳輸線。

Offset：抵補，兩電壓或電流的差值，或某電壓、電流與 0 之間的值。

Open-collector output：集極開路輸出，表示作為輸出的開關電晶體（Switching transistor）之集極未接任何元件，因此其對地電阻可高可低。通常在此集極接一提升電阻，以獲得所希望的輸出電位。

Open-loop condition：開環狀況，即不接回授迴路的放大器。

Open-loop parameter：開環參數，即表示開環電路的各種特性之數據，其數值全看 OPA 內部特性而定。

Preset：預置，就是在一個 IC 中，用一腳或更多腳的輸入信號來設定所有輸出的狀態。

Pull-up resistors：提升電阻，接在集極開路方式的集極和正電源電壓之間，用來獲得所希望的高電壓或低電壓輸出。

Racing：競跑，發生在正反器的問題情況，其原因為將兩輸入信號同時加到某一閘路，而無法傳送出去，一直來回競跑。

Read：讀出，將儲存在記憶體中的資料取出來利用。

Roll-off：衰落，用在測量頻率的響應情況。表示當頻率增加或減少時，增益（Gain）衰減的量，其值以 dB/octave 或 dB/decade 表之。

Sink：吸收，假設某一信號源對一數位電路的輸出信號為 0，則此一信號源將從該電路接受一些電流，此流入信號源的電流，即謂之吸收電流（Sink Current）。

Source：供應，即某一信號源對一數位電路所加的電壓為高電位，因此電流從信號順流向該電路，此謂之源流，或供應電流。

Synchronous：同步，表示計數器的動作同時受輸入信號的控制而轉變。

Threshold：臨限點，能使輸出轉態的最低輸入信號電位。

Toggle：轉態，使正反器的輸出轉態。

Unit Load：單位負載，在數位電路中，當負載元件與輸出元件相同時，其負載謂之單位負載。

Voltage follower：電壓隨耦器，即輸出電壓等於輸入電壓的電路，其目的乃在作阻抗匹配。

Wire-AND logic：接線與間之邏輯。將數個集極開路的邏輯閘輸出端接在一起，而以一個提升電阻接至電源電壓的接線方式。

Write：寫入，即將資訊存入或輸入記憶體的過程。

文件分類： I 文件編號： 00031 文件批號： 00

文件名稱： 數位與類比 IC 實驗

製作群

原稿掃描
原稿辨識
文稿編輯
特別感謝名單

原稿圖文分離
文稿成品輸出
文稿整合

文件完成日期

初版 2008-08-05 再版／修訂版 其他加註

文件來源

原圖書書名 數位與類比 IC 實驗

原圖書作者 原著

編／譯者 莊謙本

原圖書出版者 全華科技圖書股份有限公司

原圖書出版日 民國 72 年 5 月

文件版權宣告

本文件版權屬原輸出公司、出版社、圖書公司或原著作人所有，作商業用途者請自行洽上述公司，本文件僅可在非商業上流傳或供私人收集資料用。另由於資料老舊，DDSC 不對原書內的內容負責，且除了更正原書內的錯字、漏字之外一切照原書內容。

檔名格式說明

[[[]]] - 文件分類 - 文件編號 - 文件批號 - 文件名.PDF

以 DDSC 為起頭，加上 1 個字母為分類代碼，再加上以 5 位數由 00001 起的編號，加上 2 位數由 01 起的編號，加上完整的文件名稱而成的。

其中分類代碼詳見下面列表。文件批號指該文件為非合訂版的，可能因書的內容過多而分批完成的，此項可有可無。

文件分類代碼說明

代碼	類別	代碼	類別
A	小說／文學類文章	B	娛樂類
C	天文類	D	科學類
E	古文明事物類	F	自然界類
G	古怪事物類	H	動／植物類
I	電子類	J	電腦類
K	教育／教學類		

Documents Digitize Service Center 製作
1998-2008